1. Cyclone IV FPGA 器件系列概述

CYIV-51001-1.5

Altera 新的 Cyclone® IV 系列 FPGA 器件巩固了 Cyclone 系列在低成本、低功耗 FPGA 市场的领导地位，并且目前提供集成收发器功能的型号。Cyclone IV 器件旨在用于大批量，成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

Cyclone IV 器件系列是建立在一个优化的低功耗工艺基础之上，并提供以下两种型号：

- Cyclone IV E— 最低的功耗，通过最低的成本实现较高的功能性
- Cyclone IV GX— 最低的功耗，集成了 3.125 Gbps 收发器的最低成本的 FPGA

Cyclone IV E 器件可以在 1.0 V 和 1.2 V 核电压下使用。

欲了解详细信息，请参考 *Power Requirements for Cyclone IV Devices* 章节。

Cyclone IV 器件集成了一个可选择的低成本收发器，在未影响性能的情况下，节省了功耗及成本。针对无线、有线、广播、工业，用户以及通信等行业中的低成本的小型应用，Cyclone IV 器件无疑是最理想的选择。

Cyclone IV 器件系列特性

Cyclone IV 器件系列具有以下特性：

- 低成本、低功耗的 FPGA 架构：
  - 6 K 到 150 K 的逻辑单元
  - 高达 6.3 Mb 的嵌入式存储器
  - 高达 360 个 18 × 18 乘法器，实现 DSP 处理密集型应用
  - 协议桥接应用，实现小于 1.5 W 的总功耗

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

- Cyclone IV GX 器件提供高达八个高速收发器以支持：
  - 高达 3.125 Gbps 的数据速率
  - 8B/10B 编码器 / 解码器
  - 8-bit 或者 10-bit 位物理介质附加子层 (PMA) 到物理编码子层 (PCS) 接口
  - 字节串化器 / 解串器 (SERDES)
  - 字对齐器
  - 速率匹配 FIFO
  - 公共无线电接口 (CPRI) 的 TX 位滑块
  - 电路空闲
  - 动态通道重配置以实现数据速率及协议的即时修改
  - 静态均衡及预加重以实现最佳的信号完整性
  - 每通道 150 mW 的功耗
  - 灵活的时钟结构以支持单一收发器模块中的多种协议
- Cyclone IV GX 器件对 PCI Express (PIPE)(PCIe)Gen 1 提供了专用的硬核 IP：
  - ×1, ×2, 和 ×4 通道配置
  - 终点和根端口配置
  - 高达 256-byte 的有效负载
  - 一个虚拟通道
  - 2 KB 重试缓存
  - 4 KB 接收 (Rx) 缓存
- Cyclone IV GX 器件提供多种协议支持：
  - PCIe (PIPE) Gen 1×1, ×2, 和 ×4 (2.5 Gbps)
  - 千兆以太网 (1.25 Gbps)
  - CPRI (高达 3.072 Gbps)
  - XAUI (3.125 Gbps)
  - 三倍速率串行数字接口 (SDI) (高达 2.97 Gbps)
  - 串行 RapidIO(3.125 Gbps)
  - Basic 模式 (高达 3.125 Gbps)
  - V-by-One(高达 3.0 Gbps)
  - DisplayPort(2.7 Gbps)
  - 串行高级技术附件 (Serial Advanced Technology Attachment (SATA))(高达 3.0 Gbps)
  - OBSAI(高达 3.072 Gbps)

- 高达 532 个用户 I/O
  - 高达 840 Mbps 发送器 (Tx)，875 Mbps Rx 的 LVDS 接口
  - 支持高达 200 MHz 的 DDR2 SDRAM 接口
  - 支持高达 167 MHz 的 QDRII SRAM 和 DDR SDRAM
- 每器件中高达 8 个锁相环 (PLLs)
- 支持商业与工业温度等级

器件资源

表 1-1 列出了 Cyclone IV E 器件资源。

表 1-1. Cyclone IV E 器件系列资源

资源	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
逻辑单元 (LE)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
嵌入式存储器 (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
嵌入式 18 × 18 乘法器	15	23	56	66	66	116	154	200	266
通用 PLL	2	2	4	4	4	4	4	4	4
全局时钟网络	10	10	20	20	20	20	20	20	20
用户 I/O 块	8	8	8	8	8	8	8	8	8
最大用户 I/O *(注释 1)*	179	179	343	153	532	532	374	426	528

表 1-1 注释：

(1) 管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。

表 1–2 列出了 Cyclone IV GX 器件资源

表 1–2. Cyclone IV GX 器件系列的资源

资源	EP4CGX15	EP4CGX22	EP4CGX30 *(注释 1)*	EP4CGX30 *(注释 2)*	EP4CGX50 *(注释 3)*	EP4CGX75 *(注释 3)*	EP4CGX110 *(注释 3)*	EP4CGX150 *(注释 3)*
逻辑单元 (LE)	14,400	21,280	29,440	29,440	49,888	73,920	109,424	149,760
嵌入式存储器 (Kbit)	540	756	1,080	1,080	2,502	4,158	5,490	6,480
嵌入式 18 × 18 乘法器	0	40	80	80	140	198	280	360
通用 PLL	1	2	2	4 *(注释 4)*	4 *(注释 4)*	4 *(注释 4)*	4 *(注释 4)*	4 *(注释 4)*
多用 PLL	2 *(注释 5)*	2 *(注释 5)*	2 *(注释 5)*	2 *(注释 5)*	4 *(注释 5)*	4 *(注释 5)*	4 *(注释 5)*	4 *(注释 5)*
全局时钟网络	20	20	20	30	30	30	30	30
高速收发器 *(注释 6)*	2	4	4	4	8	8	8	8
收发器最大数据速率 (Gbps)	2.5	2.5	2.5	3.125	3.125	3.125	3.125	3.125
PCIe(PIPE) 硬核 IP 模块	1	1	1	1	1	1	1	1
用户 I/O 块	9 *(注释 7)*	9 *(注释 7)*	9 *(注释 7)*	11 *(注释 8)*	11 *(注释 8)*	11 *(注释 8)*	11 *(注释 8)*	11 *(注释 8)*
最大用户 I/O *(注释 9)*	72	150	150	290	310	310	475	475

表 1–2 注释：

(1) 应用于 F169 和 F324 封装。

(2) 应用于 F484 封装。

(3) 仅有两个多用途 PLL 可应用于 F484 封装。

(4) 其中两个通用 PLL 可以支持收发器时钟。欲了解详细信息，请参阅 *Clock Networks and PLLs in Cyclone IV Devices* 章节。

(5) 当多用 PLL 未用于同步收发器时，可将它们用于通用时钟。有关详细信息，请参阅 *Clock Networks and PLLs in Cyclone IV Devices* 章节。

(6) 如果 PCIe ×1，您可以将该象限中其它收发器用于相同或者不同的数据速率下的其他协议。

(7) 包括用于 HSSI 参考时钟输入的一个配置 I/O 块和两个专用的时钟输入 I/O 块。

(8) 包括用于 HSSI 参考时钟输入的一个配置 I/O 块和四个专用的时钟输入 I/O 块。

(9) 管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。

封装矩阵

表 1-3 列出了 Cyclone IV E 器件封装产品。

表 1-3. Cyclone IV E 器件系列的封装产品 *（注释 1）*

封装	E144		M164		U256		F256		U484		F484		F780	
尺寸（毫米）	22 × 22		8 × 8		14 × 14		17 × 17		19 × 19		23 × 23		29 × 29	
间距（毫米）	0.5		0.5		0.8		1.0		0.8		1.0		1.0	
器件	用户 I/O	LVDS *（注释 2）*	用户 I/O	LVDS *（注释 2）*	用户 I/O	LVDS *（注释 2）*	用户 I/O	LVDS *（注释 2）*	用户 I/O	LVDS *（注释 2）*	用户 I/O	LVDS *（注释 2）*	用户 I/O	LVDS *（注释 2）*
EP4CE6	91	21	—	—	179	66	179	66	—	—	—	—	—	—
EP4CE10	91	21	—	—	179	66	179	66	—	—	—	—	—	—
EP4CE15	81	18	89	21	165	53	165	53	—	—	343	137	—	—
EP4CE22	79	17	—	—	153	52	153	52	—	—	—	—	—	—
EP4CE30	—	—	—	—	—	—	—	—	—	—	328	124	532	224
EP4CE40	—	—	—	—	—	—	—	—	328	124	328	124	532	224
EP4CE55	—	—	—	—	—	—	—	—	324	132	324	132	374	160
EP4CE75	—	—	—	—	—	—	—	—	292	110	292	110	426	178
EP4CE115	—	—	—	—	—	—	—	—	—	—	280	103	528	230

表 1-3 注释：

(1) E144 封装在底部有一个裸露衬底，这个裸露衬底是接地的，它必须接到 PCB 的地平面上。将该裸露衬底用于电路连接，而不要用于温度处理用途。

(2) 即包括专用 LVDS 对，也包括伪 LVDS 对。有关详细信息，请参阅 *I/O Features in Cyclone IV Devices* 章节。

表 1-4 列出了 Cyclone IV GX 器件封装产品，包括 I/O 和收发器数量

表 1-4. Cyclone IV GX 器件系列的封装产品

封装	N148			F169			F324			F484			F672			F896		
尺寸（毫米）	11 × 11			14 × 14			19 × 19			23 × 23			27 × 27			31 × 31		
间距（毫米）	0.5			1.0			1.0			1.0			1.0			1.0		
器件	用户 I/O	LVDS *（注释 1）*	XCVRs	用户 I/O	LVDS *（注释 1）*	XCVRs	用户 I/O	LVDS *（注释 1）*	XCVRs	用户 I/O	LVDS *（注释 1）*	XCVRs	用户 I/O	LVDS *（注释 1）*	XCVRs	用户 I/O	LVDS *（注释 1）*	XCVRs
EP4CGX15	72	25	2	72	25	2	—	—	—	—	—	—	—	—	—	—	—	—
EP4CGX22	—	—	—	72	25	2	150	64	4	—	—	—	—	—	—	—	—	—
EP4CGX30	—	—	—	72	25	2	150	64	4	290	130	4	—	—	—	—	—	—
EP4CGX50	—	—	—	—	—	—	—	—	—	290	130	4	310	140	8	—	—	—
EP4CGX75	—	—	—	—	—	—	—	—	—	290	130	4	310	140	8	—	—	—
EP4CGX110	—	—	—	—	—	—	—	—	—	270	120	4	393	181	8	475	220	8
EP4CGX150	—	—	—	—	—	—	—	—	—	270	120	4	393	181	8	475	220	8

表 1-4 注释：

(1) 即包括专用 LVDS 对，也包括伪 LVDS 对。有关详细信息，请参阅 *I/O Features in Cyclone IV Devices* 章节。

Cyclone IV 器件系列的速度等级

表 1-5 列出了 Cyclone IV GX 器件的速率等级。

表 1-5. Cyclone IV GX 器件系列的速度等级

器件	N148	F169	F324	F484	F672	F896
EP4CGX15	C7, C8, I7	C6, C7, C8, I7	—	—	—	—
EP4CGX22	—	C6, C7, C8, I7	C6, C7, C8, I7	—	—	—
EP4CGX30	—	C6, C7, C8, I7	C6, C7, C8, I7	C6, C7, C8, I7	—	—
EP4CGX50	—	—	—	C6, C7, C8, I7	C6, C7, C8, I7	—
EP4CGX75	—	—	—	C6, C7, C8, I7	C6, C7, C8, I7	—
EP4CGX110	—	—	—	C7, C8, I7	C7, C8, I7	C7, C8, I7
EP4CGX150	—	—	—	C7, C8, I7	C7, C8, I7	C7, C8, I7

表 1-6 列出了 Cyclone IV E 器件的速率等级。

表 1-6. Cyclone IV E 器件系列的速度等级 *(注释 1)*, *(注释 2)*

器件	E144	M164	U256	F256	U484	F484	F780
EP4CE6	C8L, C9L, I8L C6, C7, C8, I7, A7	—	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—	—
EP4CE10	C8L, C9L, I8L C6, C7, C8, I7, A7	—	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—	—
EP4CE15	C8L, C9L, I8L C6, C7, C8, I7	I7N	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	—	C8L, C9L, I8L C6, C7, C8, I7, A7	—
EP4CE22	C8L, C9L, I8L C6, C7, C8, I7, A7	—	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—	—
EP4CE30	—	—	—	—	—	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE40	—	—	—	—	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7

表 1-6. Cyclone IV E 器件系列的速度等级 *(注释 1)*,*(注释 2)*

器件	E144	M164	U256	F256	U484	F484	F780
EP4CE55	—	—	—	—	I7N	C8L, C9L, I8L C6, C7, C8, I7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE75	—	—	—	—	I7N	C8L, C9L, I8L C6, C7, C8, I7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE115	—	—	—	—	—	C8L, C9L, I8L C7, C8, I7	C8L, C9L, I8L C7, C8, I7

表 1-6 注释：

(1) C8L、C9L 和 I8L 速度等级适用于 1.0 V 的核电压。

(2) C6、C7、 C8、 I7 和 A7 速度等级适用于 1.2 V 的核电压。

Cyclone IV 器件系列体系结构

这一部分介绍了 Cyclone IV 器件的体系结构，其中包括以下几方面内容：

- FPGA 核心架构
- I/O 特性
- 时钟管理
- 外部存储器接口
- 配置
- 高速收发器（仅适用于 Cyclone IV GX 器件）
- PCI Express 的硬核 IP（仅适用于 Cyclone IV GX 器件）

FPGA 核心架构

Cyclone IV 器件采用了与成功的 Cyclone 系列器件相同的核心架构。这一架构包括由四输入查找表 (LUTs) 构成的 LE，存储器模块以及乘法器。

每一个 Cyclone IV 器件的 M9K 存储器模块都具有 9 Kbit 的嵌入式 SRAM 存储器。您可以把 M9K 模块配置成单端口、简单双端口、真双端口 RAM 以及 FIFO 缓冲器或者 ROM，通过配置也可以实现表 1-7 中的数据宽度。

表 1-7. Cyclone IV 器件系列的 M9K 模块数据宽度

模式	数据宽度配置
单端口或简单双端口	×1, ×2, ×4, ×8/9, ×16/18, 和 ×32/36
真双端口	×1, ×2, ×4, ×8/9, 和 ×16/18

Cyclone IV 器件中的乘法器体系结构与现有的 Cyclone 系列器件是相同的。嵌入式乘法器模块可以在单一模块中实现一个 18 × 18 或两个 9 × 9 乘法器。Altera 针对乘法器模块的使用提供了一整套的 DSP IP，其中包括有限脉冲响应 (FIR)， 快速傅里叶变换 (FFT) 和数字控制震荡器 (NCO) 功能。Quartus® II 设计软件中的 DSP Builder 工具集成了 MathWorks Simulink 与 MATLAB 设计环境，从而实现了一体化的 DSP 设计流程。

要了解更多信息，请参阅 *Logic Elements and Logic Array Blocks in Cyclone IV Devices*, *Memory Blocks in Cyclone IV Devices*, 和 *Embedded Multipliers in Cyclone IV Devices* 章节。

I/O 特性

Cyclone IV 器件 I/O 支持可编程总线保持、可编程上拉电阻、可编程延迟、可编程驱动能力以及可编程 slew-rate 控制，从而实现了信号完整性以及热插拔的优化。Cyclone IV 器件支持符合单端 I/O 标准的校准后片上串行匹配 (Rs OCT) 或者驱动阻抗匹配 (Rs)。 在 Cyclone IV GX 器件中，高速收发器 I/O 位于器件的左侧。器件的顶部，底部及右侧可以实现通用用户 I/O。

表 1-8 列出 Cyclone IV 器件所支持的 I/O 标准。

表 1-8. Cyclone IV 器件系列所支持的 I/O 标准

类型	I/O 标准
单端 I/O	LVTTL, LVCMOS, SSTL, HSTL, PCI, 和 PCI-X
差分 I/O	SSTL, HSTL, LVPECL, BLVDS, LVDS, mini-LVDS, RSDS, and PPDS

LVDS SERDES 在器件内核中通过使用逻辑单元来实现。

要了解更多信息，请参阅 *I/O Features in Cyclone IV Devices* 章节。

时钟管理

Cyclone IV 器件包含了高达 30 个全局时钟 (GCLK) 网络以及高达 8 个 PLL （每个 PLL 上均有五个输出端 ），以提供可靠的时钟管理与综合。您可以在用户模式中对 Cyclone IV 器件 PLL 进行动态重配置来改变时钟频率或者相位。

Cyclone IV GX 器件支持两种类型的 PLL：多用 PLL 和通用 PLL：

- 将多用 PLL 用于同步收发器模块。当没有用于收发器时钟时，多用 PLL 也可用于通用时钟。
- 将通用 PLL 用于架构及外设中的通用应用，例如外部存储器接口。一些通用 PLL 可以支持收发器时钟。

要了解更多信息，请参阅 *Clock Networks and PLLs in Cyclone IV Devices* 章节。

外部存储器接口

Cyclone IV 器件支持位于器件顶部，底部和右侧的 SDR、 DDR， DDR2 SDRAM 和 QDRII SRAM 接口。Cyclone IV E 器件也支持这些接口位于器件左侧。接口可能位于器件的两个或多个侧面，以实现更灵活的电路板设计。Altera® DDR SDRAM 存储器接口解决方案由一个 PHY 接口和一个存储控制器组成。Altera 提供了 PHY IP，您可以将它与您自己定制的存储控制器或 Altera 提供的存储控制器一起使用。Cyclone IV 器件支持在 DDR 和 DDR2 SDRAM 接口上使用纠错编码 (ECC) 位。

要了解更多信息，请参阅 *External Memory Interfaces in Cyclone IV Devices* 章节。

配置

Cyclone IV 器件使用 SRAM 单元存储配置数据。每次器件上电后，配置数据会被下载到 Cyclone IV 器件中。低成本配置选项包括 Altera EPCS 系列串行闪存器件以及商用并行闪存配置选项。这些选项实现了通用应用程序的灵活性，并提供了满足特定配置以及应用程序唤醒时间要求的能力。

表 1-9 列出了 Cyclone IV 器件所支持的配置方案。

表 1-9. Cyclone IV 器件系列的配置方案

器件	支持的配置方案
Cyclone IV GX	AS, PS, JTAG, and FPP *(注释 1)*
Cyclone IV E	AS, AP, PS, FPP, and JTAG

表 1-9 注释：

(1) FPP 配置方案仅被 EP4CGX30F484 和 EP4CGX50/75/110/150 器件支持。

所有的收发器 I/O 管脚均支持 IEEE 1149.6 (AC JTAG)，而所有其它管脚均支持用于边界扫描测试的 IEEE 1149.1 (JTAG)。

要了解更多信息，请参阅 *JTAG Boundary-Scan Testing for Cyclone IV Devices* 章节。

要使 Cyclone IV GX 器件满足 PCIe 100 ms 唤醒时间的要求，您必须将被动串行 (PS) 配置模式用于 EP4CGX15/22/30 器件，并将快速被动并行 (FPP) 配置模式用于 EP4CGX30F484 和 EP4CGX50/75/110/150 器件。

要了解更多信息，请参阅 *Configuration and Remote System Upgrades in Cyclone IV Devices* 章节。

在用户模式期间，所有的 Cyclone IV GX 器件均支持循环冗余校验 (CRC) 错误检测特性。对于 Cyclone IV E 器件，该特性仅被核电压为 1.2 V 的器件所支持。

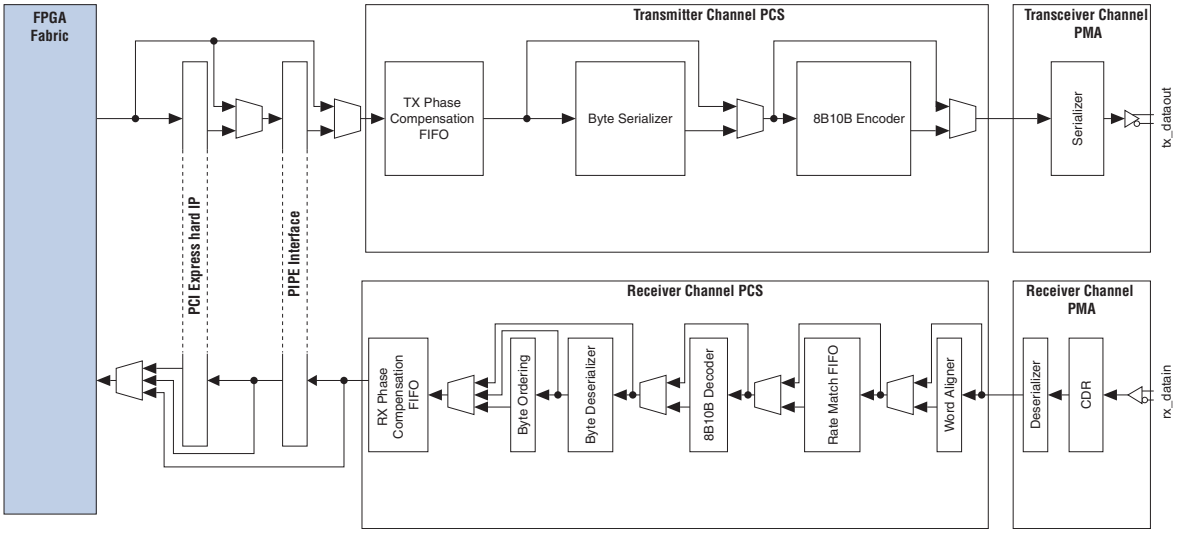
要了解关于 CRC 错误检测的详细信息，请参考 *SEU Mitigation in Cyclone IV Devices* 章节。

高速收发器（仅适用于 Cyclone IV GX 器件）

Cyclone IV GX 器件包含多达 8 个可以独立操作的全双工高速收发器。这些模块支持多个业界标准的通信协议以及 Basic 模式，您可以使用这些模块以实现您自己专有的协议。每个收发器通道都具有各自的预加重和均衡电路，您可以设置编译时间以优化信号的完整性并减少误码率。收发器模块也支持动态重配置，允许您即时更改数据速率和协议。

图 1-1 显示了 Cyclone IV GX 收发器的结构

图 1-1. Cyclone IV GX 器件的收发器通道



要了解更多信息，请参阅 *Cyclone IV Transceivers Architecture* 章节。

PCI Express 的硬核 IP（仅适用于 Cyclone IV GX 器件）

每个 Cyclone IV GX 器件中的单一硬核 IP 模块都集成了 ×1, ×2, 或 ×4 PCIe (PIPE)。这一硬核 IP 模块是一个完整的 PCIe (PIPE) 协议解决方案，用于实现 PHY-MAC 层、数据链路层以及传输层的功能性。PCIe (PIPE) 模块的硬核 IP 支持根端口与端点配置。这个预验证的硬核 IP 模块能够降低风险、缩短设计时间，减少时序收敛及验证时间。您可以通过 Quartus II 的 PCI Express Compiler 对模块进行配置，在整个过程中 Quartus II 的 PCI Express Compiler 将逐步指导您完成模块的配置。

要了解更多信息，请参阅 *PCI Express Compiler User Guide*。

参考和订购信息

图 1–2 显示 Cyclone IV GX 器件的订购码。

图 1–2. Cyclone IV GX 器件的封装订购信息

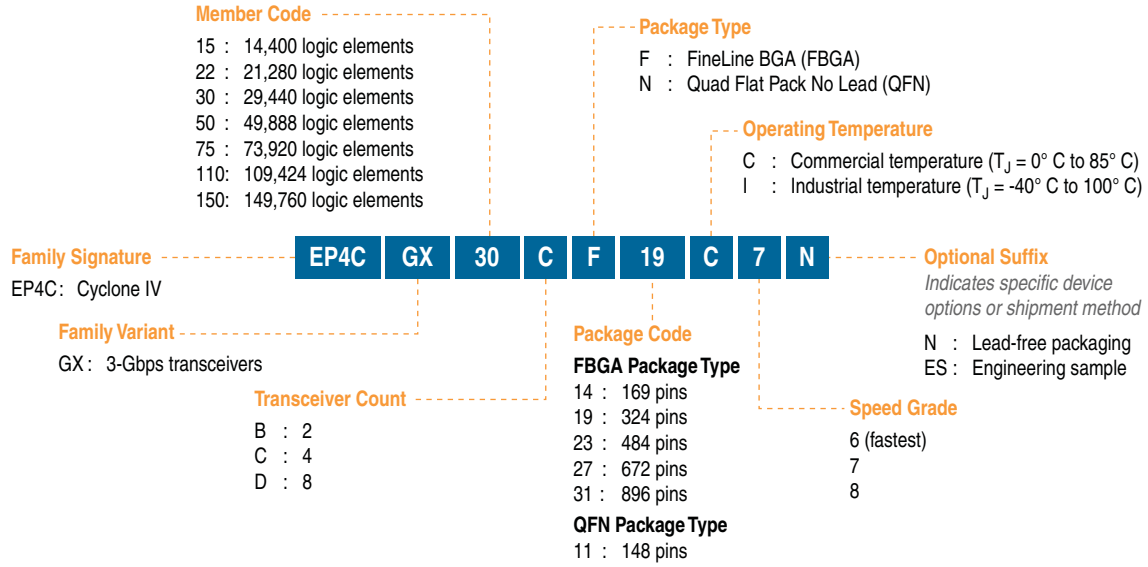
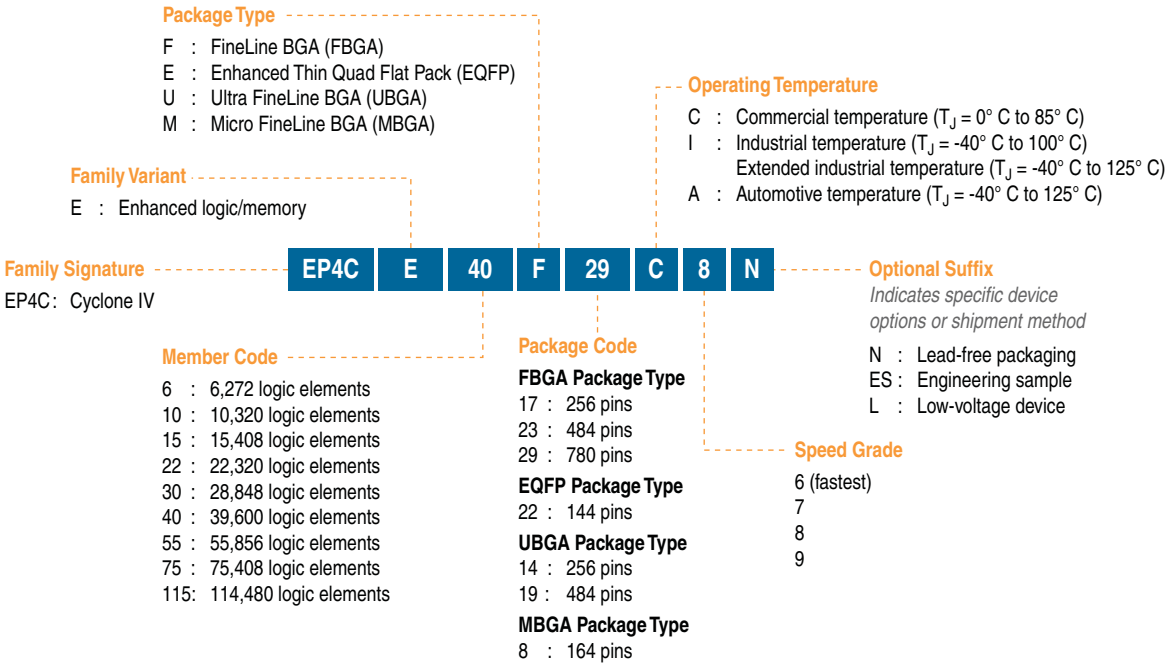


图 1–3 显示 Cyclone IV E 器件的订购码。

图 1–3. Cyclone IV E 器件的封装订购信息



文档修订历史

表 1–10 列出本章节的修订历史。

表 1–10. 文档修订历史

日期	版本	修订内容
2011 年 11 月	1.5	■ 更新了 “Cyclone IV 器件系列特性 ” 章节。 ■ 更新了图 1–2 和图 1–3。
2010 年 12 月	1.4	■ 针对 Quartus II 软件版本 10.1 的发布进行的更新 ■ 添加了 Cyclone IV E 新器件封装信息 ■ 更新了表 1–1、表 1–2、表 1–3、表 1–5 和表 1–6。 ■ 更新了图 1–3。 ■ 少许的文本编辑。
2010 年 7 月	1.3	更新 Table 1–2 以包括 F484 的封装信息
2010 年 3 月	1.2	■ 更新了表 1–3 和表 1–6。 ■ 更新了图 1–3。 ■ 少许的文本编辑。
2010 年 2 月	1.1	■ 针对 Quartus II 软件版本 9.1 SP1 的发布，在表 1–1, 表 1–3, 和表 1–6 中添加了 Cyclone IV E 器件。 ■ 添加了 “Cyclone IV 器件系列的速度等级 ” 和 “ 配置 ” 章节。 ■ 添加了图 1–3，包括了 Cyclone IV E 器件封装订购信息。 ■ 针对 Cyclone IV GX 器件更新了表 1–2, 表 1–4, 和表 1–5。 ■ 少许的文本编辑。
2011 年 9 月	1.0	首次发布。

2. Cyclone IV 器件的逻辑单元和逻辑阵列模块

CYIV-51002-1.0

这个章节包含了定义逻辑单元 (LE) 和逻辑阵列模块 (LAB) 的特性。具体信息体现在 LE 如何运作，LAB 如何容纳 LE 组，以及 LAB 接口如何与 Cyclone® IV 器件中的其他模块连接。

逻辑单元

逻辑单元 (LE) 在 Cyclone IV 器件结构中是最小的逻辑单位。LE 紧密且有效的提供了高级功能的逻辑使用。每个 LE 有以下特性：

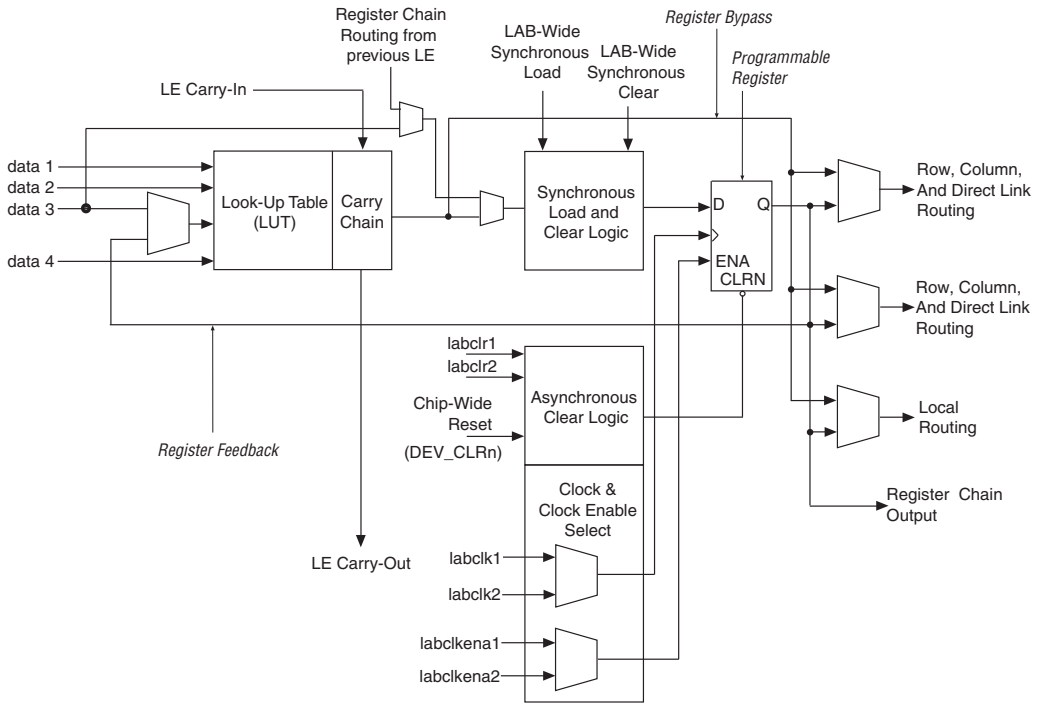
- 一个四口输入的查找表 （LUT)，以实现四种变量的任何功能
- 一个可编程的寄存器
- 一个进位链连接
- 一个寄存器链连接
- 可驱动以下的相互连接：
  - 本地
  - 行
  - 列
  - 寄存器链
  - 直联
- 寄存器套包支持
- 寄存器反馈支持

© 2009 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

图 2-1 显示在 Cyclone IV 器件中的 LE

图 2-1. 在 Cyclone IV 器件中的 LE



LE 特性

您可以对每个 LE 配置可编程的寄存器为 D、 T、 JK, 或 SR 触发器操作。每个寄存器上有数据，时钟，时钟使能和清零输入。全局时钟网络，通用 I/O 管脚，任何内部逻辑都可以驱动时钟和清零寄存器控制信号。通用 I/O 管脚或内部逻辑都可以驱动时钟使能。对于组合功能，LUT 输出端旁路寄存器直接驱动到 LE 输出端。

每个 LE 有三个输出端分别驱动本地，行和列的布线资源。LUT 或寄存器输出独立地驱动这三个输出端。两个 LE 输出端驱动列或行以及直接链接布线连接，而另一个 LE 则驱动本地互联资源。这允许 LUT 驱动一个输出端，当寄存器驱动另一个输出端时。这个特性称为寄存器套包，由于器件可以使用寄存器和 LUT 在不相关的功能，增加了器件的利用率。LAB-wide 同步加载控制信号在使用寄存器套包时是不可用的。要了解更多关于同步加载控制信号的信息，请参阅 “LAB 控制信号 ” （第 2-6 页）

寄存器反馈模式允许寄存器输出反馈到相同 LE 的 LUT 中以确保寄存器与自己的扇出一起配套，提供另一种机制以改进布局布线。LE 也可以驱动 LUT 输出存储与未存储的版本。

除了三个通用布线输出之外，在一个 LAB 上的 LE 有寄存器链输出，使得同一个 LAB 中的寄存器能够串联在一起。寄存器链输出使 LUT 能够被用于组合功能，实现寄存器被用于一个不相关的移位寄存器。这些资源加速了 LAB 之间的连接，同时节省本地互联资源。

LE 操作模式

Cyclone IV LE 在以下模式下操作：

- 正常模式
- 算术模式

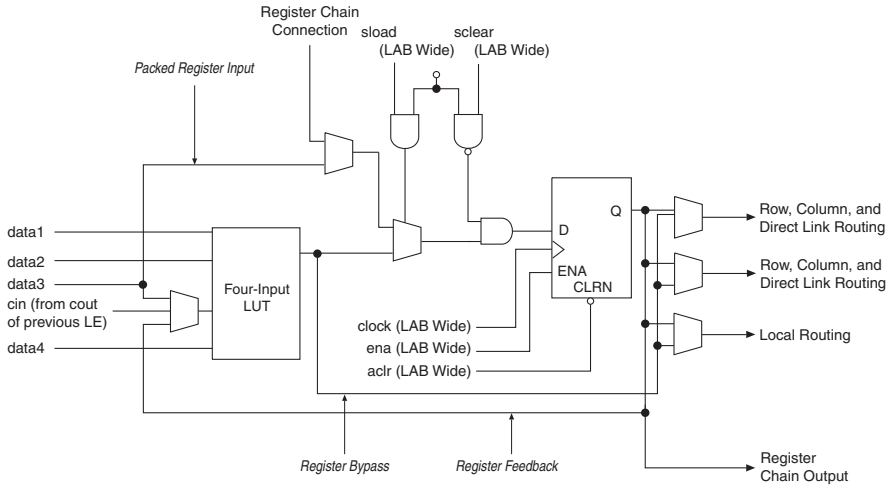
The Quartus® II 软件自动为普通功能选择适用的模式，例如计数器，加法器，减法器和算术功能，与参数化功能如参数化模块库 (LPM) 功能一起。如果需要，您也可以创建指定的特用功能以用于 LE 操作模式的性能优化。

正常模式

正常模式适用于一般的逻辑运用和组合功能。在正常模式中，来自 LAB 本地互联的四个数据输入口输入到一个四口输入的 LUT 中 (图 2-2)。Quartus II 编译器自动选择 carry-in (cin) 或 data3 信号作为其中一个输入到 LUT。LE 在正常模式中支持套包寄存器和寄存器的反馈。

图 2-2 显示在正常模式中的 LE。

图 2-2. 在 Cyclone IV 器件上正常模式中的 LE

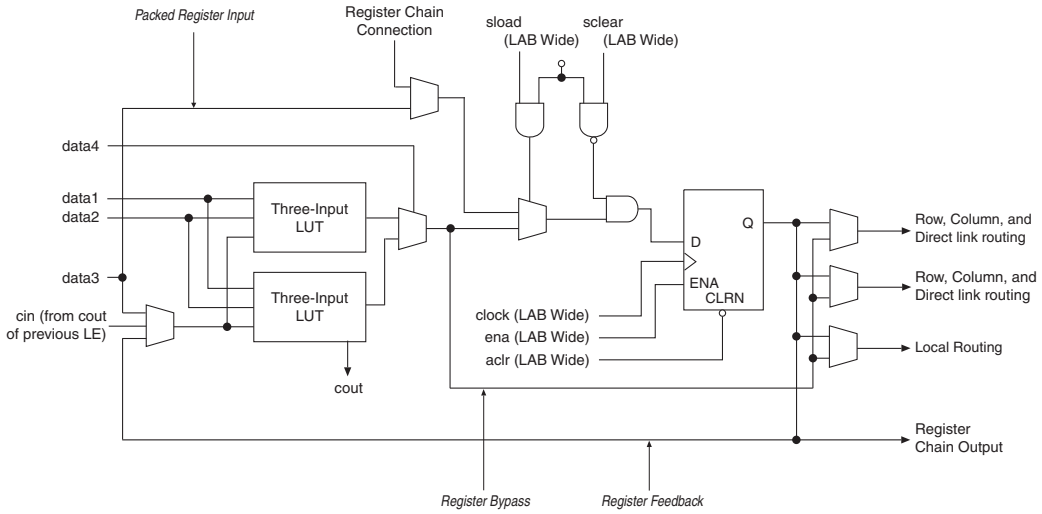


算术模式

算术模式对于加法器，计数器，蓄能器和比较器的实现是理想的。一个 LE 在算术模式中实现一个 2 位全加器和基本的进位链 (图 2-3)。LE 在算术模式中可以驱动 LUT 输出存储与未存储的版本。寄存器反馈和寄存器套包都支持 LE 用于算术模式。

图 2-3 显示在算术模式中的 LE。

图 2-3. 在 Cyclone IV 器件上算术模式中 LE



Quartus II 编译器在设计处理期间自动创建进位链逻辑。您也可以在设计输入期间手动创建进位链逻辑。参数化功能如 LPM 功能，自动优化进位链于合适的功能中。

Quartus II 编译器通过同一列中自动链接 LAB 创建长过 16 个 LE 的进位链。为了增强布局，一条长进位链纵向运行，通过直接链接互联实现迅速横向连接到 M9K 存储器模块或嵌入式乘法器。例如，如果一个设计有一条长进位链在一 LAB 列中与一列 M9K 存储器模块紧挨着，那么任何 LE 输出通过直接链接互联都可以连到相邻的 M9K 存储器模块上。如果进位链横向运行，任何不与 M9K 存储器模块列紧挨的 LAB 使用其他的行和列互联以驱动一个 M9K 存储器模块。一条进位链继续运行直到全列。

逻辑阵列模块

逻辑阵列模块 (LAB) 包含 LE 组。

拓扑

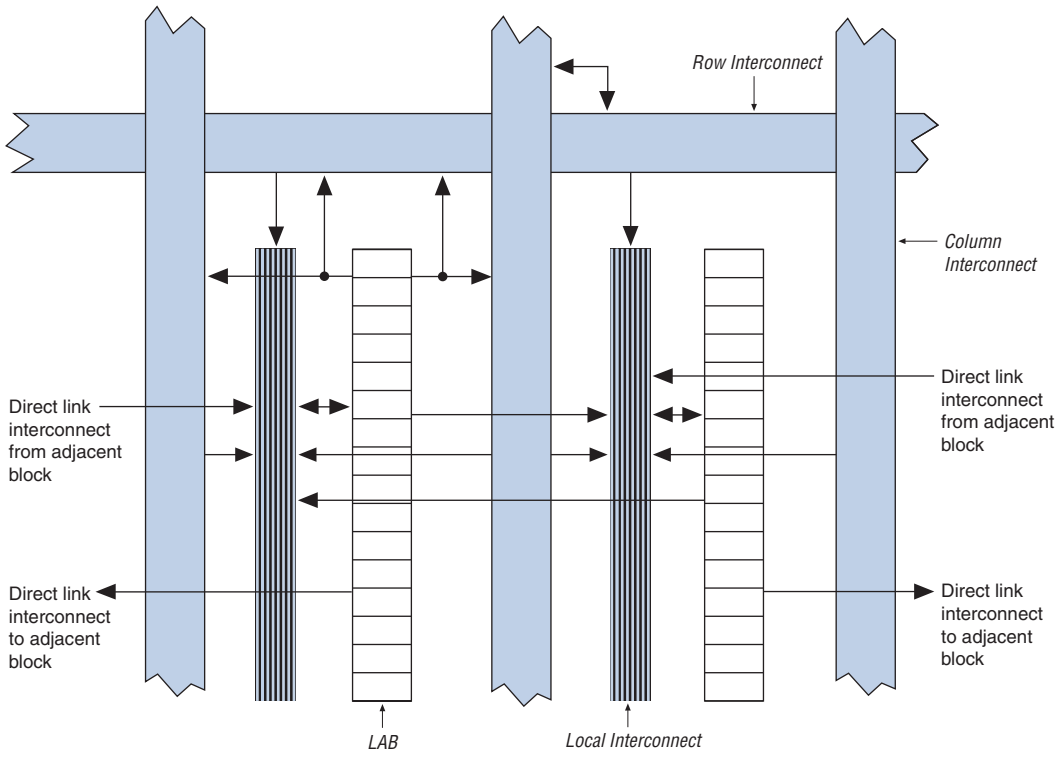
每个 LAB 包括以下特性：

- 16 LE
- LAB 控制信号
- LE 进位链
- 寄存器链
- 本地互联

本地互联在同一个 LAB 的 LE 之间传输信号。寄存器链连接把一个 LE 寄存器的输出传输到 LAB 中相邻的 LE 寄存器上。Quartus II 编译器放置相关的逻辑在 LAB 或相邻的 LAB 中，允许使用本地和寄存器链连接以实现性能和面积效率。

图 2-4 显示在 Cyclone IV 器件中的 LAB 结构。

图 2-4. 在 Cyclone IV 器件中的 LAB 结构

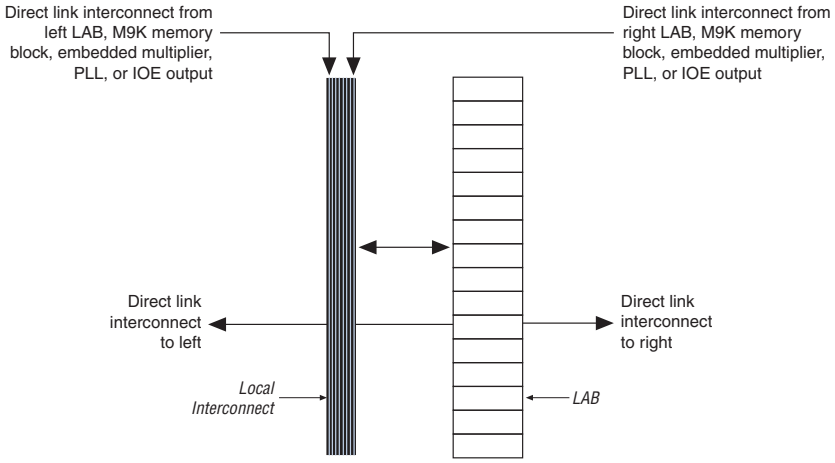


LAB 互联

LAB 本地互联是由列和行互联以及 LE 在相同的 LAB 中的输出端驱动的。邻近的 LAB，锁相环 (PLL)，M9K RAM 模块和嵌入式乘法器由左到右通过直接链接连接也可以驱动 LAB 的本地互联。直接链接连接功能最小化行和列互联的使用，以提供更高的性能和灵活性。每个 LE 通过加速本地和直接链接互联可以驱动多达 48 个的 LE。

图 2-5 显示直接链接连接。

图 2-5. 在 Cyclone IV 器件中的直连连接方式



LAB 控制信号

每个 LAB 都包含专用的逻辑以驱动控制信号各自 LE。控制信号包括：

- 两个时钟
- 两个时钟使能
- 两个异步清零
- 一个同步清零
- 一个同步加载

您可以一次使用多达 8 个的控制信号。寄存器套包和同步加载不能被同时使用。

每个 LAB 可以有多达四个的非全局控制信号。您可以使用其他的 LAB 控制信号只要这些信号是全局信号。

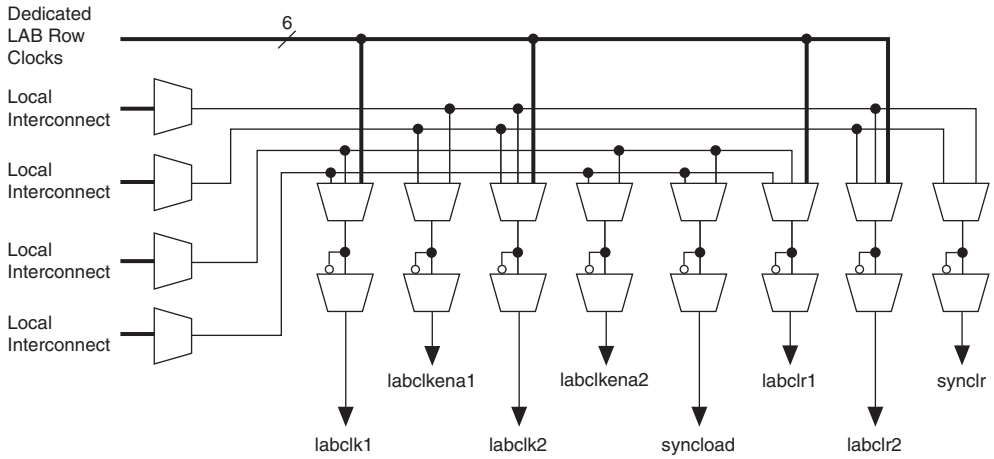
同步清零和加载对于实现计数和其他功能是很有用的。同步清零和同步加载是 LAB-wide 信号，其影响所有寄存器上的 LAB。

每个 LAB 可以使用两个时钟和两个时钟使能信号。时钟和时钟使能信号在各个 LAB 上是相连接的。例如，在一特定的 LAB 上的任何一个 LE 中使用 labclk1 信号时也在使用 labclkena1。如果 LAB 同时使用上升沿和下降沿时钟，也使用 LAB-wide 时钟信号。释放时钟使能信号关闭 LAB-wide 时钟。

LAB 行时钟 [5..0] 和 LAB 本地的互联生成 LAB-wide 控制信号。MultiTrack 互联固有的低偏移除数据分配之外还可以实现时钟和控制信号分配。

图 2-6 显示 LAB 控制信号生成电路。

图 2-6. Cyclone IV 器件 LAB-Wide 控制信号



LAB-wide 信号控制寄存器上清零信号的逻辑。LE 直接支持一个异步清零功能。每个 LAB 支持多达两个异步清零信号 (labclr1 和 labclr2)。

一个 LAB-wide 异步加载信号不可被用为寄存器的预置信号控制逻辑。寄存器预置是用 NOT 门推回 （push-back）的技术完成的。Cyclone IV 器件仅支持预置或异步清零信号。

除了清零端口外，Cyclone IV 器件提供一个芯片级重置管脚 (DEV_CLRn) 对器件中所有的寄存器重置。在编辑 Quartus II 软件之前设置一个选项以控制这个管脚。这个芯片级重置覆盖了所有其他的控制信号。

文档修订历史

表 2-1 显示了本章节的修订历史。

表 2-1. 文档修订历史

日期	版本	修订内容
2009 年 11 月	1.0	首次发布。

3. Cyclone IV 器件中的存储器模块

CYIV-51003-1.1

Cyclone® IV 器件具有嵌入式存储器结构，满足了 Altera® Cyclone IV 器件设计对片上存储器的需求。嵌入式存储器结构由一列列 M9K 存储器模块组成，通过对这些 M9K 存储器模块进行配置，可以实现各种存储器功能，例如：RAM、移位寄存器、 ROM 以及 FIFO 缓冲器。

本应用笔记包含以下几部分内容：

- “ 存储器模式 ”（ 第 3-7 页 ）
- “ 时钟模式 ”（ 第 3-14 页 ）
- “ 设计考量 ”（ 第 3-15 页 ）

概述

M9K 存储器模块支持以下特性：

- 每模块 8,192 个存储器位（ 包括奇偶校验位，每模块共 9,216 位 ）
- 用于每一个端口的独立读使能（rden）与写使能（wren）信号
- Packed 模式，该模式下 M9K 存储器模块被分成两个 4.5 K 单端口 RAM
- 可变端口配置
- 单端口与简单双端口模式，支持所有端口宽度
- 真双端口（ 一个读和一个写，两个读，或者两个写 ）操作
- 字节使能，实现写入期间的数据输入屏蔽
- 用于每一个端口（ 端口 A 和 B）的时钟使能控制信号
- 初始化文件，在 RAM 和 ROM 模式下预加载存储器中的数据

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

表 3-1 列出了 M9K 存储器所支持的特性。

表 3-1. M9K 存储器特性汇总

特性	M9K 模块
配置（深度 × 宽度）	8192 × 1 4096 × 2 2048 × 4 1024 × 8 1024 × 9 512 × 16 512 × 18 256 × 32 256 × 36
奇偶校验位	✓
字节使能	✓
Packed 模式	✓
地址时钟使能	✓
单端口模式	✓
简单双端口模式	✓
真双端口模式	✓
嵌入式移位寄存器模式 *（注释 1）*	✓
ROM 模式	✓
FIFO 缓冲器 *（注释 1）*	✓
简单双端口混合位宽支持	✓
真双端口混合位宽支持 *（注释 2）*	✓
存储器初始化文件 (.mif)	✓
混合时钟模式	✓
上电条件	输出端清零
寄存器异步清零	仅限读地址寄存器和输出寄存器
锁存器异步清零	仅限输出锁存器
读或写操作触发	读写：时钟上升沿
相同端口 read-during-write	输出端设置为 Old Data 或者 New Data
混合端口 read-during-write	输出端设置为 Old Data 或者 Don’ t Care

表 3-1 注释：

(1) 需要外部逻辑单元 (LE) 的 FIFO 缓冲器和嵌入式移位寄存器，以实现控制逻辑。

(2) ×32 和 ×36 的位宽模式不可用。

要了解关于Cyclone IV器件的M9K存储器模块数量的详细信息，请参考*Cyclone IV器件手册*第 1 卷中的 *Cyclone IV 器件系列概述*章节。

控制信号

时钟使能控制信号对进入输入与输出寄存器的时钟以及整个 M9K 存储器模块进行控制。该信号将时钟禁用，使 M9K 存储器模块侦测不到任何的时钟边沿，从而不会执行任何操作。

rden 与 wren 控制信号控制 M9K 存储器模块的每一个端口上的读写操作。当不需要操作时，您可以分别将 rden 或者 wren 信号禁用，从而降低功耗。

奇偶校验位支持

通过奇偶校验位以及内部逻辑资源，用于错误检测的奇偶校验检查是可以实现的。Cyclone IV 器件 M9K 存储器模块支持每一个存储字节含有一个奇偶校验位，您可以将该位用作奇偶校验位或者额外的数据位。实际上，该位不执行奇偶校验功能。

字节使能支持

Cyclone IV 器件 M9K 存储器模块支持字节使能，该功能屏蔽了输入数据，这样仅写入数据中的指定字节。未被写入的字节保留之前写入的值。wren 信号以及字节使能 (byteena) 信号一起控制 RAM 模块的写操作。byteena 信号默认为高电平（使能的），这种情况下写操作仅由 wren 信号来控制。byteena 寄存器的清零端口是不存在的。当写端口具有 ×16, ×18, ×32, 或者 ×36 位数据位宽时，M9K 模块将支持字节使能。

字节使能以独热码的形式运行，并且 byteena 的最低位对应于数据总线的最低字节。例如，若 byteena = 01，并且在 ×18 模式下使用一个 RAM 模块，则 data[8..0] 被使能，而 data[17..9] 被禁用。同样地，若 byteena = 11，则 data[8..0] 以及 data[17..9] 均被使能。字节使能为高电平有效。

表 3-2 列出了字节选择。

表 3-2. Cyclone IV 器件 M9K 模块的 byteena 模块 *（注释 1）*

byteena[3..0]	受影响的字节			
	datain ×16	datain ×18	datain ×32	datain ×36
[0] = 1	[7..0]	[8..0]	[7..0]	[8..0]
[1] = 1	[15..8]	[17..9]	[15..8]	[17..9]
[2] = 1	—	—	[23..16]	[26..18]
[3] = 1	—	—	[31..24]	[35..27]

表 3-2 注释：

(1) 可能存在字节使能的任意组合。

图 3-1 显示了 wren 和 byteena 信号是如何控制 RAM 操作的。

图 3-1. Cyclone IV 器件 byteena 功能波形图 *(注释 1)*

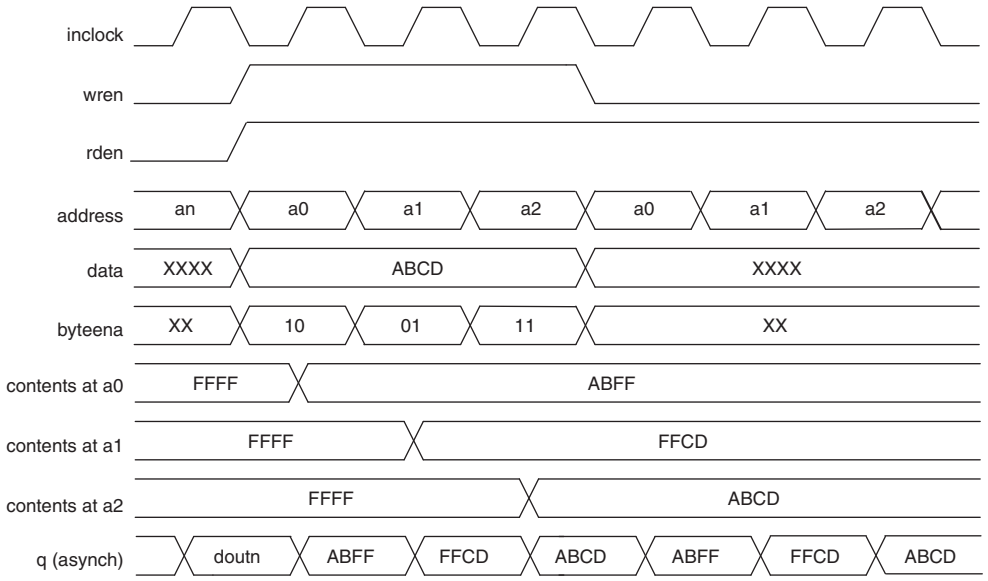


图 3-1 注释：

(1) 对于这一功能波形，选择 **New Data** 模式。

当一个 byteena 位在写周期中被置低时，存储器中的旧数据会出现在相应的数据字节输出端。当一个 byteena 位在写周期中被置位时，相应的数据字节输出取决于 Quartus® II 中所选择的设置。 该设置既可以是在相应位置上新写入的数据，也可以是原有的旧数据。

当单独的M9K存储器模块的PortA以及PortB数据位宽是8位或者9位的倍数时，字节使能仅适用于真双端口 (True Dual-Port) 存储器配置。

Packed 模式支持

Cyclone IV 器件 M9K 存储器模块支持 packed 模式。在下列条件下，您可以在单一模块中实现两个单端口存储器模块：

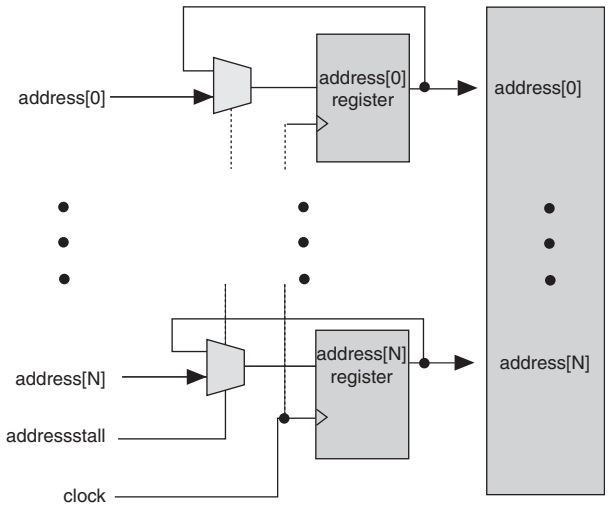
- 每一个独立模块的容量均小于或等于 M9K 模块容量的一半。每一个独立模块的最大数据宽度为 18 位宽。
- 每一个单端口存储器模块均被配置成单时钟模式。要了解关于 packed 模式支持的详细信息，请参考第 3-8 页的 “ 单端口模式 ” 和第 3-15 页的 “ 单时钟模式 ”。

地址时钟使能支持

Cyclone IV 器件 M9K 存储器模块支持低电平有效地址时钟使能，只要 addressstall 信号为高电平 (addressstall = '1')，低电平有效地址时钟使能就会保持之前的地址值。 当在双端口模式下配置 M9K 存储器模块时，每个端口都有各自独立的地址时钟使能。

图 3-2 显示了地址时钟使能结构图。通过使用多路复用器，地址寄存器的输出将送回至它的输入端。多路复用器输出是由地址时钟使能 (addressstall) 信号选择的。

图 3-2. Cyclone IV 器件地址时钟使能结构图



地址时钟使能通常在高速缓存错失期间用于增进高速缓存存储器应用的有效性。地址时钟使能的默认值为低电平。

图 3-3 和图 3-4 分别显示了读写周期过程中的地址时钟使能波形。

图 3-3. Cyclone IV 器件地址时钟使能在读周期中的波形图

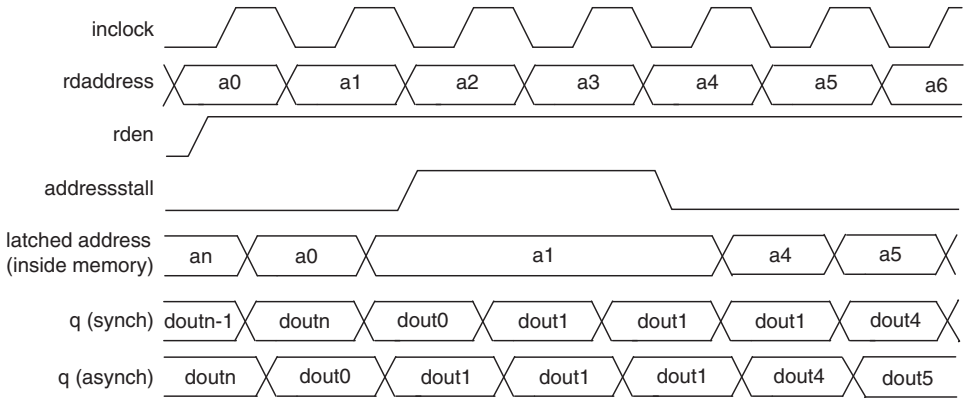
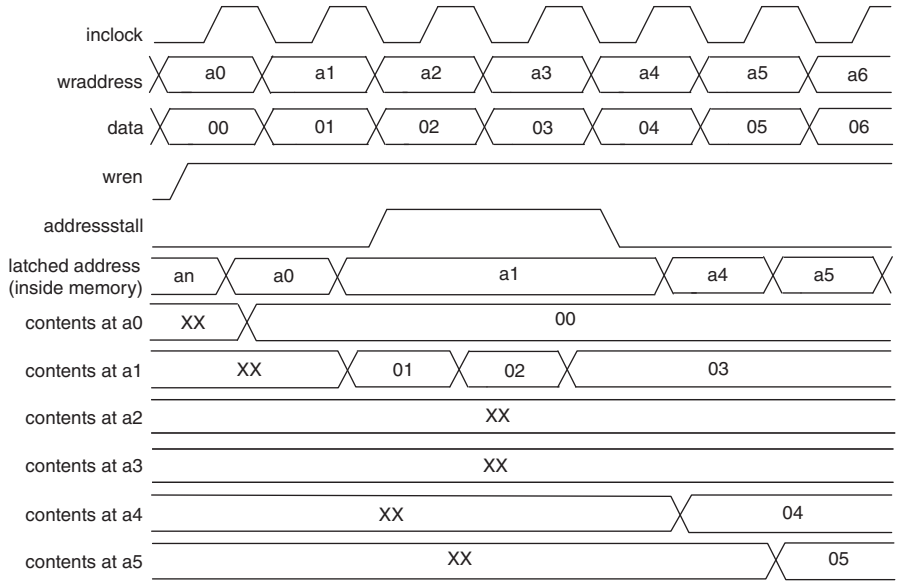


图 3-4. Cyclone IV 器件地址时钟使能在写周期中的波形图



混合位宽支持

M9K 存储器模块支持混合数据位宽。当使用简单双端口、真双端口、或者 FIFO 模式时，混合位宽支持实现了读写不同的数据位宽到 M9K 存储器模块。要了解关于每一个存储器模式所支持的不同位宽的详细信息，请参考第 3-7 页的 “ 存储器模式 ”。

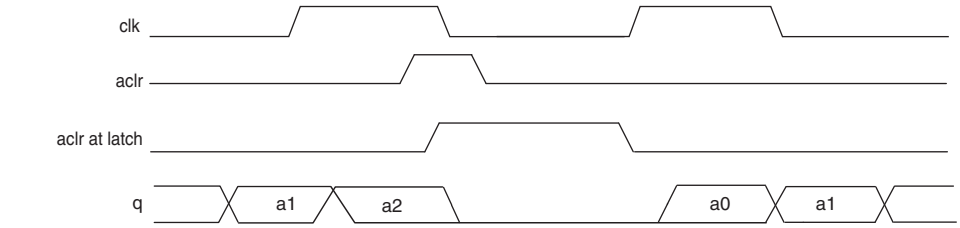
异步清零

Cyclone IV 器件仅支持读地址寄存器、输出寄存器以及输出锁存器的异步清零操作，输入寄存器（除了读地址寄存器）不支持异步清零。当对输出寄存器进行异步清零操作时，异步清零信号即刻对输出寄存器清零，效果立马可见。如果您的 RAM 不使用输出寄存器，那么通过使用输出锁存器异步清零特性，您仍然能够对 RAM 输出端进行清零。

在读操作过程中，对读地址寄存器置位异步清零有可能会导致存储数据的损坏。

图 3-5 显示了异步清零特性的功能波形。

图 3-5. 输出锁存器异步清零波形图



通过使用 Quartus II RAM MegaWizard™ Plug-In Manager，您可以有选择地使能每个逻辑存储器的异步清零功能。

要了解更多信息，请参考 *RAM Megafunction User Guide*。

通过三种方式可以对 M9K 模块中的寄存器进行复位：

- 器件上电
- 将 aclr 信号仅用于输出寄存器
- 使用 **DEV_CLRn** 选项来进行全器件复位

存储器模式

Cyclone IV 器件 M9K 存储器模块使您能够在多种操作模式下实现完全同步 SRAM 存储器。Cyclone IV 器件 M9K 存储器模块不支持异步（未寄存的）存储器输入。

M9K 存储器模块支持下列模式：

- 单端口
- 简单双端口
- 真双端口
- 移位寄存器
- ROM
- FIFO

M9K 存储器模块输入寄存器上建立及保持时间的违规将可能导致存储器数据的损坏，这种情况会发生在读写操作期间。

单端口模式

单端口模式支持从单一地址上的异时读写操作。图 3-6 显示了 Cyclone IV 器件 M9K 存储器模块的单端口存储器配置。

图 3-6. 单端口存储器 *（注释 1），（注释 2）*

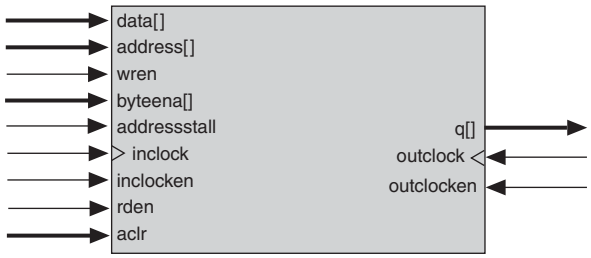


图 3-6 注释：

(1) 您可以在单一 M9K 模块上实现两个单端口存储器模块。

(2) 欲了解更多信息，请参考第 3-4 页的 “Packed 模式支持 ”。

写操作期间，RAM 输出行为是可以配置的。如果在写操作期间激活 rden 信号，则 RAM 输出端会显示相应地址上正在写入的新数据，或者原有的旧数据。 如果在 rden 信号未激活的情况下执行写操作，那么 RAM 输出端将保留它们在最近的 rden 信号有效期间所保持的值。

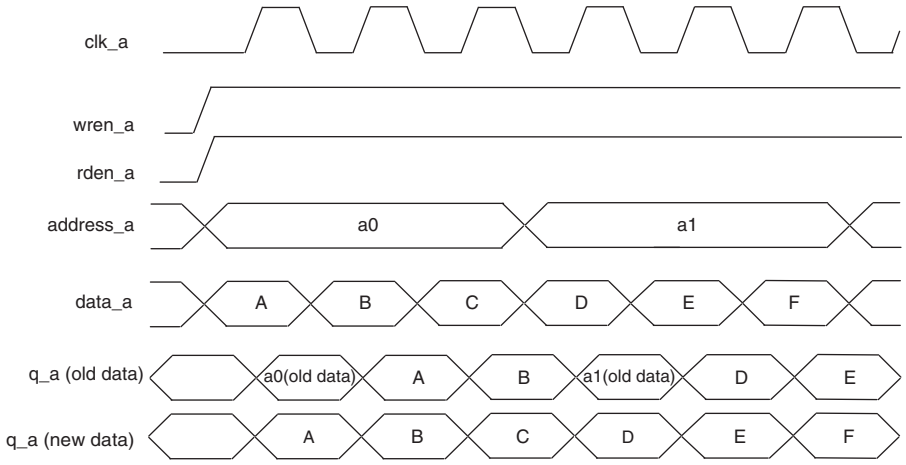
要选择所需的行为，需要在 Quartus II 的 RAM MegaWizard Plug-In Manager 中，将 **Read-During-Write** 选项设置成 **New Data** 或者 **Old Data**。欲了解关于 read-during-write 模式的详细信息，请参考第 3-15 页的 “Read-During-Write 操作 ”。

单端口模式下，M9K 模块的端口位宽配置如下所示：

- 8192 × 1
- 4096 × 2
- 2048 × 4
- 1024 × 8
- 1024 × 9
- 512 × 16
- 512 × 18
- 256 × 32
- 256 × 36

图 3-7 显示了具有未寄存的输出端的单端口模式下读写操作的时序波形。 寄存 RAM 的输出端只会将 q 输出延长一个时钟周期。

图 3-7. Cyclone IV 器件单端模式时序波形图



简单双端口模式

简单双端口模式支持到不同位置的同时读写操作。图 3-8 显示了简单双端口存储器配置。

图 3-8. Cyclone IV 器件简单双端口存储器 *（注释 1）*

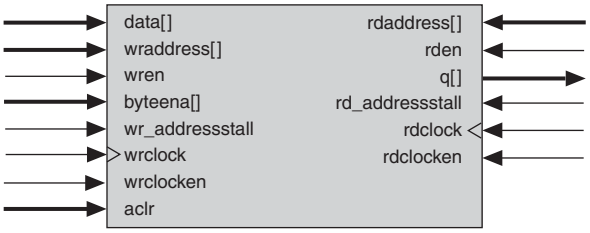


图 3-8 注释：

(1) 除了所示的读或写时钟模式，简单双端口 RAM 也支持输入或输出时钟模式。

Cyclone IV 器件 M9K 存储器模块支持混合位宽配置，以及不同的读写端口位宽。表 3-3 列出了混合位宽配置。

表 3-3. Cyclone IV 器件 M9K 模块混合位宽配置（简单双端口模式） *(1/2)*

读端口	写端口								
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	256 × 32	1024 × 9	512 × 18	256 × 36
8192 × 1	✓	✓	✓	✓	✓	✓	—	—	—
4096 × 2	✓	✓	✓	✓	✓	✓	—	—	—
2048 × 4	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 8	✓	✓	✓	✓	✓	✓	—	—	—

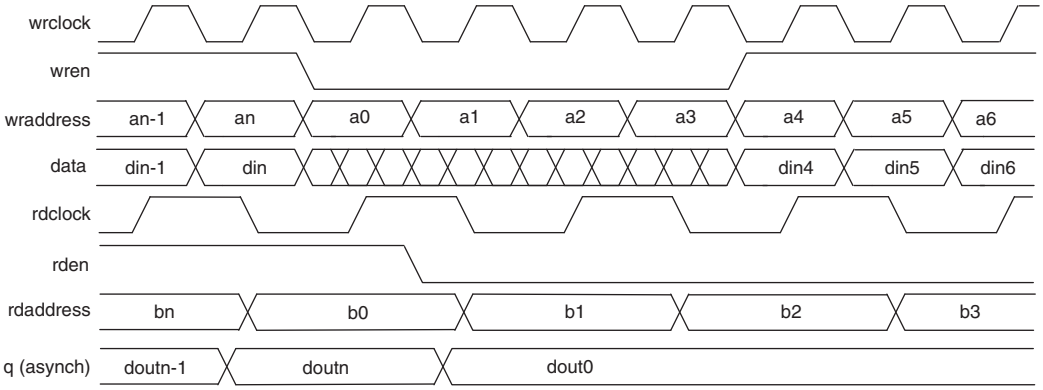
表 3-3. Cyclone IV 器件 M9K 模块混合位宽配置（简单双端口模式） *(2/2)*

读端口	写端口								
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	256 × 32	1024 × 9	512 × 18	256 × 36
512 × 16	✓	✓	✓	✓	✓	✓	—	—	—
256 × 32	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 9	—	—	—	—	—	—	✓	✓	✓
512 × 18	—	—	—	—	—	—	✓	✓	✓
256 × 36	—	—	—	—	—	—	✓	✓	✓

在简单双端口模式中，M9K 存储器模块支持独立的 wren 与 rden 信号。在没有进行读操作的时候，将 rden 信号保持在低电平（无效状态），从而降低功耗。 相同地址上的 Read-during-write 操作能够在相应位置上输出 “New Data” 数据，或者输出 “Old Data”。要选择所需的行为，需要在 Quartus II 的 RAM MegaWizard Plug-In Manager 中将 **Read-During-Write** 选项设置成 **New Data** 或者 **Old Data**。要了解关于这一行为的详细信息，请参考第 3-15 页的 “Read-During-Write 操作 ”。

图 3-9 显示了具有未寄存的简单双端口模式下读写操作的时序波形。 寄存 RAM 的输出端只会将 q 输出延长一个时钟周期。

图 3-9. Cyclone IV 器件简单双端口时序波形图



真双端口模式

真双端口模式支持两端口操作的任何组合：在两个不同时钟频率上的两个读操作、两个写操作，或者一个读操作和一个写操作。图 3–10 显示了 Cyclone IV 器件真双端口存储器配置。

图 3–10. Cyclone IV 器件真双端口存储器 *（注释 1）*

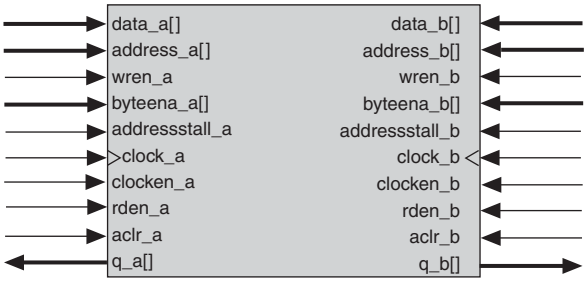


图 3–10 注释：

(1) 除了所示的独立时钟模式，真双端口存储器还支持输入或输出时钟模式。

真双端口模式下，M9K 模块的最大位宽配置为 512 × 16 位（带有奇偶校验的 18 位）。

表 3–4 显示了可能的 M9K 模块混合端口位宽配置。

表 3–4. Cyclone IV 器件 M9K 模块混合位宽配置（真双端口模式）

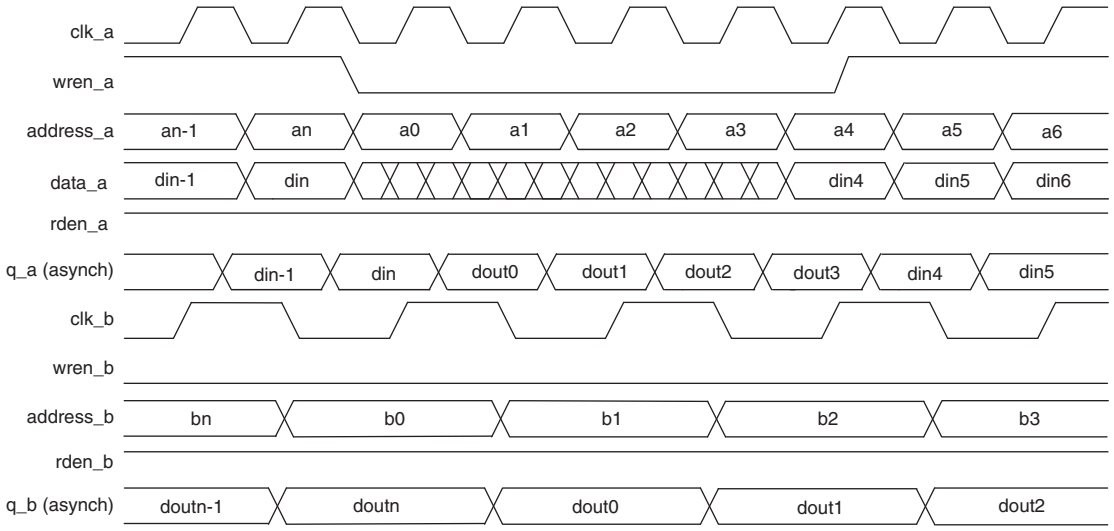
读端口	写端口						
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	1024 × 9	512 × 18
8192 × 1	✓	✓	✓	✓	✓	—	—
4096 × 2	✓	✓	✓	✓	✓	—	—
2048 × 4	✓	✓	✓	✓	✓	—	—
1024 × 8	✓	✓	✓	✓	✓	—	—
512 × 16	✓	✓	✓	✓	✓	—	—
1024 × 9	—	—	—	—	—	✓	✓
512 × 18	—	—	—	—	—	✓	✓

在真双端口模式中，M9K 存储器模块支持独立的 wren 与 rden 信号。在没有进行读操作的时候，将 rden 信号保持在低电平（无效状态），从而降低功耗。 相同地址上的 Read-during-write 操作能够在相应位置上输出 “Don’t Care” 数据，或者输出 “Old Data”。要选择所需的行为，需要在 Quartus II 的 RAM MegaWizard Plug-In Manager 中将 **Read-During-Write** 选项设置成 **Don’t Care** 或者 **Old Data**。要了解关于这一行为的详细信息，请参考第 3-15 页的 “Read-During-Write 操作 ”。

在真双端口模式中，您可以从端口 A 或者端口 B 随时访问存储器位置。然而，当从两个端口同时访问同一存储器位置时，您一定要避免可能发生的写冲突。当您试图从两个端口同时写入到相同地址时，会出现写冲突。这会导致在该地址存储未知数据。Cyclone IV 器件 M9K 存储模块中没有集成冲突解决电路。 您必须处理 RAM 模块外部的地址冲突。

图 3-11 显示了端口 A 上的写操作与端口 B 上的读操作的真双端口时序波形。寄存 RAM 的输出端只会将 q 输出延长一个时钟周期。

图 3-11. Cyclone IV 器件真双端口时序波形图



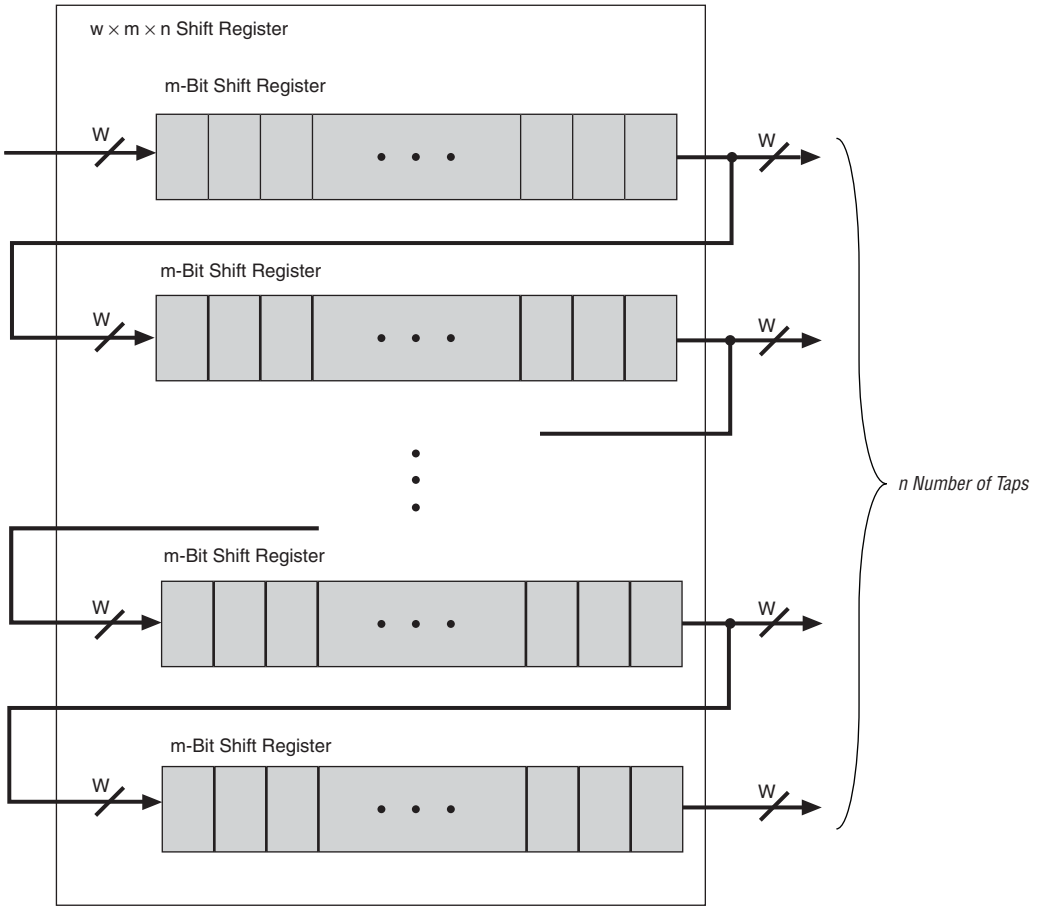
移位寄存器模式

Cyclone IV 器件 M9K 存储器模块能够实现数字信号 (DSP) 应用透过使用的移位寄存器，例如： 有限脉冲响应 （FIR）滤波器、伪随机数生成器、多通道滤波，以及自相关和互相关函数。这些以及其它 DSP 应用都要求本地数据存储，通常通过标准触发器来实现，这些标准触发器迅速消耗大型移位寄存器的很多逻辑单元。更有效的方法是将嵌入式存储器用作移位寄存器模块，这样可以节省很多逻辑单元以及布线资源。

一个 (*w* × *m* × *n*) 移位寄存器的容量是由输入数据宽度 (*w*)、抽头的长度 (*m*)，以及抽头的数量 (*n*) 来决定，并且必须小于或等于最大存储器位数，也就是 9,216 位。另外，(*w* × *n*) 的容量必须小于或等于模块的最大宽度，也就是 36 位。如果需要一个容量更大的移位寄存器，则需要将 M9K 存储器模块串联起来使用。

图 3-12 显示了移位寄存器模式中的 Cyclone IV 器件 M9K 存储器模块。

图 3-12. Cyclone IV 器件移位寄存器模式配置



ROM 模式

Cyclone IV 器件 M9K 存储器模块支持 ROM 模式。**.mif** 文件对这些模块的 ROM 中的数据进行初始化。ROM 的地址线是寄存的，输出端可以被寄存，也可以不被寄存。ROM 的读操作与单端口 RAM 配置中的读操作相同。

FIFO 缓冲器模式

Cyclone IV 器件 M9K 存储器模块支持单时钟或者双时钟 FIFO 缓冲器。当从一个时钟域到另一个时钟域传输数据时，会用到双时钟 FIFO 缓冲器。Cyclone IV 器件 M9K 存储器模块不支持同时读写操作在一个空白 FIFO 缓冲器中。

要了解关于 FIFO 缓冲器的详细信息，请参考 *Single- and Dual-Clock FIFO Megafunction User Guide*。

时钟模式

Cyclone IV 器件 M9K 存储器模块支持下列时钟模式：

- Independent （独立）
- Input or output （输入或输出）
- Read or write （读或写）
- Single-clock （单时钟）

当使用输入或输出时钟模式时，如果在同一地址位置执行同时读或写操作，则输出读数据将是未知的。如果要求输出数据是一个可预测值，则需要使用单时钟模式或者 I/O 时钟模式，并且在 MegaWizard Plug-In Manager 中选择相应的 read-during-write 行为。

☞ 违反存储器模块输入寄存器上建立及保持时间将可能导致存储器数据的损坏，这种情况会发生在读写操作期间。

☞ 异步清零功能仅在读地址寄存器、输出寄存器，以及输出锁存器中可用。

表 3-5 列出了时钟模式 VS 存储器模式所支持的矩阵。

表 3-5. Cyclone IV 器件存储器时钟模式

时钟模式	真双端口模式	简单双端口模式	单端口模式	ROM 模式	FIFO 模式
独立	✓	—	—	✓	—
输入或输出	✓	✓	✓	✓	—
读或写	—	✓	—	—	✓
单时钟	✓	✓	✓	✓	✓

独立时钟模式

Cyclone IV 器件 M9K 存储器模块能够实现真双端口存储器的独立时钟模式。在这一模式中，独立的时钟可用于每一个不同的端口（端口 A 与端口 B）。 clock A 控制端口 A 侧上的所有寄存器，而 clock B 则控制端口 B 侧上的所有寄存器。另外，每个端口均支持端口 A 和端口 B 寄存器的独立时钟使能。

输入或输出时钟模式

Cyclone IV 器件 M9K 存储器模块支持输入或输出时钟模式，以用于 FIFO、单端口、真双端口以及简单双端口存储器。在这一模式中，输入时钟控制存储器模块的所有输入寄存器，其中包括数据、地址、 byteena、 wren 以及 rden 寄存器。输出时钟控制数据输出寄存器。另外，每一个存储器模块端口均支持用于输入与输出寄存器的独立时钟使能。

读或写时钟模式

Cyclone IV 器件 M9K 存储器模块能够实现用于 FIFO 以及简单双端口存储器的读或写时钟模式。在这一模式中，写时钟控制数据输入、写地址和 wren 寄存器。同样的，读时钟控制数据输出、读地址和 rden 寄存器。M9K 存储器模块支持独立的时钟使能，以用于读时钟以及写时钟。

当使用读或写模式时，如果在同一地址执行同时读或写操作，则输出读数据将是未知的。如果要求输出数据是一个可预测值，则需要使用单时钟模式，输入时钟模式，或者输出时钟模式，并且在 MegaWizard Plug-In Manager 中选择相应的 read-during-write 行为。

单时钟模式

Cyclone IV 器件 M9K 存储器模块能够实现单时钟模式，以用于 FIFO、ROM、真双端口，简单双端口以及单端口存储器。在这一模式中，您可以通过单时钟以及时钟使能来控制 M9K 存储器模块中的所有寄存器。

设计考量

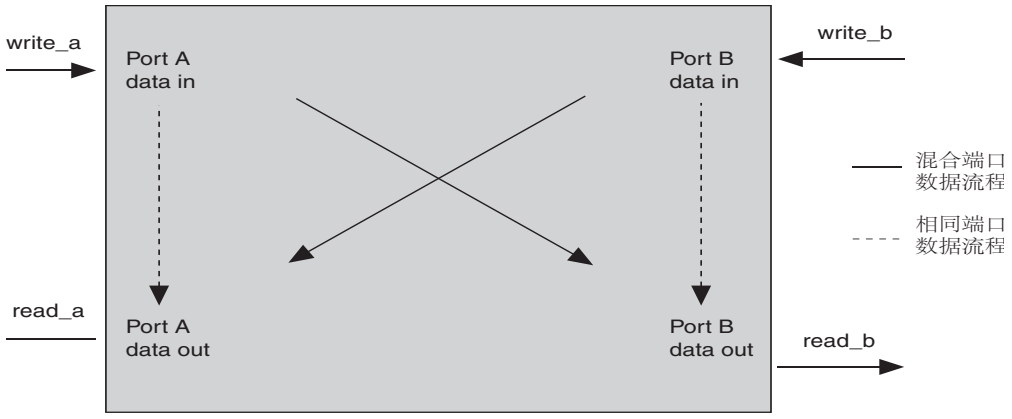
本章节对采用 M9K 存储器模块进行设计时需要考虑的因素作了描述。

Read-During-Write 操作

第 3-16 页的 “ 相同端口 Read-During-Write 模式 ” 与 “ 混合端口 Read-During-Write 模式 ” 介绍了在写操作期间从相同地址读取数据时各种 RAM 配置的功能性。

有两个 read-during-write 数据流程：相同端口 (same-port) 与混合端口 (mixed-port)。图 3-13 显示了这两个数据流程之间的区别。

图 3-13. Cyclone IV 器件 Read-During-Write 数据流程



相同端口 Read-During-Write 模式

这一模式适用于单端口 RAM 或者真双端口 RAM 的同一端口。在相同端口 read-during-write 模式中提供了两个输出选择：**New Data** 模式（或者直通模式）和 **Old Data** 模式。在 **New Data** 模式中，在相同时钟周期的上升沿写入新数据，并且可以在该上升沿使用这些数据。 在 **Old Data** 模式中，RAM 输出显示了原有旧数据在写操作开始前。

当与 byteena 信号一起使用 **New Data** 模式时，您能够对 RAM 的输出进行控制。当 byteena 信号为高电平时，存储器中写入的数据将传递至输出端（直通）。当 byteena 信号为低电平，屏蔽数据不会写入存储器，而存储器中的旧数据会出现在输出端。 因此，输出数据可以是由 byteena 信号所决定的新旧数据组合。

图 3-14 与图 3-15 分别显示了 **New Data** 和 **Old Data** 模式下的相同端口 read-during-write 行为的简单功能波形。

图 3-14. 相同端口 Read-During-Write: New Data 模式

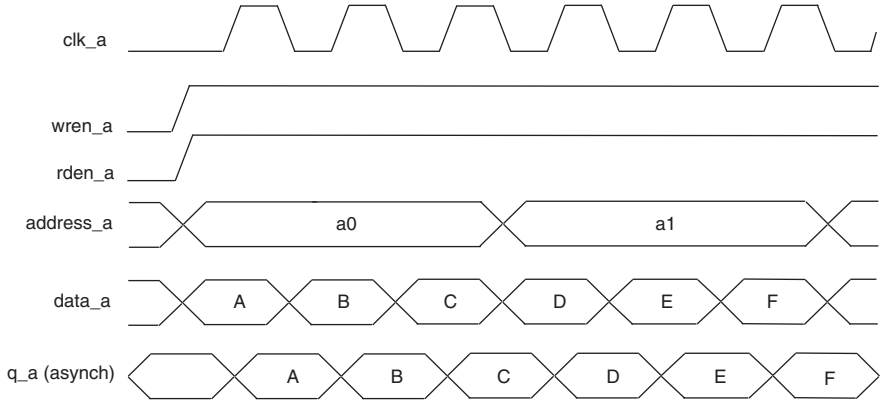
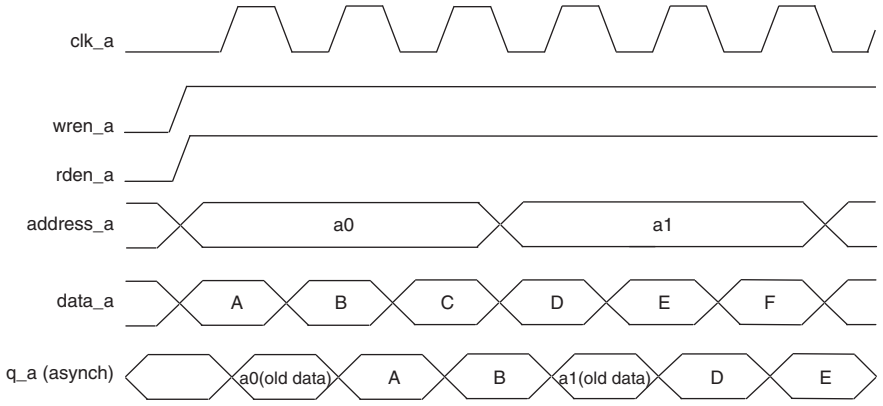


图 3-15. 相同端口 Read-During-Write: Old Data 模式



混合端口 Read-During-Write 模式

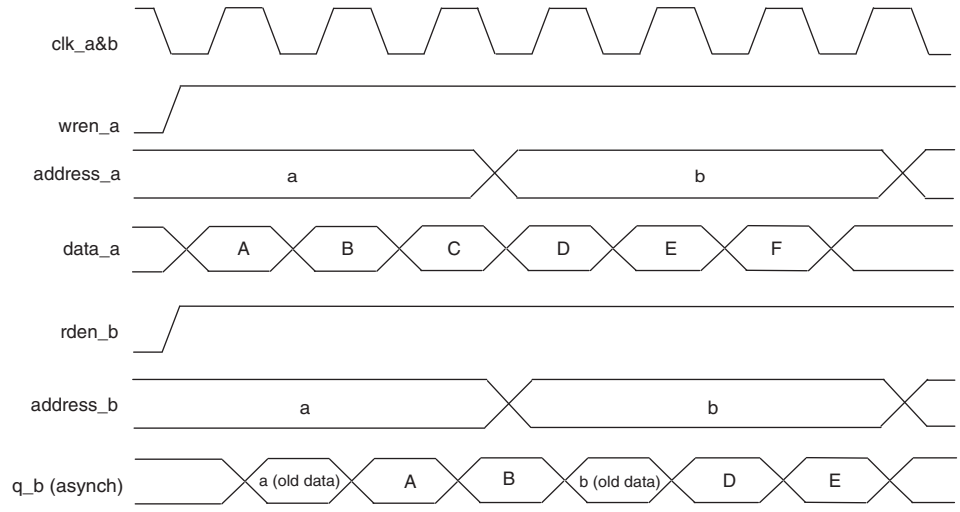
这一模式适用于简单或者真双端口模式下的 RAM，其中一个端口用于读取数据，而另一个端口在同一地址写入数据于同一时钟。

在这一模式中提供了两个输出选择：Old Data 模式或者 Don't Care 模式。在 Old Data 模式中，不同端口上的 read-during-write 操作会使 RAM 输出端显示相应地址上的旧数据。在 Don't Care 模式中，同样的操作会导致 RAM 输出端上的一个 “Don't Care” 或者未知值。

要了解关于如何实现所需的行为，请参考 *RAM Megafunction User Guide*。

图 3-16 显示了 Old Data 模式下的混合端口 read-during-write 行为的简单功能波形。在 Don't Care 模式中，旧数据由 “Don't Care” 来替换。

图 3-16. 混合端口 Read-During-Write: Old Data 模式



对于使用双时钟的混合 read-during-write 操作，时钟之间的关系决定了存储器的输出行为。如果将同一时钟用于两个时钟，则输出端是相应地址上的旧数据。然而，如果使用不同的时钟，那么在混合端口 read-during-write 操作期间，输出端数据则是未知的。这一未知值可能会是相应地址上的旧值，也可能会是新值，这取决于读操作是开始于写操作之前还是之后。

冲突解决

当在真双端口模式下使用 M9K 存储器模块时，在同一地址尝试两个写操作是可行的。由于 M9K 存储模块中没有集成冲突解决电路，因此会产生正在写入该地址的未知数据。所以，您必须实现 RAM 模块外部的冲突解决逻辑。

上电条件与存储器初始化

不管输出寄存器被使用还是被旁路，Cyclone IV 的 M9K 存储器模块输出端都会上电至零（清零）。通过使用 **.mif** 文件，所有 M9K 存储模块均支持初始化。您可以在 Quartus II 中创建 **.mif** 文件，并在设计中实例化存储器时通过 RAM MegaWizard Plug-In Manager 来指定它们的使用。即使存储器是预初始化的（例如，使用一个 **.mif** 文件），它也会通过输出端清零进行上电。只有上电后的后续读操作会输出预初始化的值。

要了解关于 **.mif** 文件的详细信息，请参考 *RAM Megafunction User Guide* 和 *Quartus II Handbook*。

功耗管理

Cyclone IV 器件的 M9K 存储器模块时钟使能支持对每一个 M9K 存储器模块时钟的控制，以降低 AC 功耗。需要使用 rden 信号来确保读操作仅在必要时出现。如果您的设计不要求 read-during-write，那么在写操作期间或者存储器未操作期间，需要通过置低 rden 信号以降低功率。Quartus II 会自动对未使用的 M9K 存储器模块进行断电，从而降低静态功耗。

文档修订历史

表 3-6 显示了本章节的修订历史。

表 3-6. 文档修订历史

日期	版本	修订内容
2011 年 11 月	1.1	更新了 “ 字节使能支持 ” 章节。
2009 年 11 月	1.0	首次发布。

4. Cyclone IV 器件中的嵌入式乘法器

CYIV-51004-1.1

Cyclone® IV 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理 (DSP) 系统的功耗。Cyclone IV 器件本身，或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。 Cyclone IV 器件的优化已成为重中之重，主要针对那些受益于大量丰富的并行处理资源的应用，其中包括视频与图像处理，应用在无线通信系统的中频 (IF) 调制解调器，以及多通道通信与视频系统。

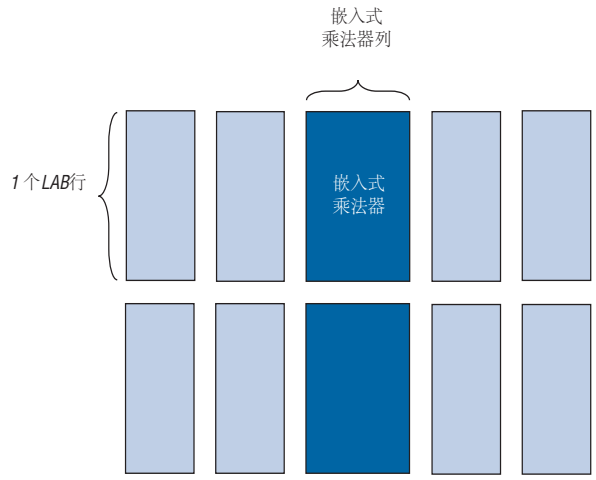
本章节包含以下几部分内容：

- 嵌入式乘法器模块概述（第 4-1 页）
- 体系结构（第 4-2 页）
- 操作模式（第 4-4 页）

嵌入式乘法器模块概述

图 4-1 显示了一个嵌入式乘法器列以及相邻的逻辑阵列模块 (LAB)。嵌入式乘法器可以配置成一个 18 × 18 乘法器，或者配置成两个 9 × 9 乘法器。对于那些大于 18 × 18 的乘法运算，Quartus® II 软件会将多个嵌入式乘法器模块级联在一起。虽然没有乘法器数据位宽的限制，但数据位宽越大，乘法运算就会越慢。

图 4-1. 与 LAB 相邻的按列排列的嵌入式乘法器



© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

表 4-1 列出了每一个 Cyclone IV 器件所支持的嵌入式乘法器的数量以及乘法器模式。

表 4-1. Cyclone IV 器件中的嵌入式乘法器数量

器件系列	器件型号	嵌入式乘法器	9 × 9 乘法器 *(注释 1)*	18 × 18 乘法器 *(注释 1)*
Cyclone IV GX	EP4CGX15	0	0	0
	EP4CGX22	40	80	40
	EP4CGX30	80	160	80
	EP4CGX50	140	280	140
	EP4CGX75	198	396	198
	EP4CGX110	280	560	280
	EP4CGX150	360	720	360
Cyclone IV E	EP4CE6	15	30	15
	EP4CE10	23	46	23
	EP4CE15	56	112	56
	EP4CE22	66	132	66
	EP4CE30	66	132	66
	EP4CE40	116	232	116
	EP4CE55	154	308	154
	EP4CE75	200	400	200
	EP4CE115	266	532	266

表 4-1 注释：

(1) 这一列显示了每一个器件中 9 × 9 或者 18 × 18 乘法器的数量。

除了 Cyclone IV 器件中的嵌入式乘法器，通过将 M9K 存储器模块用作查找表 (LUT) 可以实现软乘法器。LUT 中存储了输入数据同系数乘积的部分结果，针对低成本、高性能的 DSP 应用，实现了可变深度与宽度的高性能软乘法器。软乘法器的可用性增加了器件中可用乘法器的数量。

要了解关于M9K存储器模块的更多信息，请参考*Memory Blocks in Cyclone IV Devices* 章节。

要了解关于软乘法器的更多信息，请参考*AN 306: Implementing Multipliers in FPGA Devices*。

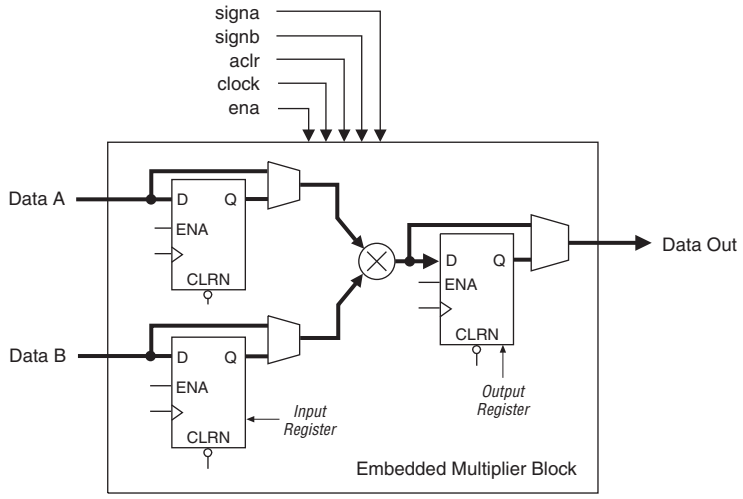
体系结构

每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

图 4-2 显示了乘法器模块的体系结构。

图 4-2. 乘法器模块的体系结构



输入寄存器

根据乘法器的操作模式，您可以将每个乘法器输入信号连接到输入寄存器，或直接以 9 bit 或 18 bit 的形式连接到内部乘法器。您可以单独地设置乘法器的每个输入是否使用输入寄存器。例如， 将乘法器 Data A 信号连接到输入寄存器，并且将 Data B 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号、时钟使能信号以及异步清零信号驱动。

乘法器级

嵌入式乘法器模块的乘法器级支持 9 × 9 或者 18 × 18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。关于乘法器的相关信息，请参考第 4-4 页的 “ 操作模式 ”。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。 signa 与 signb 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 signa 信号为高电平，则 Data A 操作数是一个有符号数值。反之， Data A 操作数便是一个无符号数值。

表 4–2 列出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 4–2. 乘法器符号表示

Data A		Data B		结果
signa 值	逻辑电平	signb 值	逻辑电平	
无符号	低	无符号	低	无符号
无符号	低	有符号	高	有符号
有符号	高	无符号	低	有符号
有符号	高	有符号	高	有符号

每一个嵌入式乘法器模块只有一个 signa 信号和一个 signb 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9 × 9 乘法器，那么这两个乘法器的 Data A输入与Data B输入将分别共享同一个signa信号和同一个signb信号。您可以在运行时动态改变 signa 和 signb 信号，以修改输入操作数的符号表示。您可以通过专用的输入寄存器发送 signa 以及 signb。不管符号表示如何，乘法器都会支持全精度。

当 signa 与 signb 信号未使用时，Quartus II 软件会将乘法器默认设置成执行无符号乘法运算。

输出寄存器

根据乘法器的操作模式，您可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号、时钟使能信号以及异步清零信号驱动。

操作模式

根据不同的应用需要，您可以选择如下两种的乘法器工作模式的一种：

- 一个 18 × 18 乘法器
- 最多两个 9 × 9 独立的乘法器

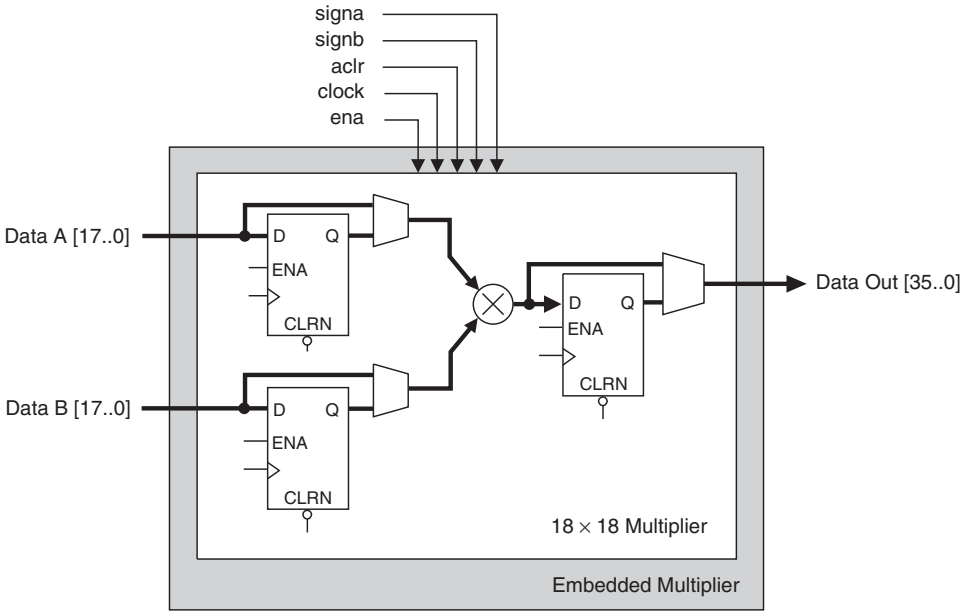
通过使用 Cyclone IV 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，这一功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元 (LE) 中实现。

18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18 × 18 乘法器。

图 4–3 显示了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

图 4–3. 18 位乘法器模式



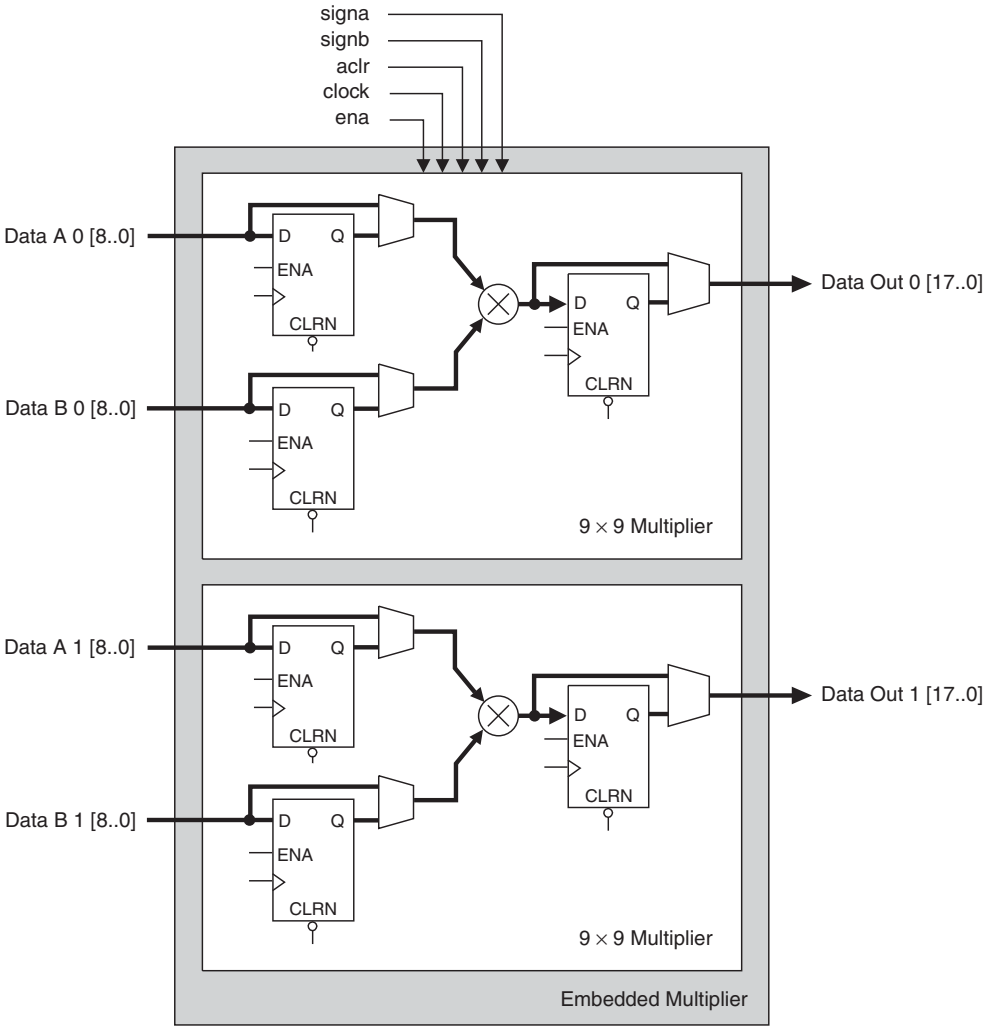
所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，您也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9 × 9 乘法器。

图 4-4 显示了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

图 4-4. 9 位乘法器模式



所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个 9 × 9 乘法器共享同一个 signa 和 signb 信号。因此，用于驱动同一嵌入式乘法器的所有 Data A 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 Data B 输入数据也必须要有相同的符号表示。

文档修订历史

表 4-3 显示了本章节的文档修订历史

表 4-3. 文档修订历史

日期	版本	修订内容
2010 年 2 月	1.1	针对 Quartus II 9.1 SP1 的发布，在表 4-1 中添加了 Cyclone IV E 器件的相关内容。
2009 年 11 月	1.0	首次发布。

5. Cyclone IV 器件中的时钟网络与 PLL

CYIV-51005-2.3

本章节介绍了 Cyclone® IV 器件系列中具有高级特性的层次时钟网络与锁相环 (PLL)，包括了实时重配置 PLL 计数器时钟频率和相移功能的详尽说明，这些功能使您能够扫描 PLL 输出频率，以及动态调整输出时钟相移。

Quartus® II 软件在未使用外部器件情况下使能 PLL 及其功能。

本章节包含以下几部分内容：

- 时钟网络（第 5-1 页）
- Cyclone IV 器件中的 PLL（第 5-18 页）
- Cyclone IV PLL 硬件概述（第 5-20 页）
- 时钟反馈模式（第 5-23 页）
- 硬件特性（第 5-26 页）
- 可编程带宽（第 5-32 页）
- 相移的实现（第 5-32 页）
- PLL 级联（第 5-33 页）
- PLL 重配置（第 5-34 页）
- 扩频时钟（第 5-41 页）
- PLL 规范（第 5-41 页）

时钟网络

Cyclone IV GX 器件提供了多达 12 个专用时钟管脚（CLK[15..4]），以用于驱动全局时钟 (GCLKs)。Cyclone IV GX 器件的每一侧（左侧除外）支持四个专用时钟管脚，这些时钟管脚能够驱动高达 30 个 GCLK。

Cyclone IV E 器件提供了多达 15 个专用时钟管脚（CLK[15..1]），以用于驱动高达 20 个 GCLK。Cyclone IV E 器件的左侧支持三个专用时钟管脚，在顶端、底部及右侧支持四个专用时钟管脚 (EP4CE6 与 EP4CE10 器件除外)。EP4CE6 和 EP4CE10 器件仅在器件左侧支持三个专用时钟管脚，在器件右侧支持四个专用时钟引脚。

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

要了解关于每一个器件密度中的 GCLK 网络数量的详细信息，请参考 *Cyclone IV FPGA Device Family Overview* 章节。

GCLK 网络

GCLK 驱动整个器件，并对器件各象限提供时钟。 器件中的所有资源（I/O 单元、逻辑阵列模块（LAB）、专用乘法器模块以及 M9K 存储器模块）都能够将 GCLK 用作时钟资源。 这些全局网络资源可用于控制信号，例如：由外部管脚驱动的时钟使能及清零信号。另外，内部逻辑也能够驱动 GCLK，以用于内部生成的 GCLK 和异步清零、时钟使能，或者其它具有高扇出的控制信号。

第 5-4 页的表 5-1 和表 5-2 和第 5-7 页的表 5-3 列出了时钟源到 GCLK 网络的连接。

表 5-1. EP4CGX15, EP4CGX22 和 EP4CGX30G 的 CLK 网路连接 *(1)*, *(2)*(1/2)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
CLK4/DIFFCLK_2n	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—
CLK5/DIFFCLK_2p	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—
CLK6/DIFFCLK_3n	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—
CLK7/DIFFCLK_3p	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
CLK8/DIFFCLK_5n	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—
CLK9/DIFFCLK_5p	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—
CLK10/DIFFCLK_4n/REFCLK1n	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—
CLK11/DIFFCLK_4p/REFCLK1p	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—
CLK12/DIFFCLK_7p/REFCLK0p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓
CLK13/DIFFCLK_7n/REFCLK0n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—
CLK14/DIFFCLK_6p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓
CLK15/DIFFCLK_6n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL_1_C0	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL_1_C1	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓
PLL_1_C2	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL_1_C3	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—
PLL_1_C4	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓
PLL_2_C0	✓	—	—	✓	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—
PLL_2_C1	—	✓	—	—	✓	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—
PLL_2_C2	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—
PLL_2_C3	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—
PLL_2_C4	—	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—
PLL_3_C0	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	✓	—	—	✓	—
PLL_3_C1	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	✓	—	—	✓

表 5-1. EP4CGX15, EP4CGX22 和 EP4CGX30G 的 CLK 网路连接 *(1)*, *(2)*(2/2)

GCLK 网络时钟源	GCLK 网络																		
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
PLL_3_C2	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL_3_C3	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓	—
PLL_3_C4	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	✓	—	✓
PLL_4_C0 *(3)*	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	✓	—	—	—	—	—	—
PLL_4_C1 *(3)*	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	✓	—	—	—	—	—
PLL_4_C2 *(3)*	—	—	—	—	—	✓	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	—
PLL_4_C3 *(3)*	—	—	—	—	—	—	✓	—	✓	—	—	✓	—	✓	—	—	—	—	—	—
PLL_4_C4 *(3)*	—	—	—	—	—	—	—	✓	—	✓	—	—	✓	—	✓	—	—	—	—	—
DPCLK2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
DPCLK3 *(4)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
DPCLK4 *(4)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—
DPCLK5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
DPCLK6 *(4)*	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
DPCLK7	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK8	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—
DPCLK9 *(4)*	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—
DPCLK11 *(4)*	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
DPCLK12 *(4)*	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—
DPCLK13	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—

表 5-1 注释：

(1) 该表中的 EP4CGX30 信息是指所有的 EP4CGX30 封装（除了 F484 封装）。

(2) PLL_1 与 PLL_2 是多用 PLL，而 PLL_3 和 PLL_4 是通用 PLL。

(3) PLL_4 仅在 F324 封装中的 EP4CGX22 与 EP4CGX30 器件中可用。

(4) 该管脚适用于 EP4CGX22 与 EP4CGX30 器件。

表 5-2. EP4CGX30、EP4CGX50、EP4CGX75，EP4CGX110 和 EP4CGX150 器件的 GCLK 网络连接 *(1)*，*(2)*(1/4)

GCLK 网络时钟源	GCLK 网络																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
CLKIO4/DIFFCLK_2n	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
CLKIO5/DIFFCLK_2p	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
CLKIO6/DIFFCLK_3n	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
CLKIO7/DIFFCLK_3p	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
CLKIO8/DIFFCLK_5n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	—
CLKIO9/DIFFCLK_5p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	✓	—	—	—	—	—	—
CLKIO10/DIFFCLK_4n/REFCLK3n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓		—	—	—	—	—	—
CLKIO11/DIFFCLK_4p/REFCLK3p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—
CLKIO12/DIFFCLK_7p/REFCLK2p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—
CLKIO13/DIFFCLK_7n/REFCLK2n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	✓
CLKIO14/DIFFCLK_6p	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—
CLKIO15/DIFFCLK_6n	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓
PLL_1_C0	✓	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓
PLL_1_C1	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL_1_C2	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—
PLL_1_C3	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL_1_C4	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓
PLL_2_C0	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—
PLL_2_C1	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—
PLL_2_C2	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—
PLL_2_C3	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—
PLL_2_C4	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—

表 5-2. EP4CGX30、EP4CGX50、EP4CGX75，EP4CGX110 和 EP4CGX150 器件的 GCLK 网络连接 *(1)*，*(2)*(2/4)

GCLK 网络时钟源	GCLK 网络																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
PLL_3_C0	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	✓	—	—	✓	—	✓
PLL_3_C1	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL_3_C2	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—
PLL_3_C3	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL_3_C4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	✓	—	✓	✓
PLL_4_C0	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	✓	✓	—	—	✓	—	✓	—	—	—	—	—	—
PLL_4_C1	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	✓	—	—	✓	—	—	—	—	—	—	—
PLL_4_C2	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—
PLL_4_C3	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—
PLL_4_C4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	✓	—	✓	✓	—	—	—	—	—	—
PLL_5_C0	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_5_C1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_5_C2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_5_C3	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_5_C4	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_6_C0	✓	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_6_C1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_6_C2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_6_C3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_6_C4	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_7_C0 *(3)*	—	—	—	—	—	—	✓	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_7_C1 *(3)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_7_C2 *(3)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_7_C3 *(3)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_7_C4 *(3)*	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 5-2. EP4CGX30、EP4CGX50、EP4CGX75，EP4CGX110 和 EP4CGX150 器件的 GCLK 网络连接 *(1)*，*(2)*(3/4)

GCLK 网络时钟源	GCLK 网络																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
PLL_8_C0 *(3)*	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_8_C1 *(3)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_8_C2 *(3)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_8_C3 *(3)*	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_8_C4 *(3)*	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
DPCLK1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—
DPCLK2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
DPCLK3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—
DPCLK4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
DPCLK5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
DPCLK6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK8	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK11	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
DPCLK13	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
DPCLK14	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
DPCLK15	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—
DPCLK16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—

表 5-2. EP4CGX30、EP4CGX50、EP4CGX75，EP4CGX110 和 EP4CGX150 器件的 GCLK 网络连接 *(1)*，*(2)*(4/4)

GCLK 网络时钟源	GCLK 网络																											
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
DPCLK17	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—

表 5-2 注释：

(1) 表中的 EP4CGX30 信息仅指 F484 封装中的 EP4CGX30 器件。

(2) PLL_1、PLL_2、PLL_3 和 PLL_4 是通用 PLL，而 PLL_5、PLL_6、PLL_7 和 PLL_8 是多用 PLL。

(3) PLL_7 与 PLL_8 在 F484 封装中的 EP4CXGX30、EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件中不可用。

表 5-3. Cyclone IV E 器件的 GCLK 网络连接 *(1)* (1/3)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
CLK1	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK2/DIFFCLK_1p	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK3/DIFFCLK_1n	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK4/DIFFCLK_2p	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—
CLK5/DIFFCLK_2n	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—
CLK6/DIFFCLK_3p	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—
CLK7/DIFFCLK_3n	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
CLK8/DIFFCLK_5n *(2)*	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—
CLK9/DIFFCLK_5p *(2)*	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—
CLK10/DIFFCLK_4n *(2)*	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—
CLK11/DIFFCLK_4p *(2)*	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—
CLK12/DIFFCLK_7n *(2)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓
CLK13/DIFFCLK_7p *(2)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—
CLK14/DIFFCLK_6n *(2)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓
CLK15/DIFFCLK_6p *(2)*	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL_1_C0 *(3)*	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_1_C1 *(3)*	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_1_C2 *(3)*	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 5-3. Cyclone IV E 器件的 GCLK 网络连接 *(1)* (2/3)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
PLL_1_C3 *(3)*	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_1_C4 *(3)*	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C0 *(3)*	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C1 *(3)*	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—
PLL_2_C2 *(3)*	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C3 *(3)*	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—
PLL_2_C4 *(3)*	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—
PLL_3_C0	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—
PLL_3_C1	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—
PLL_3_C2	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—
PLL_3_C3	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—
PLL_3_C4	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—
PLL_4_C0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL_4_C1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓
PLL_4_C2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL_4_C3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—
PLL_4_C4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓
DPCLK0	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK1	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK7 *(4)* CDPCLK0, or CDPCLK7 *(2)*, *(5)*	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK2 *(4)* CDPCLK1, or CDPCLK2 *(2)*, *(5)*	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 5-3. Cyclone IV E 器件的 GCLK 网络连接 *(1)* (3/3)

GCLK 网络时钟源	GCLK 网络																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
DPCLK5 *(4)* DPCLK7 *(2)*	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK4 *(4)* DPCLK6 *(2)*	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK6 *(4)* CDPCLK5, or CDPCLK6 *(2)*, *(5)*	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK3 *(4)* CDPCLK4, or CDPCLK3 *(2)*, *(5)*	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—
DPCLK8	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
DPCLK11	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—
DPCLK9	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
DPCLK10	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—
DPCLK5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
DPCLK2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
DPCLK4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—
DPCLK3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓

表 5-3 注释：

(1) EP4CE6 与 EP4CE10 器件仅包含 GCLK 网络 0 到 9。
(2) 这些管脚适用于所有 Cyclone IV E 器件（除了 EP4CE6 和 EP4CE10 器件）。
(3) EP4CE6 与 EP4CE10 器件及包含 PLL_1 和 PLL_2。
(4) 该引脚仅适用于 EP4CE6 和 EP4CE10 器件。
(5) 只能将其中的一个 CDPCLK 管脚用于驱动时钟控制模块，并将另一个管脚用作普通 I/O 管脚。

如果不使用专用时钟管脚来驱动 GCLKs，那么可以将这些管脚用作通用输入管脚来驱动逻辑阵列。然而，当使用这些管脚作为通用输入管脚时，它们并不支持 I/O 寄存器，必须使用基于 LE 的寄存器来替代 I/O 寄存器。

要了解关于如何连接时钟与 PLL 管脚的详细信息，请参考 *Cyclone IV Device Family Pin Connection Guidelines*。

时钟控制模块

时钟控制模块用于驱动 GCLK，它们位于器件的每一侧上，并与专用时钟输入管脚相邻。GCLK 被优化以实现最小时钟偏移及延迟。

表 5-4 列出了用于驱动时钟控制模块的源，反过来驱动 GCLK。

表 5-4. 时钟控制模块输入

输入	说明
专用时钟输入	专用时钟输入管脚能够驱动时钟或者全局信号，例如：同步与异步清零、预置，或者给定 GCLK 上的时钟使能。
两用时钟 (DPCLK 与 CDPCLK) I/O 输入	DPCLK 与 CDPCLK I/O 管脚都是双向双重功能管脚，通过 GCLK 用于高扇出控制信号，例如：协议信号、用于 PCI 的 TRDY 与 IRDY 信号。如果时钟控制模块具有由两用时钟 I/O 管脚驱动的输入端，则该时钟控制模块将不能够驱动 PLL 输入端。
PLL 输出	PLL 计数器输出能够驱动 GCLK。
内部逻辑	通过逻辑阵列布线驱动 GCLK，以使能内部逻辑单元 (LE) 来驱动高扇出，低偏移的信号路径。如果时钟控制模块具有由内部逻辑驱动的输入端，则该时钟控制模块将不能够驱动 PLL 输入端。

在 Cyclone IV 器件中，专用时钟输入管脚、PLL 计数器输出、两用时钟 I/O 输入和内部逻辑都可用于驱动每个 GCLK 的时钟控制模块。反过来，时钟控制模块上的输出也能够驱动相应的 GCLK。如果时钟控制模块输入是另一个 PLL 或者专用时钟输入管脚的输出，那么 GCLK 能够驱动 PLL 输入。 根据不同的器件密度，器件的每一侧上会有五个或六个时钟控制模块；每一个 Cyclone IV GX 器件均提供高达 30 个时钟控制模块，而每一个 Cyclone IV E 最多可提供 20 个时钟控制模块。关于时钟控制模块位置的信息，请参考第 5-12 页图 5-2，第 5-13 页图 5-3 和第 5-14 页图 5-4。

Cyclone IV GX 器件左侧的时钟控制模块不支持任何时钟输入。

控制模块具有两个功能：

- 动态 GCLK 时钟源选择（不适用于 DPCLK， CDPCLK 和内部逻辑输入）
- GCLK 网络关断（动态使能和禁用）

图 5-1 显示了时钟控制模块。

图 5-1. 时钟控制模块

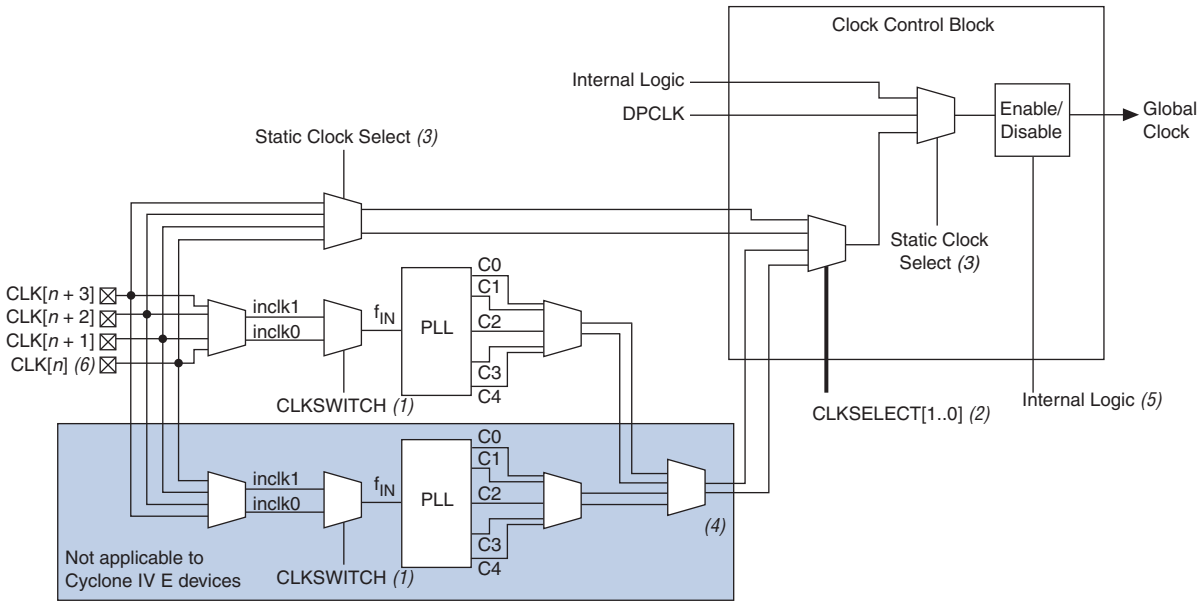


图 5-1 注释：

(1) clkswitch 信号可以通过配置文件进行设置，或者使用手动 PLL 切换功能时进行动态设置。多路复用器的输出是 PLL 的输入时钟 (f_{IN})。
(2) clkselect[1..0] 信号由内部逻辑驱动，当器件在用户模式下时，可用于动态选择 GCLK 的时钟源。
(3) 静态时钟选择信号在配置文件中进行设置。因此，当器件在用户模式下时，动态控制是不可行的。
(4) 四个中的两个 PLL 时钟输出是从相邻 PLL 中选择的，用于驱动时钟控制模块。
(5) 通过使用内部逻辑，在用户模式中使能或者禁用 GCLK。
(6) CLK[n] 在 Cyclone IV E 器件的左侧是不可用的。

每个 PLL 通过 c[4..0] 计数器生成五个时钟输出。其中的两个时钟通过时钟控制模块来驱动 GCLK，如图 5-1 所示。

欲了解关于如何在 Quartus II 中使用时钟控制模块的详细信息，请参考 *ALTCLKCTRL Megafunction User Guide*。

GCLK 网络时钟源的生成

第 5-14 页的图 5-2，图 5-3 和图 5-4 显示了不同 Cyclone IV 器件密度的 Cyclone IV PLL、时钟输入和时钟控制模块位置。

图 5-2. EP4CGX15，EP4CGX22 和 EP4CGX30 器件中的时钟网络和时钟控制模块位置 *(1)*, *(2)*

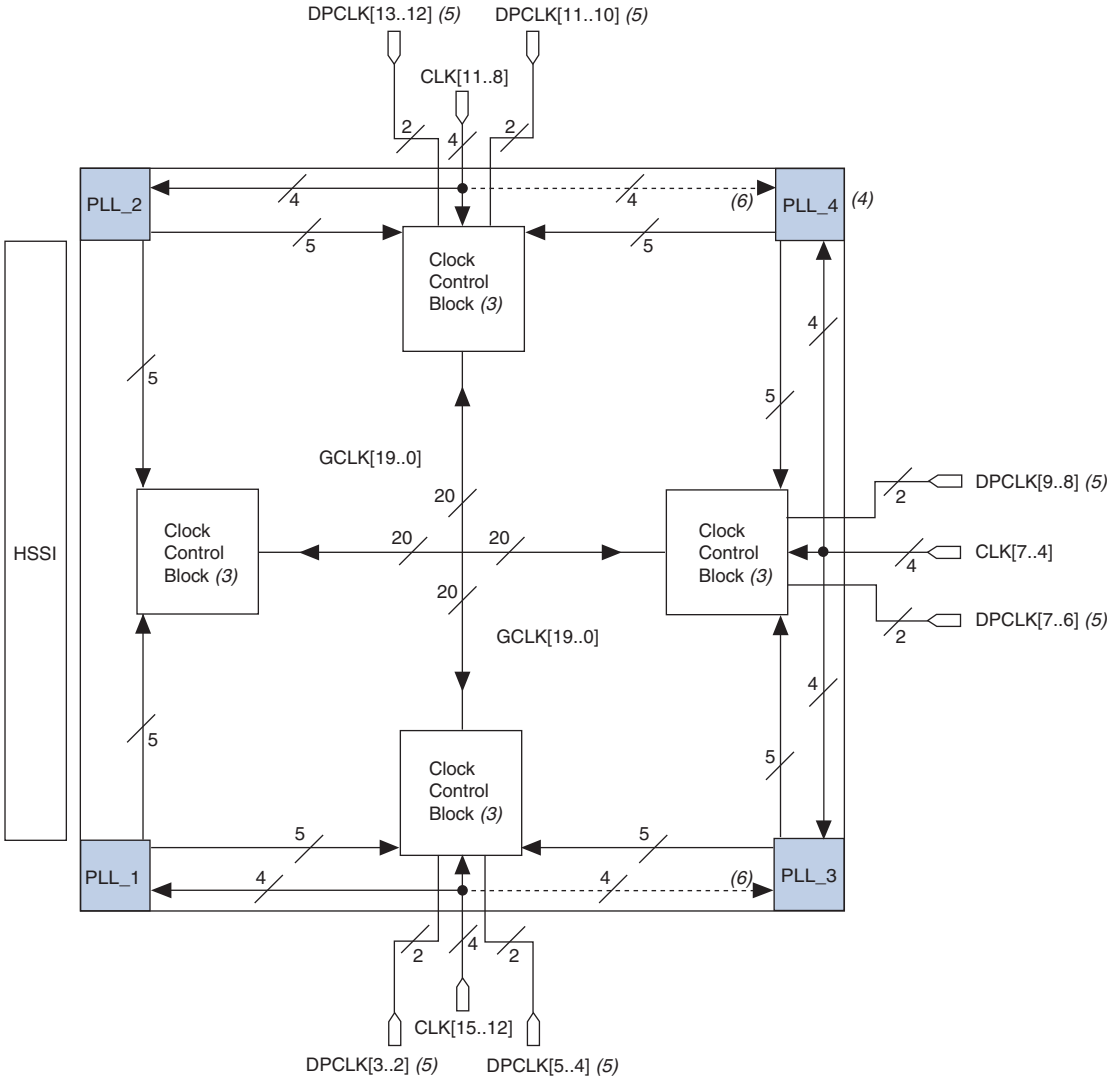


图 5-2 注释：

(1) 时钟网络和时钟控制模块位置适用于所有的 EP4CGX15，EP4CGX22 和 EP4CGX30 器件（F484 封装中的 EP4CGX30 器件除外）。

(2) PLL_1 与 PLL_2 是多用 PLL，而 PLL_3 与 PLL_4 是通用 PLL。

(3) 每侧有五个时钟控制模块。

(4) PLL_4 仅在 F324 封装中的 EP4CGX22 和 EP4CGX30 器件中可用。

(5) EP4CGX15 器件在器件的三个侧边上分别有两个 DPCLK 管脚：器件底部的 DPCLK2 和 DPCLK5，右侧的 DPCLK7 和 DPCLK8，顶端的 DPCLK10 和 DPCLK13。

(6) 专用时钟管脚能够连接到这一 PLL。然而，这些路径没有被完全补偿。

图 5-3. EP4CGX30、EP4CGX50、EP4CGX75， EP4CGX110 和 EP4CGX150 器件中的时钟网络与时钟控制模块位置 *(1)*, *(2)*

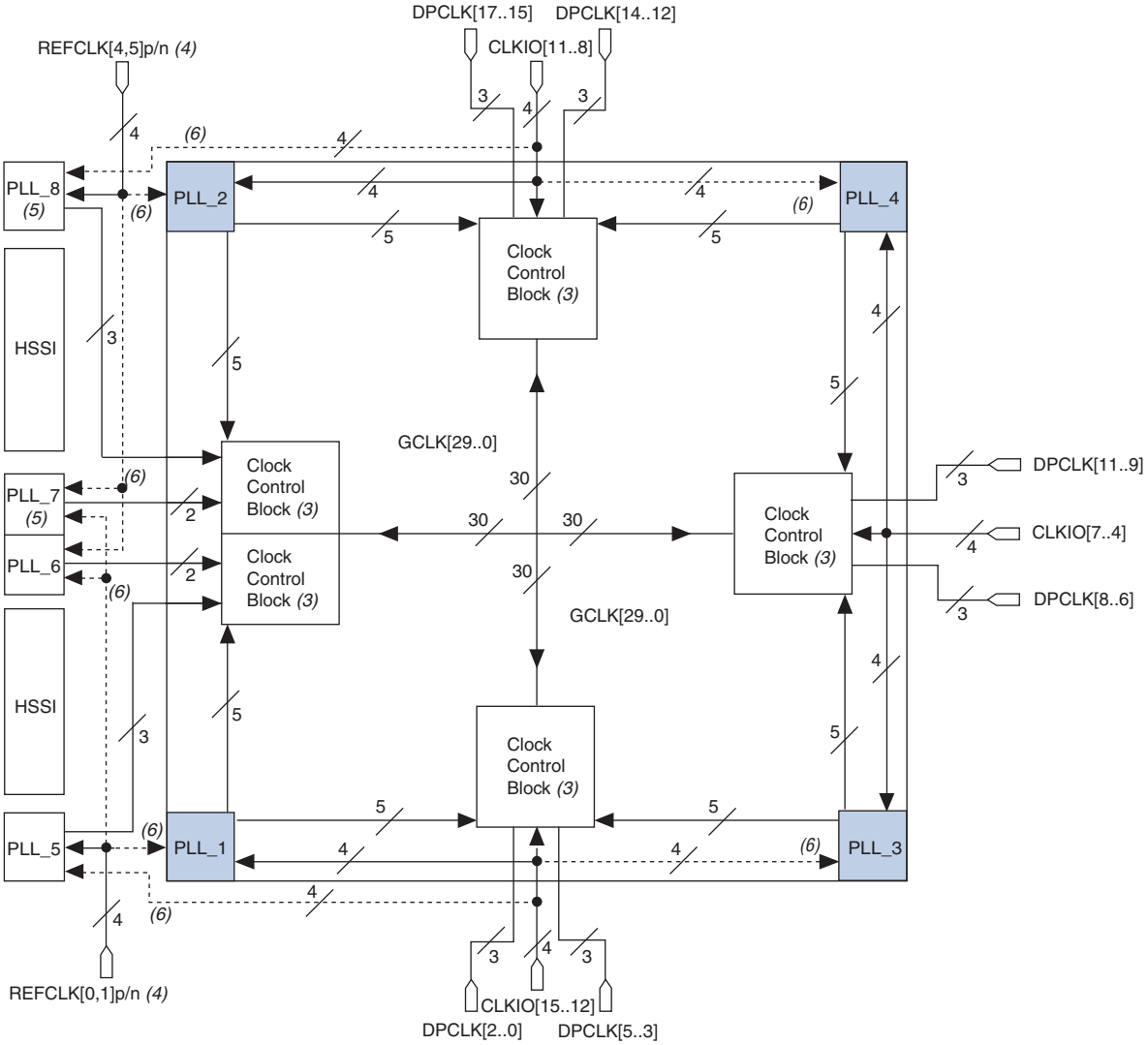


图 5-3 注释：

(1) 图中的时钟网络与时钟控制模块位置仅适用于 F484 封装中的 EP4CGX30 器件以及所有 EP4CGX50、 EP4CGX75、 EP4CGX110 和 EP4CGX150 器件。

(2) PLL_1、 PLL_2、 PLL_3 和 PLL_4 是通用 PLL，而 PLL_5、 PLL_6、 PLL_7 和 PLL_8 是多用 PLL。

(3) 器件的顶端，右侧以及底部分别有 6 个时钟控制模块，而器件的左侧有 12 个时钟控制模块。

(4) REFCLK[0,1]p/n 和 REFCLK[4,5]p/n 只能驱动器件左侧的通用和多用 PLL。这些时钟管脚无法访问时钟控制模块以及 GCLK 网络。REFCLK[4,5]p/n 管脚在 F484 封装器件中不可用。

(5) 不适用于 F484 封装中的 EP4CGX30、 EP4CGX50、 EP4CGX75、EP4CGX110 和 EP4CGX150 器件。

(6) 专用时钟管脚能够连接到这一 PLL。然而，这些路径没有被完全补偿。

图 5-4. Cyclone IV E 器件中的时钟网络与时钟控制模块位置

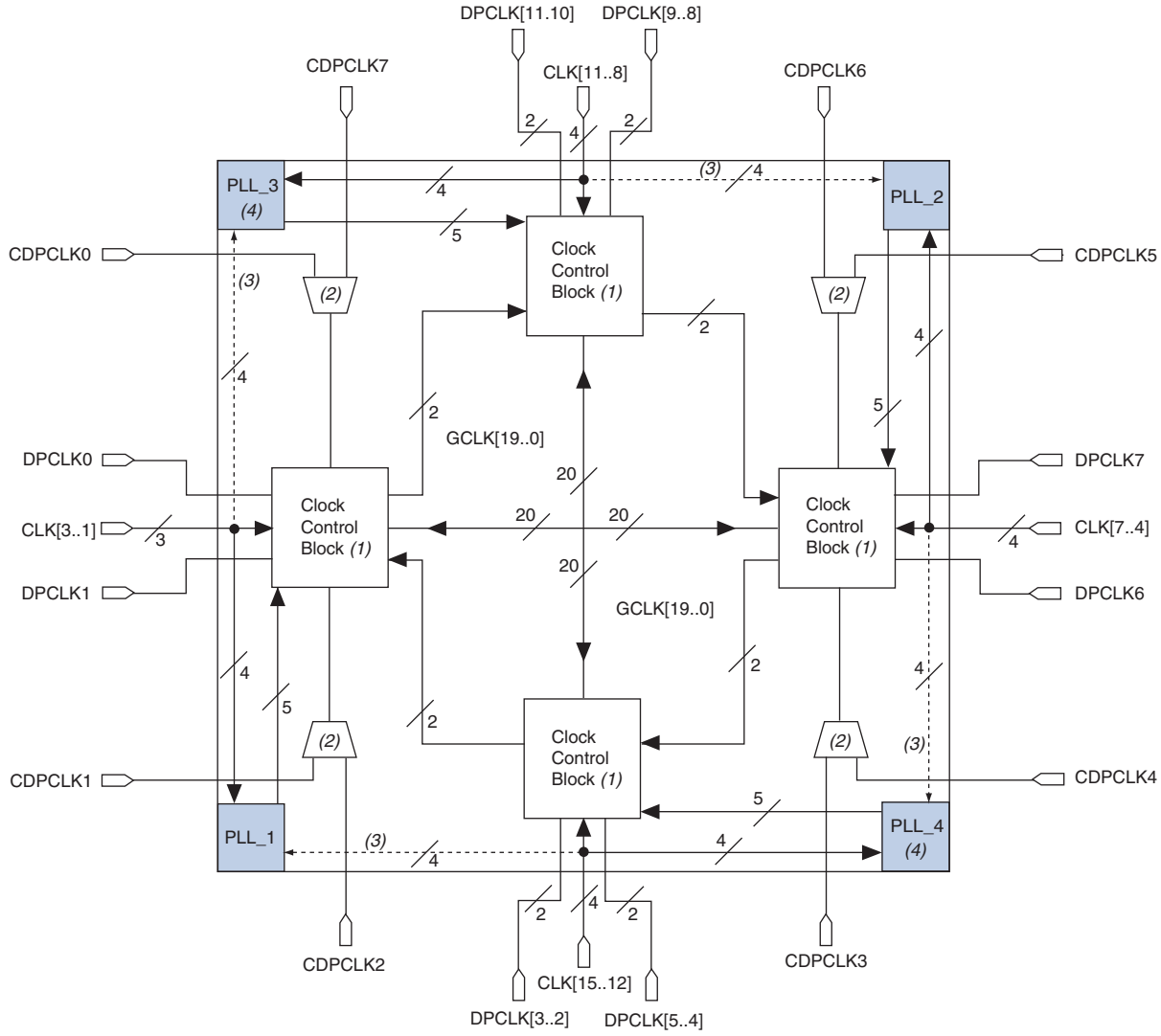


图 5-4 注释：

(1) 器件的每一侧均有五个时钟控制模块。

(2) 每个角中，一次只能有一个 CDPCLK 管脚用于驱动时钟控制模块。您可以将其它的 CDPCLK 管脚用作通用 I/O (GPIO) 管脚。

(3) 专用时钟管脚能够连接到这一 PLL。然而，这些路径没有被完全补偿。

(4) PLL_3 与 PLL_4 在 EP4CE6 和 EP4CE10 器件中不可用。

必须从下列时钟源中选择 Cyclone IV GX 每侧上的时钟控制模块的输入：

- 四个时钟输入管脚
- 十个 PLL 计数器输出（五个来自每个相邻 PLL）
- 器件顶端的两个 DPCLK 管脚，底部的四个 DPCLK 管脚，右侧的六个 DPCLK 管脚。
- 内部逻辑的五个信号

在以上列出的时钟源中，只有两个时钟输入管脚、四个中的两个 PLL 时钟输出（两个时钟输出来自每个相邻 PLL），一个 DPCLK 管脚和一个内部逻辑源能够驱动任何给定的时钟控制模块，如第 5-11 页图 5-1所示。

在六个到时钟控制模块的输入当中，动态地选择其中的两个时钟输入管脚和两个 PLL 输出，以驱动 GCLK。时钟控制模块支持内部逻辑信号的静态选择。

图 5-5 显示了 Cyclone IV GX 器件每侧的时钟控制模块的简化版本。

图 5-5. Cyclone IV GX 器件每侧的时钟控制模块

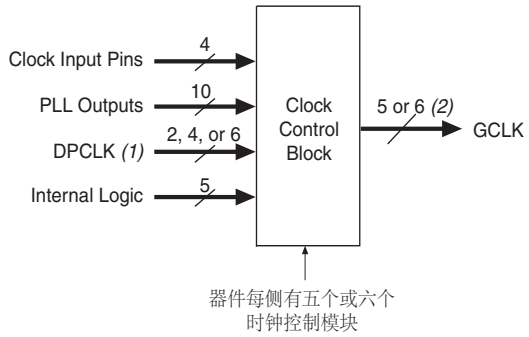


图 5-5 注释：

(1) EP4CGX15 器件有两个 DPCLK 管脚； EP4CGX22 和 EP4CGX30 器件有四个 DPCLK 管脚； EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件有六个 DPCLK 管脚。

(2) EP4CGX15, EP4CGX22 和 EP4CGX30 器件中的每一个时钟控制模块均能够驱动五个 GCLK 网络。EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件中的每一个时钟控制模块均能够驱动六个 GCLK 网络。

必须从下列时钟源中选择 Cyclone IV E 器件每侧上的五个时钟控制模块的输入：

- 根据指定的器件选择三个或四个时钟输入管脚
- 五个 PLL 计数器输出
- 左侧及右侧上的两个DPCLK管脚和两个CDPCLK管脚，顶端及底部中的四个DPCLK管脚
- 内部逻辑的五个信号

在以上列出的时钟源中，只有两个时钟输入管脚、两个 PLL 时钟输出，一个 DPCLK 或者 CDPCLK 管脚和一个内部逻辑源能够驱动任何给定的时钟控制模块，如第 5-11 页图 5-1所示。

在六个到时钟控制模块的输入当中，动态地选择其中的两个时钟输入管脚和两个 PLL 输出，以驱动 GCLK。时钟控制模块支持内部逻辑信号的静态选择。

图 5-6 显示了 Cyclone IV E 器件每侧的五个时钟控制模块的简化版本。

图 5-6. Cyclone IV E 器件每侧的时钟控制模块 *(1)*

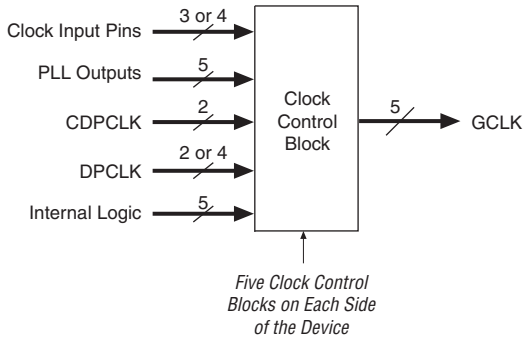


图 5-6 注释：

(1) 器件的左侧和右侧有两个 DPCLK 管脚；器件的顶端和底部有四个 DPCLK 管脚。

GCLK 网络关断

通过使用静态以及动态方法，能够将 Cyclone IV 器件的 GCLK 禁用（关断）。在静态方法中，在 Quartus II 生成的配置文件中对配置位进行设置，这将自动关断未使用的 GCLK。动态时钟使能或禁用这一特性实现了内部逻辑对 Cyclone IV 器件中的 GCLK 进行时钟使能或禁用的控制。

当一个时钟网络被禁用，所有由时钟网络驱动的逻辑将处于关闭状态，从而降低了器件的总体功耗。这一功能独立于 PLL，并且被直接应用到时钟网络，如第 5-11 页图 5-1 所示。

您可以通过 Quartus II 软件，使用 ALTCLKCTRL 宏功能来对 GCLK 多路复用器的输入时钟源和 clkena 信号进行设置。

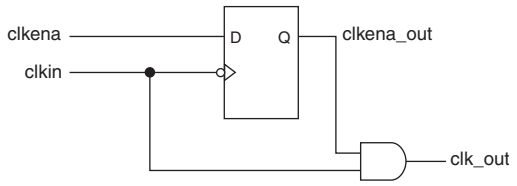
欲了解更多信息，请参考 *ALTCLKCTRL Megafunction User Guide*。

clkena 信号

Cyclone IV 器件在 GCLK 网络级上提供了对 clkena 信号的支持，这使您能够将时钟断开，即便在使用 PLL 的时候。重新使能输出时钟后，PLL 不需要重新同步或重新锁定周期，因为电路在时钟网路级上会断开时钟。另外，由于与回路相关的计数器不会受到影响，因此 PLL 能够独立于 clkena 信号，并保持在锁定状态。

图 5-7 显示了如何通过单一寄存器来实现 clkena 信号。

图 5-7. clkena 信号的实现

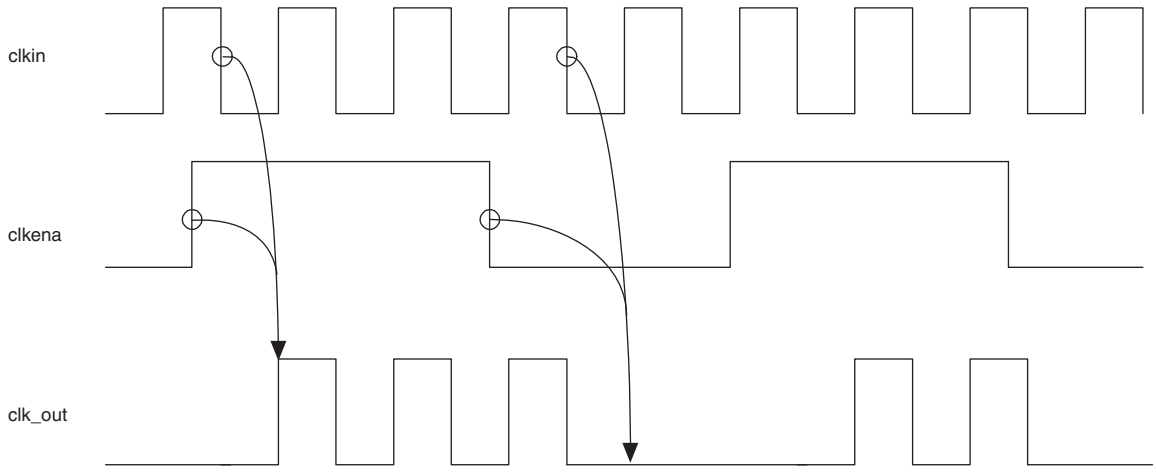


clkena 电路对输出管脚的 PLL 输出 C0 进行控制，这是通过两个寄存器来实现的，而不是一个，如图 5-7 所示。

图 5-8 显示了一个时钟输出使能的波形实例。在时钟（clkin）的下降沿对 clkena 信号进行采样。

这一特性适用于那些对低功耗与睡眠模式有要求的应用。

图 5-8. clkena 信号的实现：输出使能



如果系统在 PLL 重新同步期间不能承受频率过冲，那么 clkena 信号也能够关断时钟输出。

将时钟源切换到 PLL 或者 GCLK 时，Altera 建议使用 clkena 信号。推荐的顺序是：

1. 通过置低 clkena 信号，禁用主输出时钟。
2. 通过使用时钟控制模块的动态选择信号，切换到辅助时钟。
3. 重置位 clkena 信号前，需要经过辅助时钟的一些时钟周期。对辅助时钟进行使能前，必须等待的确切时钟数还要取决于设计。通过建立定制的逻辑，在不同时钟源之间进行切换时可以确保无毛刺跳变。

Cyclone IV 器件中的 PLL

Cyclone IV GX 器件内嵌两种 PLL：通用 PLL 与多用 PLL。Cyclone IV E 器件仅包含通用 PLL。

通用 PLL 用于 FPGA 结构及外设（例如：外部存储器接口）中的通用应用，而多用 PLL 则用于同步收发器模块。如果多用 PLL 未用于收发器时钟，则可用于通用时钟。

欲了解用于收发器时钟的多用 PLL 的详细信息，请参考 *Cyclone IV Transceivers* 章节。

Cyclone IV GX 器件最多可包含八个通用 PLL 和多用 PLL，而 Cyclone IV E 器件最多可有四个通用 PLL，对器件时钟管理、外部系统时钟管理以及高速 I/O 接口，提供了可靠的时钟管理与综合。

要了解关于每一个器件密度中的通用 PLL 与多用 PLL 的数量的更多信息，请参考 *Cyclone IV Device Family Overview* 章节。

通用 I/O 管脚不能驱动 PLL 时钟输入管脚。

表 5-5 列出了 Cyclone IV GX PLL 中可用的一些特性。

表 5-5. Cyclone IV GX PLL 特性 (1/2)

特性	可用性									
	通用 PLL				多用 PLL					
	PLL_1 *(1), (10)*	PLL_2 *(1), (10)*	PLL_3 *(2)*	PLL_4 *(3)*	PLL_1 *(4)*	PLL_2 *(4)*	PLL_5 *(1), (10)*	PLL_6 *(1), (10)*	PLL_7 *(1)*	PLL_8 *(1)*
C（输出计数器）	5									
M, N, C 计数器容量	1 到 512 *(5)*									
专用时钟输出	1 个单端或 1 个差分对									
时钟输入管脚	12 个单端或 6 个差分对 *(6)* 和 4 个差分对 *(7)*									
扩频输入时钟跟踪	✓ *(8)*									
PLL 级联	通过 GCLK									
源同步模式	✓	✓	✓	✓	✓	✓	✓	—	—	✓
无补偿模式	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
正常模式	✓	✓	✓	✓	✓	✓	✓	—	—	✓
零延迟缓冲器模式	✓	✓	✓	✓	✓	✓	✓	—	—	✓
确定性延迟补偿模式	✓	✓	—	—	✓	✓	✓	✓	✓	✓
相移分辨率 *(9)*	下降到 96 ps 增量									
可编程占空比	✓									
输出计数器级联	✓									
输入时钟切换	✓									
用户模式重配置	✓									
失锁检测	✓									

表 5-5. Cyclone IV GX PLL 特性 (2/2)

特性	可用性									
	通用 PLL				多用 PLL					
	PLL_1 (1), (10)	PLL_2 (1), (10)	PLL_3 (2)	PLL_4 (3)	PLL_1 (4)	PLL_2 (4)	PLL_5 (1), (10)	PLL_6 (1), (10)	PLL_7 (1)	PLL_8 (1)
PLL 驱动 TX 串行时钟，TX 加载使能和 TX 并行时钟	✓	✓	—	—	✓					
VCO 输出驱动 RX 时钟数据恢复 (CDR) 时钟	—				✓					
PLL 驱动 FREF 进行 ppm 检测	✓	✓	—	—	✓					

表 5-5 注释：

(1) 仅适用于 F672 和 F896 封装中的 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件。

(2) 适用于所有的 Cyclone IV 器件。

(3) 适用于所有的 Cyclone IV 器件，但除了所有封装中的 EP4CGX15 器件，EP4CGX22 器件和 F169 封装中的 EP4CGX30 器件。

(4) 仅适用于 EP4CGX15，EP4CGX22 和所有 EP4CGX30 器件，但除了 F484 封装中的 EP4CGX30 器件。

(5) 如果输出时钟使用一个 50% 的占空比，则 C 计数器的范围从 1 到 512。对于那些使用非 50% 占空比的输出时钟，后缩放计数器的范围从 1 到 256。

(6) 这些时钟管脚能够访问 GCLK 网络。

(7) 这些时钟管脚仅在 EP4CGX50、EP4CGX75，EP4CGX110 和 EP4CGX150 器件中可用，并且不能访问 GCLK 网络。CLK[17,19,20,21]p 可以用作单端时钟输入管脚。

(8) 仅当输入时钟抖动在输入抖动容限规范内时可用。

(9) 最小相移为电压控制振荡器 (VCO) 周期除以 8。如果以度为单位增加，Cyclone IV GX 器件的所有输出频率至少可以以 45° 增加。更小的增加度数有可能受到频率和分频系数的限制。

(10) 适用于 F484 封装中的 EP4CGX30、EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件。

表 5-6Cyclone IV E PLL 中可用的特性。

表 5-6. Cyclone IV E PLL 特性 (1/2)

硬件特性	可用性
C（输出计数器）	5
M, N, C 计数器容量	1 到 512 (1)
专用时钟输出	1 个单端或 1 个差分对
时钟输入管脚	4 个单端或 2 个差分对
扩频输入时钟跟踪	✓ (2)
PLL 级联	通过 GCLK
补偿模式	源同步模式、无补偿模式、正常模式和零延迟缓冲器模式
相移分辨率	下降到 96 ps 增量 (3)
可编程占空比	✓
输出计数器级联	✓
输入时钟切换	✓
用户模式重配置	✓

表 5-6. Cyclone IV E PLL 特性 (2/2)

硬件特性	可用性
失锁检测	✓

表 5-6 注释：

(1) 如果输出时钟使用一个 50% 的占空比，则 C 计数器的范围从 1 到 512。对于那些使用非 50% 占空比的输出时钟，后缩放计数器的范围从 1 到 256。

(2) 仅当输入时钟抖动在输入抖动容限规范内时可用。

(3) 最小相移为电压控制振荡器 (VCO) 周期除以 8。如果以度为单位增加，Cyclone IV GX 器件的所有输出频率至少可以以 45° 增加。更小的增加度数有可能受到频率和分频系数的限制。

Cyclone IV PLL 硬件概述

本章节对 Cyclone IV PLL 的硬件进行了概述。

图 5-9 显示了 Cyclone IV GX PLL 的主组件的简化结构图。

图 5-9. Cyclone IV GX PLL 结构图 *(1)*

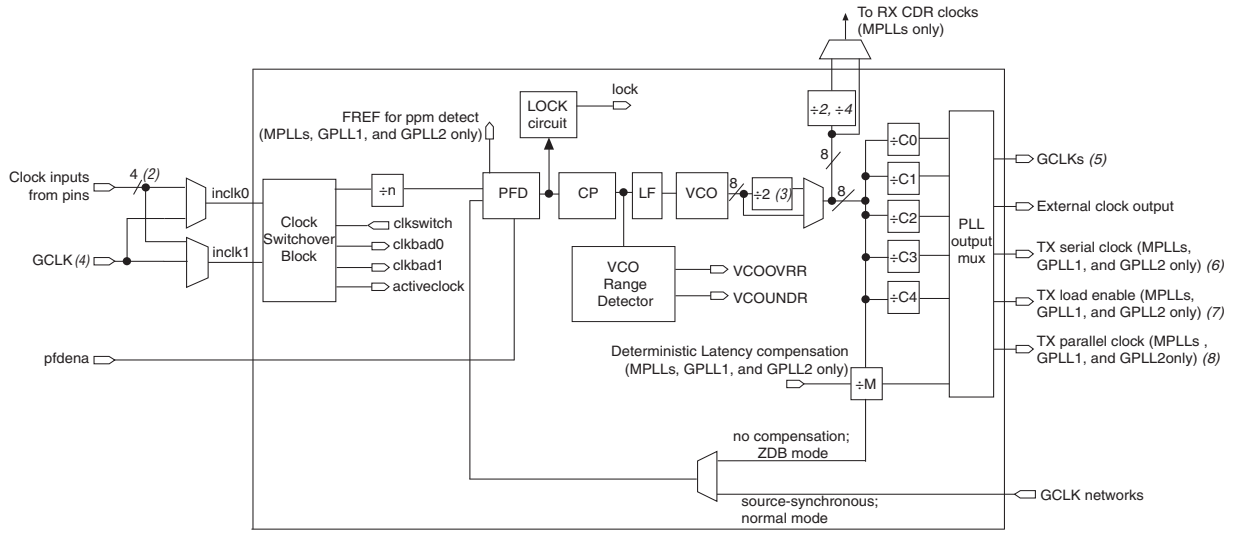


图 5-9 注释：

(1) 每一个时钟源均可来自位于器件同一侧作为 PLL 的四个中的任何时钟管脚。

(2) EP4CGX50、EP4CGX75、 EP4CGX110 和 EP4CGX150 器件中含有额外 4 对专用差分时钟输入，它们只能驱动器件左侧上的通用 PLL 和多用 PLL。 CLK[19..16] 能够访问 PLL_2、 PLL_6、 PLL_7 和 PLL_8，而 CLK[23..20] 则能够访问 PLL_1、 PLL_5、 PLL_6 和 PLL_7。关于这些时钟输入管脚位置的详细信息，请参考第 5-13 页图 5-3。

(3) 这是 VCO 后缩放计数器 K。

(4) 该输入端口由一个管脚驱动专用 GCLK 来驱动，或者通过时钟控制模块驱动（如果时钟控制模块由另一个 PLL 的输出或者一个管脚驱动专用 GCLK 来驱动）。内部生成的全局信号不能驱动 PLL。

(5) 欲了解关于通用和多用 PLL 计数器输出与 GCLK 连接的详细信息，请参考第 5-2 页表 5-1 和第 5-4 页表 5-2。

(6) 只有 C1 输出计数器才能驱动 TX 串行时钟。

(7) 只有 C2 输出计数器才能驱动 TX 加载使能。

(8) 只有 C3 输出计数器才能驱动 TX 并行时钟。

图 5–10 显示了 Cyclone IV E PLL 的主组件的简化结构图。

图 5–10. Cyclone IV E PLL 结构图 *(1)*

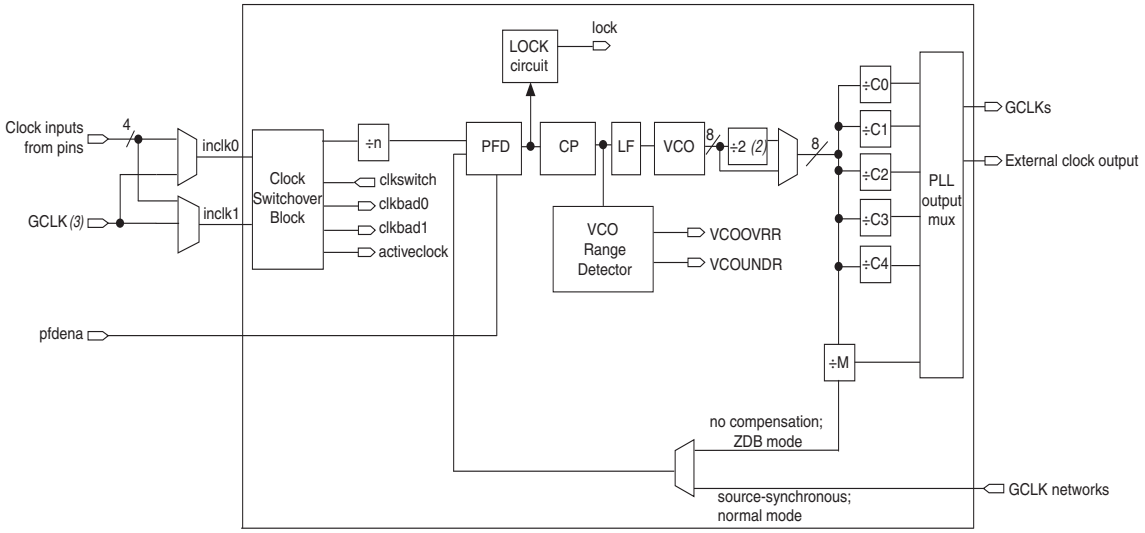


图 5–10 注释：

(1) 每一个时钟源均可来自位于器件同一侧作为 PLL 的四个中的任何时钟管脚。

(2) 这是 VCO 后缩放计数器 K。

(3) 该输入端口由一个管脚驱动专用 GCLK 来驱动，或者通过时钟控制模块驱动（如果时钟控制模块由另一个 PLL 的输出或者一个管脚驱动专用 GCLK 来驱动）。内部生成的全局信号不能驱动 PLL。

VCO 后缩放计数器 K 用于平均划分所支持的 VCO 范围。在编译报告的 PLL 总结部分中，Quartus II 报告的 VCO 频率会考虑 VCO 后缩放计数器的值。因此，如果 VCO 后缩放计数器有一个值 2，那么报告的频率要低于 *Cyclone IV Device Datasheet* 章节中指定的 f_{VCO} 规格。

外部时钟输出

Cyclone IV 器件的每个 PLL 均支持一个单端时钟输出或者一个差分时钟输出。只有 C0 输出计数器才能驱动专用的外部时钟输出，而无需遍历 GCLK，如图图 5–11 所示。其它输出计数器可以通过 GCLK 来驱动其它 I/O 管脚。

图 5–11 显示了 PLL 的外部时钟输出。

图 5–11. PLL 的外部时钟输出

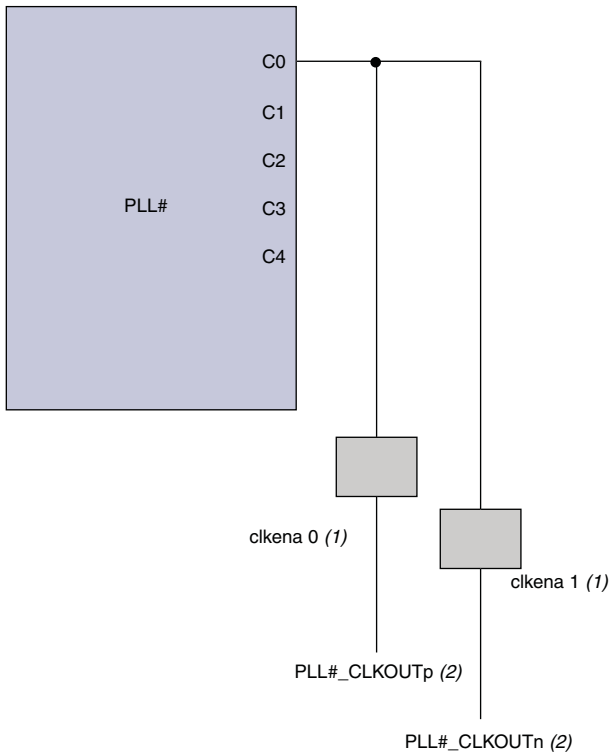


图 5–11 注释：

(1) 这些外部时钟使能信号仅在使用 ALTCLKCTRL 宏功能的时候有效。

(2) PLL#_CLKOUTp 与 PLL#_CLKOUTn 管脚是两用 I/O 管脚，可用作一个单端时钟输出或者一个差分时钟输出。当将这两个管脚都用作单端 I/O 时，其中一个可用作时钟输出，而另一个可配置为普通用户 I/O。

差分输出对的每一个管脚的相位差了 180° 。Quartus II 软件将设计中的 NOT gate 布局到 I/O 单元，对于差分输出对中的另一个管脚，实现了 180° 相位。时钟输出管脚对支持作为标准输出管脚的同一 I/O 标准。

要了解 PLL 时钟输入和输出管脚支持哪些 I/O 标准，请参考 *Cyclone IV Device I/O Features* 章节。

Cyclone IV PLL 可以通过 GCLK 驱动普通 I/O 管脚。如果不需要外部 PLL 时钟，您也可以将外部时钟输出用作 GPIO 管脚。

时钟反馈模式

Cyclone IV PLL 最多可支持五种不同的时钟反馈模式。每一种模式均支持时钟乘法和除法、相移以及可编程占空比。欲了解所支持的反馈模式，请参考第 5-18 页表 5-5 的 Cyclone IV GX PLL 和第 5-19 页表 5-6 的 Cyclone IV E PLL。

只有在使用与给定的 PLL 相对应的专用时钟输入管脚作为时钟源时，输入与输出延迟才会完全由 PLL 补偿。

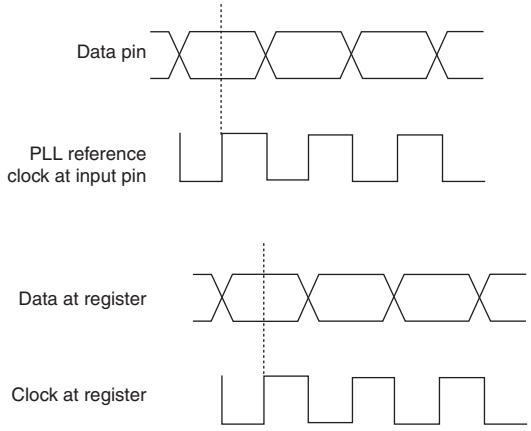
当使用 GCLK 网络驱动 PLL 时，输入与输出延迟在 Quartus II 软件中可能不会得到完全补偿。

源同步模式

如果数据和时钟同时到达输入管脚，那么在 I/O 单元输入寄存器的数据与时钟端口，数据与时钟之间的相位关系保持不变。

图 5-12 显示了该模式中数据与时钟的波形实例。将该模式用于源同步数据传输。只要使用同一 I/O 标准，I/O 单元上的数据与时钟信号就会经历类似的缓冲器延迟。

图 5-12. 源同步模式中数据与时钟之间的相位关系



源同步模式对所使用的时钟网络延迟进行补偿，其中包括下面两个路径之间的延迟差别：

- 数据管脚到 I/O 单元寄存器的输入
- 时钟输入管脚到 PLL 相位频率检测器 (PFD) 的输入

在 Quartus II 软件中，需将 I/O 单元中的寄存器延迟链的输入管脚设置成零，以用于源同步模式 PLL 锁定的所有数据管脚。此外，所有数据管脚必须使用 Quartus II 软件中的 **PLL COMPENSATED logic** 选项。

无补偿模式

在无补偿模式中，PLL 不对任何时钟网络进行补偿。这样会有更佳的抖动性能，因为反馈到 PFD 中的时钟不经过某些电路。相对 PLL 时钟输入，PLL 内部以及外部时钟输出均有相位偏移。

图 5–13 显示了该模式下的 PLL 时钟的相位关系的波形实例。

图 5–13. 无补偿模式下的 PLL 时钟之间的相位关系

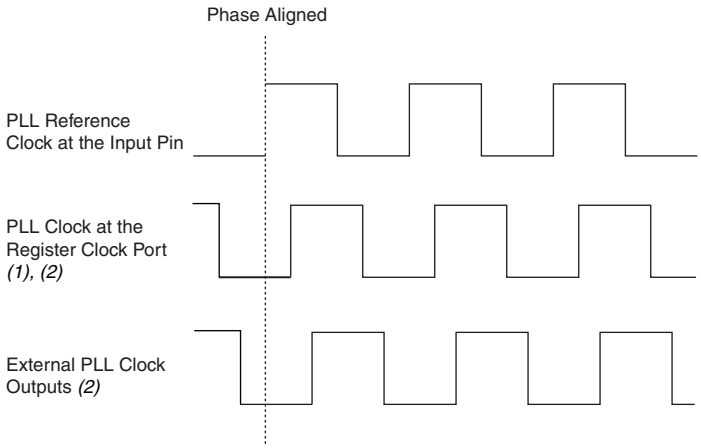


图 5–13 注释：

(1) PLL 输出的内部时钟之间相位是对齐的。

(2) PLL 时钟输出能够超前或滞后于 PLL 输入时钟。

标准模式

标准模式中的内部时钟是与输入时钟管脚相位对齐的。如果在该模式中连接外部时钟输出管脚，则外部时钟输出管脚会产生相对于时钟输入管脚的相位延迟。Quartus II 软件时序分析将报告两者之间的相位差别。在标准模式下，PLL 将对 GCLK 网络所产生的延迟进行完全补偿。

图 5–14 显示了该模式下的 PLL 时钟的相位关系的波形实例。

图 5–14. 标准模式中 PLL 时钟之间的相位关系

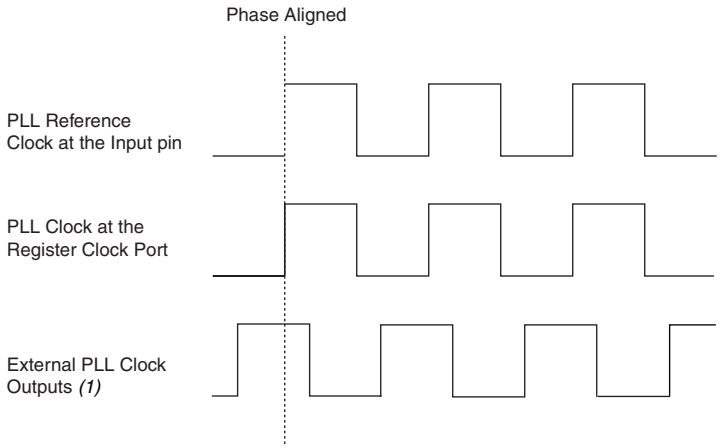


图 5–14 注释：

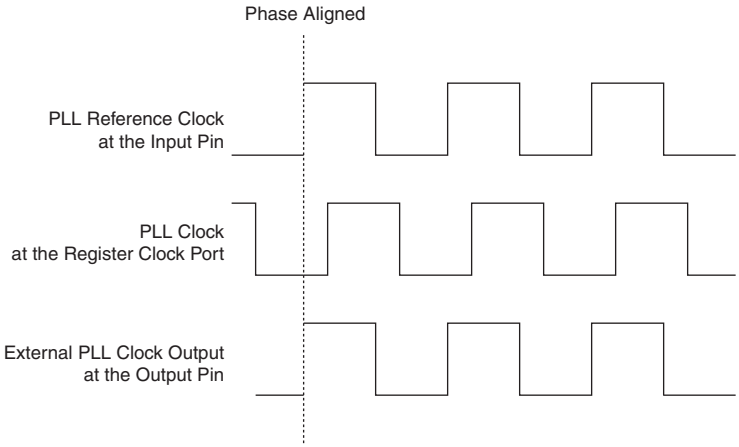
(1) 外部时钟输出能够超前或滞后于 PLL 内部时钟信号。

零延迟缓冲模式

在零延迟缓冲 (ZDB) 模式中，外部时钟输出管脚与时钟输入管脚是相位对齐的，没有延迟。当使用该模式时，需要在输入时钟与输出时钟上使用同一 I/O 标准，以保证输入与输出管脚上的时钟对齐。

图 5–15 显示了零延迟缓冲模式下 PLL 时钟之间的相位关系的波形实例。

图 5–15. 零延迟缓冲模式中 PLL 时钟之间的相位关系



确定性延迟补偿模式

确定性延迟模式通过通用公共无线电接口 (CPRI) 应用中的时钟网络和串行器，来对多用 PLL 的延迟进行补偿。在该模式中，PLL PFD 反馈路径对相对于参考时钟的 Tx dataout 和 Tx clkout 路径中的延迟不确定性进行补偿。

硬件特性

Cyclone IV PLL 支持通用时钟管理的几个特性。这一部分介绍了时钟的乘法与除法的实现、相移的实现、以及可编程占空比。

时钟的乘法与除法

每一个 Cyclone IV PLL 均采用 M/(N* 后缩放计数器) 缩放因子为 PLL 输出端口提供时钟合成输出。输入时钟由预缩放因子 N 分频，然后乘以反馈因子 M。控制环路驱动 VCO 以匹配 f_{IN} (M/N)。每一个输出端口均有一个唯一的后缩放计数器，对高频 VCO 进行分频。对于不同频率的多个 PLL 输出，VCO 值是输出频率的最小公倍数，以满足其频率规格。例如，如果一个 PLL 所要求的输出频率是 33 和 66 MHz，那么 Quartus II 软件会将 VCO 设置为 660 MHz(33 和 66 MHz 在 VCO 频率范围内的最小公倍数)。然后，后放大计数器会降低每个输出端口的 VCO 频率。

每一个 PLL 上均有一个预缩放计数器 N 和一个乘法计数器 M，范围从 1 到 512。由于计数器 N 仅用于计算分频，因此该计数器不使用占空比控制。此外，每个 PLL 上有五个用于驱动 GCLK 或外部时钟输出的通用后缩放计数器。这些后缩放计数器的范围从 1 到 512，并具有 50% 的占空比设置。后缩放计数器的范围从 1 到 256，具有非 50% 的占空比设置。设计所选择的高 / 低计数值的总和，将用于给定计数器分频值的选择。

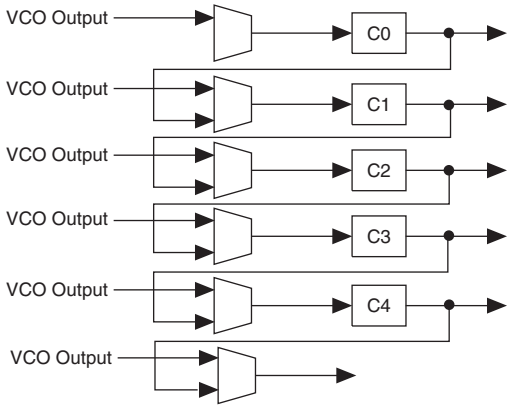
Quartus II 软件根据输入到 ALTPLL 宏功能的输入频率、乘法和除法值来自动选择相应的缩放因子。

使用 t_{PLL_PSERR} 规格来确定输出计数器之间的相位对齐。

后缩放计数器的级联

Cyclone IV 器件的 PLL 支持后缩放计数器的级联，以生成大于 512 的计数器。 这是通过将一个 C 计数器的输出送至下一个 C 计数器的输入来实现的，如图 5–16 所示。

图 5–16. 计数器的级联



当通过级联计数器来实现高频 VCO 时钟的更大分频时，级联的计数器作为单个计数器运行，并具有单个计数器设置的乘积。

例如，如果 C0 = 4 和 C1 = 2，则级联的值是 C0 × C1 = 8。

后缩放计数器的级联由 Quartus II software 在配置文件中自动配置。后缩放计数器的级联不能通过使用 PLL 重配置来实现。

可编程占空比

可编程占空比功能使 PLL 能够生成具有可变占空比的时钟输出，PLL 后缩放计数器支持这一功能。通过后缩放计数器的高 / 低时间计数设置来实现占空比设置。Quartus II 软件使用输入频率和目的倍频 / 分频比率来确定占空比的选择。后缩放计数器的值决定了占空周期的精度，该精度定义为 50% 除以后缩放计数器的值。例如，如果 C0 计数器的值为 10，则 5% 的步长可用于 5% 到 90% 之间的占空比的选择。

可编程占空比与可编程相移的结合可以实现精确的非重叠时钟的生成。

PLL 控制信号

您可以通过使用 pfdena，areset 和 locked 信号来观测和控制 PLL 的操作以及重同步。

欲了解关于 PLL 控制信号的详细信息，请参考 *ALTPLL Megafunction User Guide*。

时钟切换

时钟切换功能实现了 PLL 在两个参考输入时钟之间进行切换。这一功能可用于时钟冗余或双时钟域的应用，例如：在之前的时钟停止运行时，一个用于开启冗余时钟的系统。当时钟不再触发，或者不再基于用户控制信号 clkswitch 时，您的设计可以自动执行时钟切换。

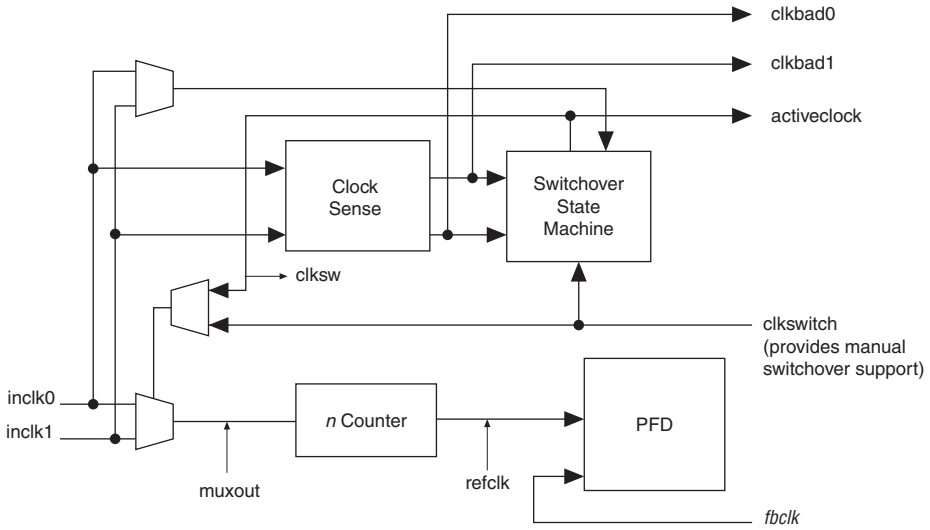
自动时钟切换

Cyclone IV 器件的 PLL 支持一个完全可配置的时钟切换功能。

当前参考时钟不存在时，时钟检测模块会自动切换到 PLL 参考的备用时钟。另外，时钟切换电路也会发出 PLL 的三个状态信号 —clkbad0、clkbad1 和 activeclock— 以实现定制切换电路。通过将备用时钟连接至您设计中 PLL 的 inclk1 端口，您可以在备用时钟上对时钟源进行选择。

图 5-17 显示了集成在 PLL 中的切换电路结构图。

图 5-17. 自动时钟切换电路



使用时钟切换功能的两种方式：

- 使用切换电路来完成从运行在相同频率下的 inclk0 到 inclk1 的切换。例如，在要求一个与参考时钟相同频率的冗余时钟的应用中，切换状态机会生成一个用于控制图 5-17 中所示的多路复用器选择输入的信号。这种情况下，inclk1 成为 PLL 的参考时钟。当 inclk0 与 inclk1 中的一个时钟失败，而另一个可用时，这种自动切换能够在这两个时钟之间来回切换任意次数。
- 将 clkswitch 输入用于用户或系统控制的切换条件，使得相同频率或者不同频率输入之间的切换成为可能。例如，如果 inclk0 为 66 MHz，inclk1 为 200 MHz，那么您必须控制切换，因为自动时钟检测电路不能监测频差大于 20% 的主时钟频率及辅助时钟频率。当时钟源来自背板上的多个卡，并要求一个操作频率间的系统控制的切换时，该功能是非常有用的。选择辅助时钟频率，使 VCO 在推荐的频率范围内运作。此外，相应地设置 M，N 和 C 计数器，使 VCO 操作频率保持在推荐范围内。

图 5–18 显示了当使用自动时钟丢失检测时，一个切换功能的波形实例。这里的 inclk0 信号保持低电平。 inclk0 信号在保持大概两个时钟周期的低电平后，时钟检测电路将驱动 clkbad0 信号至高电平。 此外，由于参考时钟信号没有翻转，因此切换状态机通过 clksw 信号控制多路复用器来切换到 inclk1。

图 5–18. 时钟丢失检测时的自动切换 *(1)*

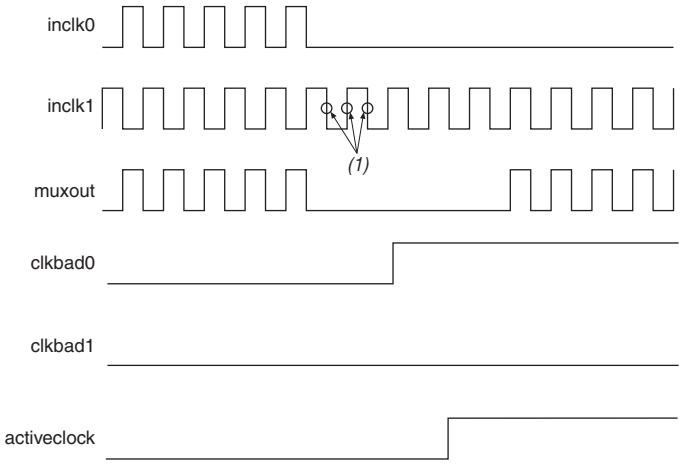


图 5–18 注释：

(1) 根据可用时钟的不同，切换功能在 inclk0 或 inclk1 的下降沿被使能。此图中，切换功能在 inclk1 的下降沿被使能。

手动超控

如果正在使用自动切换功能，则必须通过具有 clkswitch 输入的手动强制功能来切换输入时钟。

图 5–19 显示了一个由 clkswitch 控制的切换功能波形实例。该情况下，这两个时钟源都是可用的， inclk0 作为参考时钟被选择。 clkswitch 信号的一个从低到高的跳变开始了切换排序。 clkswitch 信号必须保持至少三个时钟周期的高电平（如果 inclk0 和 inclk1 的频率不同，则需要至少三个更长的时钟周期）。在 inclk0 的下降沿，计数器的参考时钟 muxout 被关断，以防止时钟毛刺的产生。在 inclk1 的下降沿，参考时钟多路复用器将 inclk0 切换到 inclk1，以作为 PLL 参考， activeclock 信号的变化表明了当前哪一个时钟正在驱动 PLL。

在这种模式下， activeclock 信号反映了 clkswitch 信号。 因为两个模块在手动切换期间仍然可用，所以没有 clkbad 信号变为高电平。 由于切换电路是正边沿敏感的，因此 clkswitch 信号的下降沿不会导致电路从 inclk1 切换回 inclk0。当 clkswitch 信号再一次变高，重复整个过程。 clkswitch 信号与自动切换功能的使用取决于目的时钟的可用性。如果目的时钟不可用，则状态机会一直等待，直到目的时钟可用。

当 CLKSWITCH = 1，将覆盖自动切换功能。只要 clkswitch 信号为高，进一步的切换操作就会被阻止。

图 5-19. 使用 clkswitch 控制进行时钟切换 *(1)*

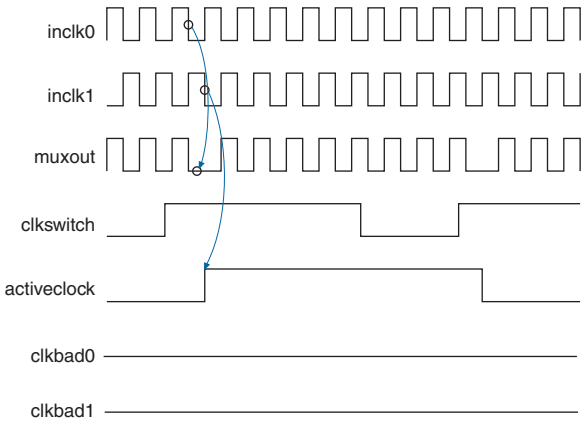


图 5-19 注释：

(1) 当 clkswitch 信号变为高电平，开始手动时钟切换活动时， inclk0 以及 inclk1 必须是运行的。

手动时钟切换

Cyclone IV 器件中的 PLL 支持手动切换功能，其中 clkswitch 信号用于控制 PLL 的输入时钟是 inclk0 还是 inclk1。 手动切换的特点类似于自动时钟切换中的手动超控功能，其中的切换电路是边沿敏感的。当 clkswitch 信号变为高电平，切换排序开始。clkswitch 信号的下降沿不会导致电路切换回以前的输入时钟。

要了解关于Quartus II中PLL软件支持的详细信息，请参考*ALTPLL Megafunction User Guide*。

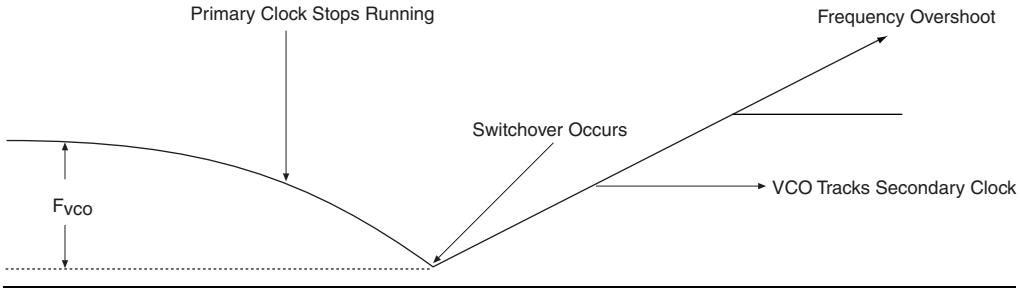
指导原则

使用 PLL 中的时钟切换进行设计时，需要遵循下面的指导原则：

- 时钟丢失检测和自动时钟切换要求 inclk0 和 inclk1 频率在彼此的 20% 以内。不符合这一要求将导致 clkbad0 和 clkbad1 信号无法正常工作。
- 当使用手动时钟切换功能时， inclk0 与 inclk1 之间的差异能够大于 20%。然而，两个时钟源（ 频率、相位，或两者 ）间的差异能导致 PLL 失锁。 复位 PLL 保证了输入与输出时钟之间正确的相位关系的维持。
- 当 clkswitch 信号变高开始手动时钟切换活动时，inclk0 与 inclk1 必须是运行的。如果不能满足这一要求，则将导致时钟切换失灵。

- 要求时钟切换功能以及低频率漂移的应用必须使用低带宽 PLL。当参考输入时钟变化时，低带宽 PLL 要比高带宽 PLL 反应慢。 切换发生时，低带宽 PLL 将时钟停止信号传输至输出的速度要低于高带宽 PLL。低带宽 PLL 过滤掉参考时钟上的抖动。然而，低带宽 PLL 也增加了锁定时间。
- 切换发生后，PLL 在一个有限的重同步期间锁定到一个新的时钟。PLL 重新锁定所需要的具体时间还要取决于 PLL 的配置。
- 如果 PLL 上的输入时钟与输出时钟之间的相位关系对您的设计很重要，则需要在执行时钟切换后对 areset 进行置位 10 ns。重新使能 PLL 的输出时钟前，需等待锁定信号（或选通锁定）变为高电平。
- 图 5-20 显示了当主时钟丢失时，VCO 频率逐渐下降，然后在 VCO 锁定到辅助时钟时又回升的情况。VCO 锁定到辅助时钟后，在 VCO 频率中会出现一些过冲（过频率情况）。

图 5-20. VCO 切换操作频率



- 如果系统在 PLL 重同步期间不能承受频率变化，那么在切换过程中需要禁用系统。使用 clkbad0 与 clkbad1 状态信号来关闭 PFD（pfdena = 0），使 VCO 保持其最后的频率。此外，通过使用切换状态机，可以切换到辅助时钟。PFD 使能时，输出时钟使能信号（clkena）在切换与重同步期间能够禁用时钟输出。锁定指示稳定后，系统可以重新使能输出时钟或其它时钟。

可编程带宽

PLL 带宽是衡量 PLL 跟踪输入时钟及其相应抖动能力的标准。Cyclone IV 器件的 PLL 通过使用 PLL 环路的可编程特性来提供 PLL 带宽的高级控制，包括环路滤波器和电荷泵。PLL 中的闭环增益 3-dB 频率决定了 PLL 带宽。带宽大概是开环 PLL 相应的单位增益点。

相移的实现

对于 Cyclone IV 器件的时钟延迟，相移用于实现一个可靠的解决方案。相移是通过 VCO 相位输出与计数器起始时间的相结合来实现的。VCO 相位输出与计数器起始时间是插入延迟的最准确方法，因为 VCO 相位输出与计数器起始时间仅取决于计数器设置（不依赖于工艺，电压以及温度）。

您可以通过下面其中的一个方法从 Cyclone IV 器件的 PLL 中将输出时钟相移：

- 使用 VCO 相位抽头的精细分辨率
- 使用计数器起始时间的粗分辨率

精细分辨率相移是通过使输出计数器（C[4..0]）或者 M 计数器使用 VCO 的任何八个相位作为参考时钟来实现的。使您能够通过精细分辨率来调整延迟时间。

公式 1 显示了使用该方法所能插入的最小延迟时间。

公式 1. 精细分辨率相移

$$\text{fine} = \frac{T_{VCO}}{8} = \frac{1}{8f_{VCO}} = \frac{N}{8Mf_{REF}}$$

公式中的 f_{REF} 是输入参考时钟频率。

举例说明，若 f_{REF} 为 100 MHz，N = 1 和 M = 8，
则 f_{VCO} = 800 MHz，Φ_{fine} = 156.25 ps。PLL 操作频率定义了该相移，一个取决于参考时钟频率和计数器设置的值。

通过将计数器的起始延迟一个预定数量的计数器时钟周期，来实现粗分辨率相移。公式 2 显示了粗分辨率相移。

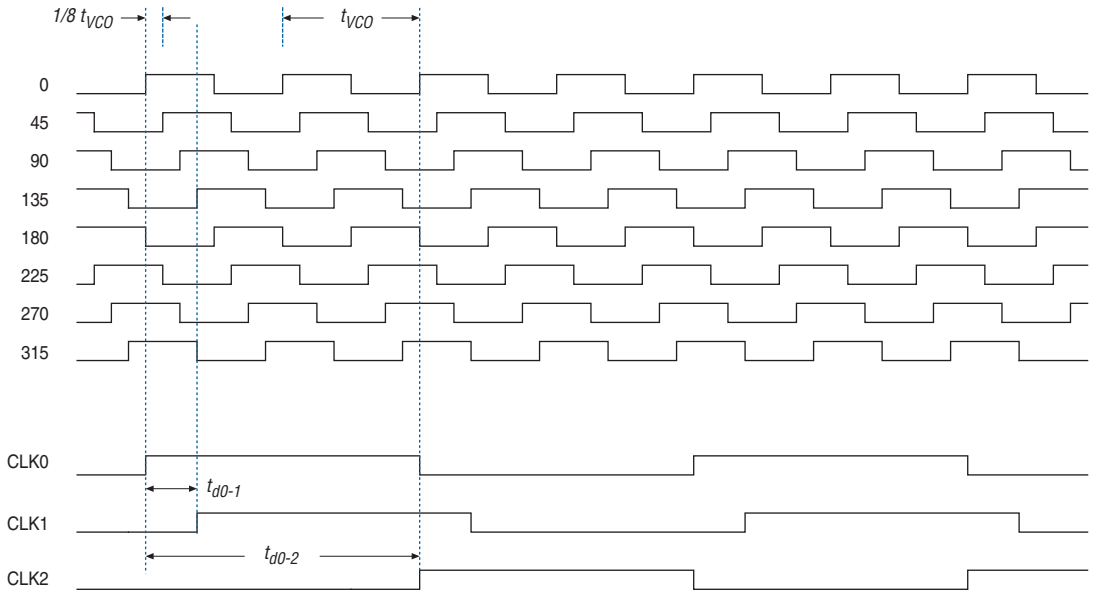
公式 2. 粗分辨率相移

$$\Phi_{coarse} = \frac{C-1}{f_{VCO}} = \frac{(C-1)N}{Mf_{REF}}$$

C 是所设置的计数器延迟时间的计数值（这是 Quartus II 中编译报告的 PLL 使用部分中的初始化设置）。若初始值是 1，则 C – 1 = 0° 相移。

图 5-21 显示了通过 VCO 相位抽头方法，使用精细分辨率的一个相移插入的实例。图中标记并显示了 VCO 的八个相位，以供参考。在这一实例中， CLK0 基于 VCO 的 0° 相位，并有一个 C 值将计数器设置为 1。 CLK1 信号被四分频，两个 VCO 时钟用于高时间，两个用于低时间。 CLK1 信号基于 VCO 上的 135° 相位抽头，并有一个 C 值将计数器设置为 1。 CLK1 信号也被四分频。在这种情况下，两个时钟偏移 3 Φ_{fine}。 CLK2 基于 VCO 的 0° 相位，但有一个 *C* 值将计数器设置为 3。这会产生两个 Φ_{coarse} 的延迟（两个完整的 VCO 持续时间）。

图 5-21. 使用 VCO 相位输出进行延迟插入与计数器延迟时间



您可以使用粗相移和精细相移来实现 Cyclone IV 器件中的时钟延迟。

Cyclone IV 器件仅支持 VCO 相位抽头的动态相移。相移可被配置任意次数。每个相移使用大概一个 scanclk 周期，使您能够快速实现大的相移。

PLL 级联

Cyclone IV 支持通用 PLL 与多用 PLL 在标准或直接模式中通过 GCLK 网络进行级联。如果您的设计级联了 PLL，那么源（上游）PLL 必须要有一个低带宽设置，而目的（下游）PLL 必须有一个高带宽设置。

PLL_6 和 PLL7 仅具有上游级联性能。

PLL 重配置

PLL 使用几个分频计数器和不同的 VCO 相位抽头来执行频率合成及相移。在 Cyclone IV 器件的 PLL 中，您可以实时重配置计数器设置及相移 PLL 输出时钟。此外，您也可以修改电荷泵和环路滤波器组件，这会对 PLL 带宽产生动态影响。 您可以使用这些 PLL 组件来实时更新输出时钟频率、PLL 带宽和相移，而无需重配置整个 FPGA。

PLL 实时重配置这一特性对在多频率上进行操作的应用是很有用的。此外，这一特性在原型开发环境中也很有用，使您能够扫描 PLL 输出频率，并动态调整输出时钟相位。例如，用于生成测试码型的系统根据被测器件的要求，需要在 75 或者 150 MHz 下生成并发送码型。对 PLL 组件进行实时重配置使您能够在几微妙内完成这样两个输出频率间的切换。

您也可以利用这一特性，通过修改 PLL 输出时钟相移来实时调整 clock-to-out (t_{CO}) 延迟。通过这一方法不再需要使用新的 PLL 设置重新生成配置文件。

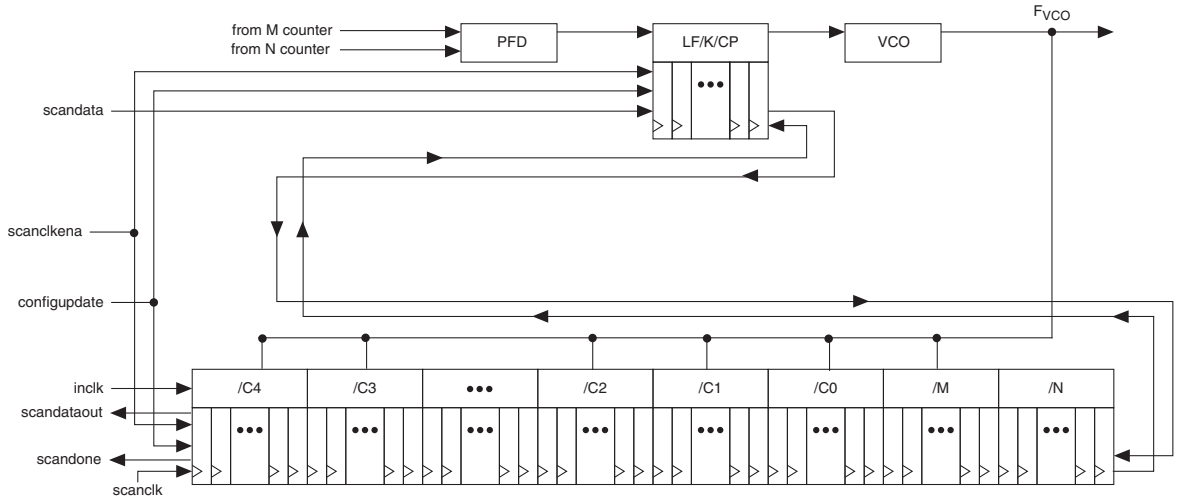
PLL 重配置硬件的实现

下面的 PLL 组件可实时配置：

- 预缩放计数器 (N)
- 反馈计数器 (M)
- 后缩放输出计数器 (C0–C4)
- 动态调整电荷泵电流 (I_{CP}) 和环路滤波器组件 (R, C)，使 PLL 带宽的即时重新配置变得更加容易。

图 5-22 显示了如何通过将 PLL 计数器的新设置移入串行移位寄存器链或扫描链，来动态调整 PLL 计数器设置。串行数据通过 scandataport 移入扫描链，并且移位寄存器被 scanclk 锁定。 scanclk 最大频率为 100 MHz。移入数据最后一位后，将 configupdate 信号置位最少一个 scanclk 时钟周期，使用扫描寄存器中的数据同步更新 PLL 配置位。

图 5-22. PLL 重配置扫描链



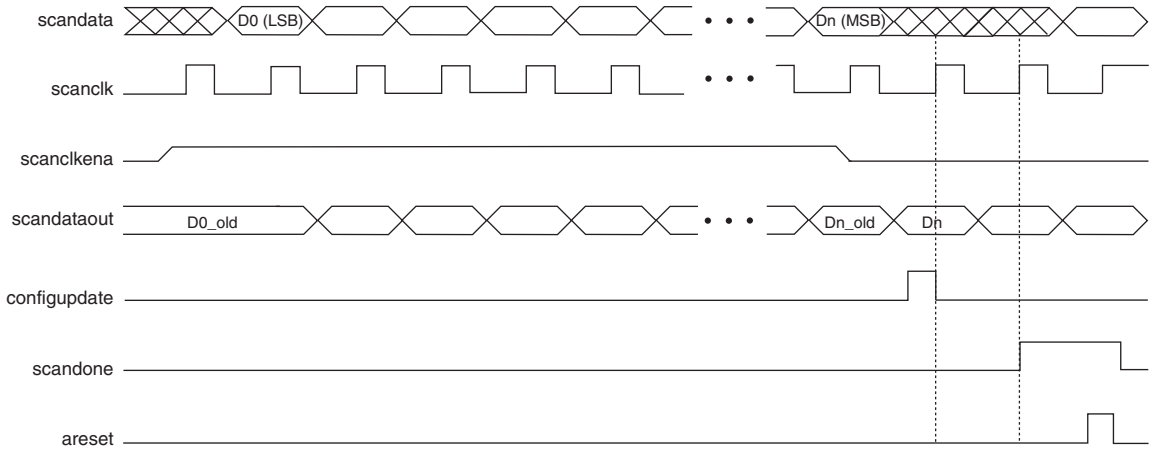
计数器设置同步地更新到单个计数器的时钟频率。因此，并非所有的计数器都能同步更新。

请执行下列步骤来重配置 PLL 计数器：

1. 在移入 scandata 的第一位 (D0) 之前，至少将 scanclkena 信号置位一个 scanclk 周期。
2. 串行数据 (scandata) 在 scanclk 的第二个上升上沿被移入扫描链中。
3. 所有的 144 位全部扫描进扫描链中后， scanclkena 信号被置低，以防止扫描链中位的意外移动。
4. configupdate 信号置位一个 scanclk 周期，以使用扫描链中的数据更新 PLL 计数器。
5. scandone 信号变高，表明正在对 PLL 进行重配置。下降沿表明 PLL 计数器已经使用新的设置进行更新了。
6. 如果修改了 M、N、后缩放输出 C 计数器或者 I_{CP} ， R， C 设置，需要使用 areset 信号对 PLL 进行复位。
7. 您可以重复步骤 1 到步骤 5，对 PLL 进行任意次数的重配置。

图 5–23 显示了 PLL 重配置特性的功能仿真。

图 5–23. PLL 重配置扫描链



当重配置计数器时钟频率时，不能使用同一接口对相应的计数器相移设置进行重配置。您可以使用动态相移重配置接口对相移进行实时重配置。如果对计数器频率进行重配置，但希望在时钟输出上保持相同的非零相移设置（例如：90°），那么你必须在重配置计数器时钟频率之后，再对相移进行重配置。

后缩放计数器 (C0 到 C4)

您可以实时配置倍频或分频值以及后缩放计数器的占空比。每一个计数器均有一个 8-bit 高时间设置和 8-bit 低时间设置。占空比是时钟输出高 / 低脉冲与整个时钟周期时间的比率，这是两者的总和。此外，这些计数器有两个控制位， rbypass, 用于旁路计数器，和 rselodd, 用于选择输出时钟占空比。

当 rbypass 位设为 1 时，它将旁路计数器，产生一分频。当 rbypass 位设为 0 时，PLL 会根据高 / 低时间计数器来计算 VCO 输出频率的有效分频。 举例说明，若后缩放分频因子是 10, 则高和低脉冲计数值都被设置成 5，以实现 50 – 50% 占空比。PLL 通过在 VCO 输出时钟的上升沿完成输出时钟从高到低的跳变，来实现这一占空比。然而，将高低脉冲计数值分别设成 4 和 6 会产生一个 40 – 60% 占空比的输出时钟。

rselodd 位表明了 50% 占空比的 VCO 输出频率的奇数分频因子。举例说明，若后缩放分频因子是 3, 则高低脉冲计数值分别是 2 和 1，以实现这一分频。这意味着一个 67% – 33% 的占空比。如果需要一个 50% – 50% 的占空比，那么必须将 rselodd 控制位设为 1（尽管是一个奇数分频因子），以实现这一占空比。PLL 通过在 VCO 输出时钟的下降沿完成输出时钟从高到低的跳变，从而实现这一占空比。当设置 rselodd = 1, 需从高脉冲减去 0.5 周期，并在低脉冲加入 0.5 周期。

例如：

- 高时间计数 = 2 个周期

- 低时间计数 = 1 个周期
- rselodd = 1 有效等于：
  - 高时间计数 = 1.5 周期
  - 低时间计数 = 1.5 周期
  - 占空比 = (1.5/3)% 高时间计数和 (1.5/3)% 低时间计数

扫描链的介绍

Cyclone IV PLL 有一个 144-bit 扫描链。

表 5-7 列出了 PLL 每个组件的位数。

表 5-7. Cyclone IV PLL 重编程位

模块名	位数		
	计数器	其它	总数
C4 *(1)*	16	2 *(2)*	18
C3	16	2 *(2)*	18
C2	16	2 *(2)*	18
C1	16	2 *(2)*	18
C0	16	2 *(2)*	18
M	16	2 *(2)*	18
N	16	2 *(2)*	18
电荷泵	9	0	9
环路滤波器 *(3)*	9	0	9
位的总数			144

表 5-7 注释：

(1) C4 低计数值的 LSB 位是移入扫描链的第一个位。
(2) 这两个控制位包括 rbypass，用于旁路计数器，和 rselodd，用于选择输出时钟占空比。
(3) 环路滤波器的 MSB 位是移入扫描连的最后一个位。

图 5-24 显示了 PLL 组件的扫描链顺序。

图 5-24. PLL 组件扫描链顺序

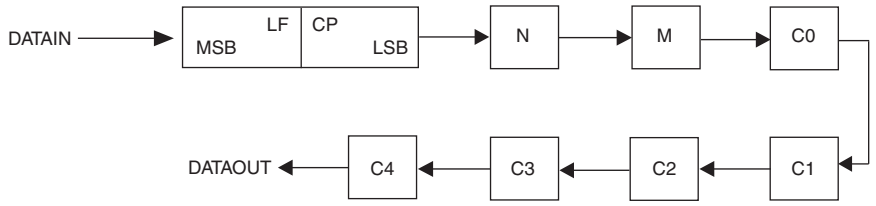
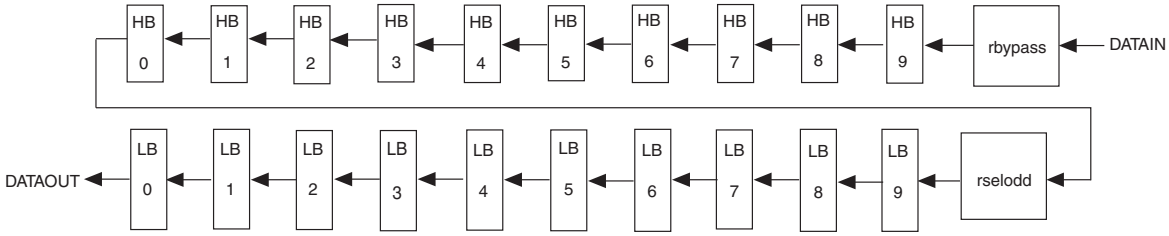


图 5-25 显示了 Cyclone IV 器件 PLL 中的一个 PLL 后缩放计数器的扫描链位的排序。

图 5-25. 扫描链位顺序



电荷泵与环路滤波器

您可以重配置电荷泵与环路滤波器设置，对 PLL 带宽进行实时升级。表 5-8 到表 5-10 列出了 Cyclone IV 器件的电荷泵电流（I_{CP}）、环路滤波器电阻（R）和电容器（C）的值的可能设置值。

表 5-8. 电荷泵位控制

CP[2]	CP[1]	CP[0]	设置值（十进制）
0	0	0	0
1	0	0	1
1	1	0	3
1	1	1	7

表 5-9. 环路滤波器阻值控制

LFR[4]	LFR[3]	LFR[2]	LFR[1]	LFR[0]	设置值（十进制）
0	0	0	0	0	0
0	0	0	1	1	3
0	0	1	0	0	4
0	1	0	0	0	8
1	0	0	0	0	16
1	0	0	1	1	19
1	0	1	0	0	20
1	1	0	0	0	24
1	1	0	1	1	27
1	1	1	0	0	28
1	1	1	1	0	30

表 5-10. 高频电容的环路滤波器控制

LFC[1]	LFC[0]	设置值（十进制）
0	0	0
0	1	1
1	1	3

旁路 PLL 计数器

旁路 PLL 计数器会产生分频因子 1(N, C0 到 C4 计数器)。

表 5-11 列出了旁路 Cyclone IV 器件的 PLL 计数器的设置。

表 5-11. PLL 计数器设置

PLL 扫描链位 [0..8] 设置									说明
LSB								MSB	
X	X	X	X	X	X	X	X	1 *(1)*	旁路了 PLL 计数器
X	X	X	X	X	X	X	X	0 *(1)*	未旁路 PLL 计数器

表 5-11 注释：

(1) 旁路位。

要旁路 PLL 计数器，需将旁路位设置成 1。然后忽略其它位上的值。

动态相移

动态相移功能使单个 PLL 输出的输出相位能够相对于彼此和参考时钟被动态调整，而无需通过相应 PLL 的扫描链发送串行数据。这一功能简化了接口，并使您能够通过实时修改输出时钟相移，来迅速调整 t_{CO} 延迟。这是通过对给定的 C 计数器或者 M 计数器递增或递减 VCO phase-tap 选择来实现的。相位一次只偏移 VCO 频率的 1/8。 输出时钟在该相位重配置过程中是有效的。

表 5-12 列出了动态相移使用的控制信号。

表 5-12. 动态相移控制信号 (1/2)

信号名	说明	源	目的
phasecounterselect[2..0]	计数器选择。这三个位通过解码来选择 M 计数器或者其中的一个 C 计数器，以实现相位调整。一个地址映射选择所有的 C 计数器。该信号在 scanclk 的上升沿上的 PLL 中寄存。	逻辑阵列或者 I/O 管脚	PLL 重配置电路
phaseupdown	选择动态相移方向：1= UP, 0 = DOWN。该信号在 scanclk 的上升沿上的 PLL 中寄存。	逻辑阵列或者 I/O 管脚	PLL 重配置电路
phasestep	逻辑高电平使能动态相移。	逻辑阵列或者 I/O 管脚	PLL 重配置电路

表 5-12. 动态相移控制信号 (2/2)

信号名	说明	源	目的
scanclk	与 phasestep 相结合使用的内核中的自由时钟，用于使能或者禁用动态相移。与 scanclk 共享，实现动态重配置。	GCLK 或者 I/O 管脚	PLL 重配置电路
phasedone	该信号置位时，告诉内核相位调整已经完成，PLL 准备活动在第二个可能的调整脉冲上。根据内部 PLL 时序进行置位。在 scanclk 的上升沿置低。	PLL 重配置电路	逻辑阵列或者 I/O 管脚

表 5-13 列出了基于相应的 PHASECOUNTERSELECT 设置的 PLL 计数器选择。

表 5-13. 相位计数器选择映射

phasecounterselect			选择
[2]	[1]	[0]	
0	0	0	所有输出寄存器
0	0	1	M 计数器
0	1	0	C0 计数器
0	1	1	C1 计数器
1	0	0	C2 计数器
1	0	1	C3 计数器
1	1	0	C4 计数器

需要按照下列步骤来执行动态相移：

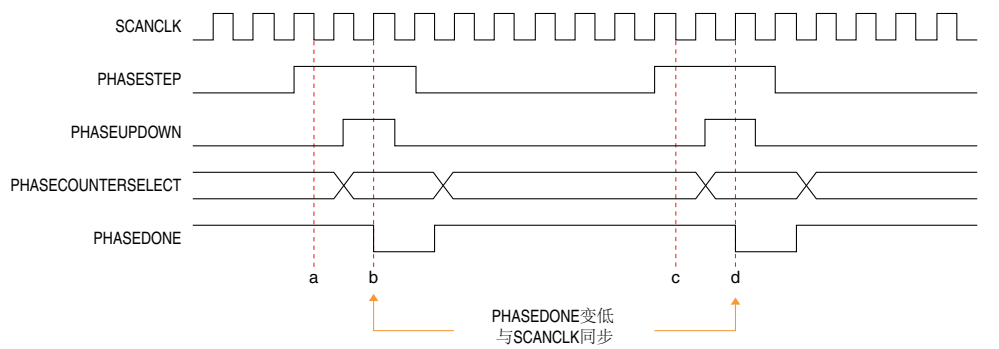
1. 根据需要设置 PHASEUPDOWN 和 PHASECOUNTERSELECT。
2. 置位 PHASESTEP 至少两个 SCANCLK 周期。每一个 PHASESTEP 脉冲仅支持一个相移。
3. PHASEDONE 变低电平后，置低 PHASESTEP。
4. 等待 PHASEDONE 变为高电平。
5. 按照所需的次数重复步骤 1 到步骤 4 来执行多个相移。

PHASEUPDOWN 与 PHASECOUNTERSELECT 信号同步于 SCANCLK 信号，对于 SCANCLK 边沿，必须符合 t_{su} 与 t_h 要求。

您可以无限制地重复动态相移。举例说明，在一个设计中 VCO 频率设置为 1,000 MHz，输出时钟频率设置为 100 MHz，执行 40 次动态相移（每一次产生 125 ps 相移）会使输出时钟的相位偏移到 180°，也就是说，5 ns 的相移。

图 5-26 显示了动态相位偏移的波形。

图 5-26. PLL 动态相移



PHASESTEP 信号在 SCANCLK (a, c) 的负边沿上被锁存，并且必须保持至少两个 SCANCLK 周期的置位状态。 PHASEDONE 变为低电平后，置低 PHASESTEP。 PHASESTEP 锁存后，在第二个 SCANCLK 上升沿 (b, d)， PHASEUPDOWN 与 PHASECOUNTERSELECT 的值被锁存，PLL 开始对指定计数器进行指定方向的动态相位偏移。 PHASEDONE 被置低，在第二个上升沿 (b, d) 与 SCANCLK 同步，并在 PLL 完成动态相位偏移前保持在低电平。根据 VCO 和 SCANCLK 频率， PHASEDONE 低脉冲时间可能大于，也可能小于一个 SCANCLK 周期。

您可以在 PHASEDONE 信号从高变低后执行另一个动态相移。每一个 PHASESTEP 脉冲使能一个相移。 PHASESTEP 脉冲必须至少是一个 SCANCLK 周期。

要了解关于 ALTPLL_RECONFIG MegaWizard™ Plug-In Manager 的详细信息，请参考 *ALTPLL_RECONFIG Megafunction User Guide*。

扩频时钟

Cyclone IV 可以接受具有典型调制频率的扩频输入。然而，器件不能自动检测输入是否为一个扩频信号。相反，输入信号看起来像 PLL 输入上的确定性抖动。只要扩频输入时钟在输入抖动容限范围内，并且输入时钟的调制频率低于 PLL 带宽（在抖动报告中有所指定），那么 Cyclone IV 器件的 PLL 就能够跟踪扩频输入时钟。Cyclone IV 器件不能够内部生成扩频信号。

PLL 规范

欲了解关于 PLL 规范的详细信息，请参考 *Cyclone IV Device Datasheet* 章节。

文档修订历史

表 5-14 列出了本章节的修订历史。

表 5-14. 文档修订历史

日期	版本	修订内容
2011 年 11 月	2.3	■ 更新了 “ 动态相移 ” 章节。 ■ 更新了图 5-26。
2010 年 12 月	2.2	■ 针对 Quartus II 10.1 发布的更新。 ■ 更新了图 5 - 3 和图 5 - 10。 ■ 更新了“GCLK网络时钟源的生成”，“Cyclone IV器件中的PLL”和“手动强制 ” 章节。 ■ 少许的文本编辑。
2010 年 7 月	2.1	■ 更新了图 5 - 2、图 5 - 3、图 5 - 4 和图 5 - 10 ■ 更新了表 5 - 1，表 5 - 2 和表 5 - 5。 ■ 更新了 “ 时钟反馈模式 ” 章节。
2010 年 2 月	2.0	■ 针对 Quartus II 9.1 SP1 的发布，添加了 Cyclone IV E 器件信息。 ■ 更新了 “ 时钟网络 ” 章节。 ■ 更新了表 5 - 1 和表 5 - 2。 ■ 更新了表 5 - 3。 ■ 更新了图 5 - 2，图 5 - 3 和图 5 - 9。 ■ 添加了图 5 - 4 和图 5 - 10。
2009 年 11 月	1.0	首次发布。

6. Cyclone IV 器件中的 I/O 特性

CYIV-51006-2.3

本章节介绍了 Cyclone® IV 器件所支持的 I/O 与高速 I/O 的性能和特性。

Cyclone IV 器件的 I/O 功能是由许多低成本应用中的多样化 I/O 标准所驱动的，大幅度提高了 I/O 的性能要求。Altera 的目标是创建一个可以轻松而灵活地容纳您的主模块设计要的器件。

自从在上一代低成本 FPGA 中实现了在所有的 I/O 块中可以选择所有的 I/O 标准，使得 Cyclone IV 器件的 I/O 灵活性相应增加。改进了片上端接 (OCT) 的支持，另外真差分缓冲器也已消除了许多应用中所需的外部电阻，例如显示系统 接口。

高速差分 I/O 标准在高速接口中已经很普遍，这是由于它们在单端 I/O 标准中具有显著的优势。Cyclone IV 器件支持 LVDS、BLVDS、RSDS、mini-LVDS 和 PPDS。收发器参考时钟和现有的通用 I/O （GPIO）时钟输入功能也支持 LVDS I/O 标准。

Quartus® II 软件完成了具有强大的管脚计划功能的解决方案。实现在您得到设计文件之前，对 I/O 系统设计的计划和优化。

这一章节包括以下几部分内容：

- “Cyclone IV 的 I/O 单元 ” 第 6-2 页
- “I/O 单元特性 ” 第 6-3 页
- “OCT 支持 ” 第 6-6 页
- “I/O 标准 ” 第 6-11 页
- “I/O 标准的匹配方案 ” 第 6-13 页
- “I/O 块 ” 第 6-16 页

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

■ “ 垫布局和直流指南 ” 第 6-22 页
■ “ 时钟管脚功能 ” 第 6-23 页
■ “ 高速 I/O 接口 ” 第 6-23 页
■ “ 高速 I/O 标准支持 ” 第 6-27 页
■ “ 真差分输出缓冲器功能 ” 第 6-34 页
■ “ 高速 I/O 时序 ” 第 6-35 页
■ “ 设计指南 ” 第 6-36 页
■ “ 软件概述 ” 第 6-37 页

Cyclone IV 的 I/O 单元

Cyclone IV 的 I/O 单元 (IOE) 包含一个双向 I/O 缓冲器和五个寄存器，用以寄存输入，输出，输出使能信号和完成嵌入式双向单数据速率的传送。I/O 管脚支持各种单端和差分 I/O 标准。

IOE 包含一个输入寄存器，两个输出寄存器和两个输出使能 (OE) 寄存器。两个输出寄存器和两个 OE 寄存器被用于 DDR 的运用。您可以使用输入寄存器实现较快的建立时间，使用输出寄存器实现快速的输出时间 （clock-to-output）时间。此外，您可以使用 OE 寄存器于快速时钟至输出 （clock-to-output）使能时间。您可以使用 IOE 于输入，输出或双向数据路径。

图 6-1 显示了 Cyclone IV 器件 IOE 结构为单数据速率 (SDR) 的操作。

图 6-1. 对于 SDR 模式的 Cyclone IV IOE 的一个双向 I/O 配置

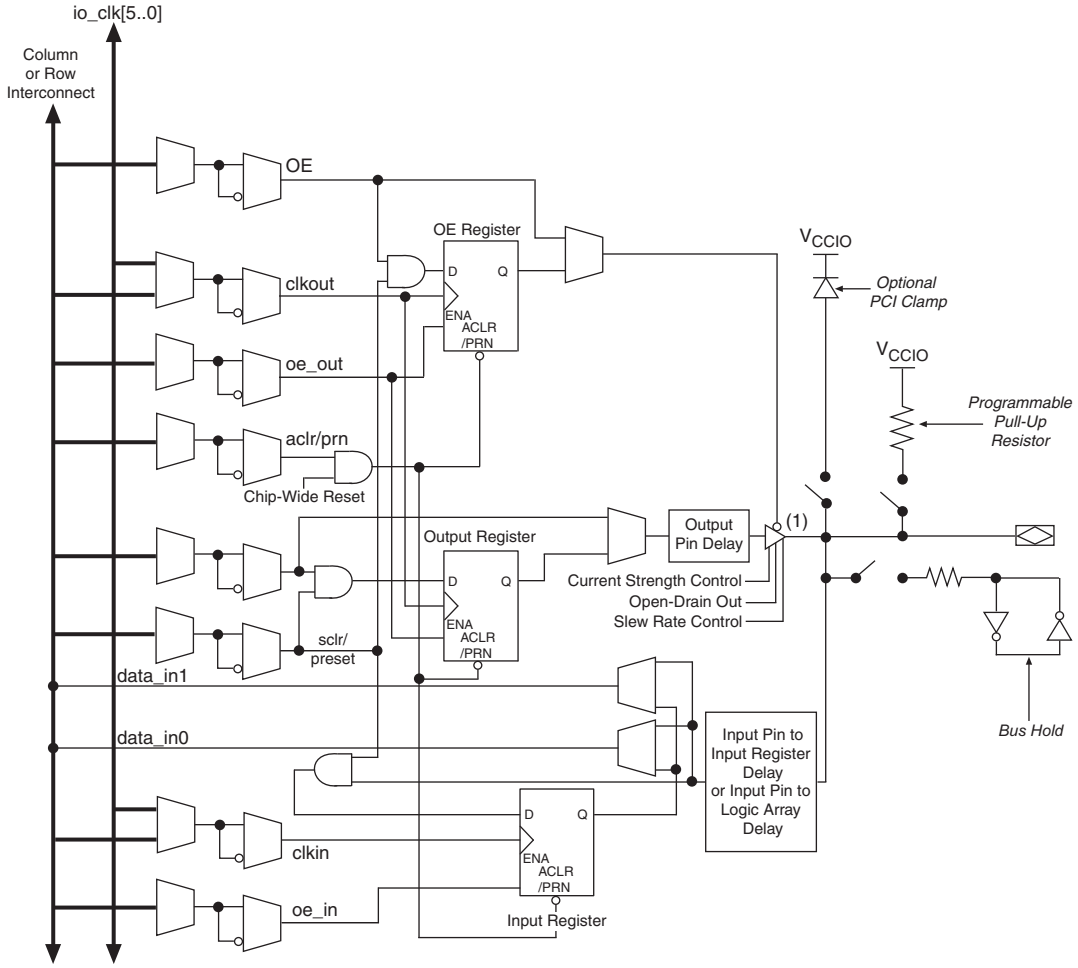


图 6-1 注释 :

(1) 三态控制不可用于真差分 I/O 标准的输出配置。

I/O 单元特性

Cyclone IV IOE 提供了 I/O 管脚的一系列可编程的特性。这些特性增加了 I/O 利用率的灵活性，并提供了一个方法以减少外部分立元器件的利用率，例如上拉电阻和二极管。

可编程电流强度

每个 Cyclone IV I/O 管脚上的输出缓冲器对于某些 I/O 标准有一个可编程电流强度控制。

LVTTL、LVCMOS、SSTL-2 Class I 和 II、SSTL-18 Class I 和 II、HSTL-18 Class I 和 II、HSTL-15 Class I 和 II 以及 HSTL-12 Class I 和 II I/O 标准有几个层次的电流强度您可以控制。

第 6-7 页表 6-2 显示对电流强度控制的 I/O 标准的可能设置。这些可编程电流强度设置对帮助降低同步切换输出 （SSO）的影响结合减少系统噪声是一种很有价值的工具。支持的设置确保器件驱动符合在相应的 I/O 标准中 IOH 和 IOL 的规范。

当您使用可编程电流强度时，片上串行匹配电阻（R_S OCT）是不可用的。

摆率控制

每个 Cyclone IV I/O 管脚的输出缓冲器提供可选的可编程输出摆率控制。第 6-7 页表 6-2 显示了可能的摆率选项和在 Quartus II 默认的摆率设置。然而，这些快速跳变可能引进系统中的噪声跳变。一个较慢的摆率可以减少系统的噪声，但却增加了上升沿和下降沿的标称延迟。由于每个 I/O 管脚都有一个单独的摆率控制，您可以逐一为每个引脚指定摆率。摆率控制影响上升沿和下降沿。摆率控制在 8 毫安或更高的电流强度中可用于单端 I/O 标准。

当使用 OCT 校准时，您不能使用可编程摆率功能。

当使用 3.0-V PCI、3.0-V PCI-X、3.3-V LVTTL 或 3.3-V LVCMOS I/O 标准时，您不能使用可编程摆率功能。只有快速摆率 （默认）设置是可用的。

开漏输出

Cyclone IV 器件为每个管脚提供一个可选的开漏输出（相当于一个集电极开路）。这个开漏输出使能器件以提供系统级的控制信号（比如：中断和写入使能信号），且被您系统中的多器件置位。

总线保持

每个 Cyclone IV 器件的用户 I/O 管脚提供了一个可选的总线保持功能。总线保持电路保存其最后驱动状态的 I/O 管脚上的信号。由于总线保持功能保存了最后驱动状态的管脚直到下一个输入信号出现，一个外部上拉或者下拉电阻是没有必要保持信号水平，在总线状态为三态时。

总线保持电路也把未驱动的管脚从输入阈值电压中拉离，其噪声可能会导致意想不到的高频切换。您可以单独为每个 I/O 管脚选择这项功能。总线保持的输出驱动不可高过 V_{CCIO} 以防止过驱信号。

假如您启用总线保持功能，那么器件不能使用可编程的上拉电阻选项。当 I/O 管脚配置为差分信号时，禁用总线保持的功能。总线保持电路在专用的时钟管脚中是不可用的。

总线保持电路只有在配置完成后才有效。当进入用户模式时，总线保持电路采集呈现在最后配置的管脚上的值。

有关每个 V_{CCIO} 电压电平驱动电阻的特定的维持电流和过驱电流用于确定下一个驱动输入电平，请参阅 *Cyclone IV Device Datasheet* 章节。

可编程的上拉电阻

每个 Cyclone IV 器件 I/O 管脚在用户模式中提供一个可选的可编程上拉电阻。如果你为 I/O 管脚启用这一功能，那么上拉电阻保持输出到输出管脚块中的 V_{CCIO} 电平。

如果您启用可编程上拉电阻，那么该器件无法使用总线保持的功能。可编程上拉电阻不支持专用配置，JTAG 和专用时钟管脚。

当可选的 DEV_OE 信号被驱动至低时，所有 I/O 管脚保持三态，尽管可编程上拉选项被启用。

可编程的延迟

Cyclone IV 的 IOE 包括可编程延迟以确保零保持时间，最小化建立时间，增加时钟至输出时间和延迟时钟输入信号。

一个管脚中的一条路径直接驱动一个寄存器可能需要一个可编程延迟以确保零保持时间，然而一个管脚的一条路径通过组合逻辑驱动一个寄存器则可能不需要延迟。可编程延迟最小化建立时间。Quartus II 编译器可编程这些延迟以自动最小化建立时间，同时提供一个零保持时间。可编程延迟可以增加输出寄存器的寄存至管脚 （register-to-pin）的延迟。每个复用时钟输入管脚提供一个可编程延迟到全局时钟网络。

表 6-1 显示了对 Cyclone IV 器件的可编程延迟

表 6-1. Cyclone IV 器件可编程延迟链

可编程延迟	Quartus II 逻辑选项
输入 pin-to-logic 阵列延迟	从管脚到内部单元的输入延迟
输入 pin-to-input 寄存器延迟	从管脚到输入寄存器的输入延迟
输出管脚延迟	从输出寄存器到输出管脚的延迟
复用时钟输入管脚延迟	从复用时钟管脚到扇出目的地的输入延迟

在 IOE 中有两条路径用于实现输入数据以到达逻辑阵列。每一条路径各有不同的延迟。这允许您对位于器件中的两个不同区域的管脚至内部逻辑单元 (LE) 寄存器的延迟进行调整。您必须设置两个组合输入延迟，其输入延迟和管脚到 Quartus II 软件中的内部单元逻辑选项的两条路径一起。如果管脚使用输入寄存器，其中一个延迟被忽视，而这个延迟与 Quartus II 软件中的管脚至输入寄存器逻辑选项的输入延迟设置在一起。

IOE 寄存器在每个 I/O 模块的预置或清零功能上共享相同的资源。您可以为每个独立的 IOE 编程预置或清零功能，但您不可以同时使用这两项功能。 您也可以在完成配置后，编程寄存器上电到高电平或低电平。如果编程到低电平，异步清零可以控制寄存器。如果编程到高电平，异步预置可以控制寄存器。此功能可以防止无意中激活另一个器件上电后的低电平有效的输入。如果 IOE 中的一个寄存器使用预置或清零信号，那么在 IOE 中的所有寄存器在他们需要预置或清零信号时必须使用这个相同的信号。此外，一个同步复位信号在 IOE 寄存器中是可用的。

要了解关于输入和输出管脚延迟设置的详细信息，请参阅 *Quartus II Handbook* 第 2 卷 *Area and Timing Optimization* 章节。

PCI 钳位二极管

Cyclone IV 器件为每个 I/O 管脚提供一个可选的 PCI-clamp 二极管使能输入和输出。复用配置管脚在用户模式中支持二极管，如果在选定的配置方案中不使用特定的管脚作为配置管脚。例如，如果您正使用主动串行 (AS) 模式配置方案，您不可以使用在用户模式下的 ASDO 和 nCSO 管脚的钳位二极管。专用的配置管脚不支持片上二极管。

PCI-clamp 二极管在以下 I/O 标准中是可用的：

- 3.3-V LVTTL
- 3.3-V LVCMOS
- 3.0-V LVTTL
- 3.0-V LVCMOS
- 2.5-V LVTTL/LVCMOS
- PCI
- PCI-X

如果输入 I/O 标准是列表标准中的其中一个，PCI-clamp 二极管在 Quartus II 软件中默认为使能状态。

OCT 支持

Cyclone IV 器件的 OCT 特性提供 I/O 阻抗匹配和终端能力。OCT 帮助防止反射和保持信号的完整性，同时最大限度地减少外部电阻高管脚量的球栅阵列 (BGA) 封装的需求。Cyclone IV 器件为单端输出和双向管脚提供 I/O 驱动片上的阻抗匹配和 R_S OCT。

当使用 R_S OCT 时，可编程电流强度是不具备的。

有两种方法可以在 Cyclone IV 器件中实现 OCT：

- 具校准的 OCT
- 无校准的 OCT

表 6-2 列出支持阻抗匹配和串行匹配的 I/O 标准。

表 6-2. Cyclone IV 器件的 I/O 特性支持 (Part 1 of 2)

I/O 标准	IOH/IOL 电流强度设置（毫安）*(1)*		具校准的 R_S OCT 设置，（欧姆）		不具校准的 R_S OCT 设置，（欧姆）		Cyclone IV E 的I/O 块支持	Cyclone IV GX 的 I/O 块支持	摆率选项 *(6)*	PCI-clamp 二极管支持
	列 I/O	行 I/O	列 I/O	行 I/O *(8)*	列 I/O	行 I/O *(8)*				
3.3-V LVTTL	4, 8	4, 8	—	—	—	—	1, 2, 3, 4, 5, 6, 7, 8	3, 4, 5, 6, 7, 8, 9	—	✓
3.3-V LVCMOS	2	2	—	—	—	—			—	✓
3.0-V LVTTL	4, 8, 12, 16	4, 8, 12, 16	50, 25	50, 25	50, 25	50, 25			0, 1, 2	✓
3.0-V LVCMOS	4, 8, 12, 16	4, 8, 12, 16	50, 25	50, 25	50, 25	50, 25				✓
3.0-V PCI/PCI-X	—	—	—	—	—	—			—	✓
2.5-V LVTTL/LVCMOS	4, 8, 12, 16	4, 8, 12, 16	50, 25	50, 25	50, 25	50, 25			0, 1, 2	✓
1.8-V LVTTL/LVCMOS	2, 4, 6, 8, 10, 12, 16	2, 4, 6, 8, 10, 12, 16	50, 25	50, 25	50, 25	50, 25				—
1.5-V LVCMOS	2, 4, 6, 8, 10, 12, 16	2, 4, 6, 8, 10, 12, 16	50, 25	50, 25	50, 25	50, 25				—
1.2-V LVCMOS	2, 4, 6, 8, 10, 12	2, 4, 6, 8, 10	50, 25	50	50, 25	50		4, 5, 6, 7, 8		—
SSTL-2 Class I	8, 12	8, 12	50	50	50	50		3, 4, 5, 6, 7, 8, 9		—
SSTL-2 Class II	16	16	25	25	25	25				—
SSTL-18 Class I	8, 10, 12	8, 10, 12	50	50	50	50				—
SSTL-18 Class II	12, 16	12, 16	25	25	25	25				—
HSTL-18 Class I	8, 10, 12	8, 10, 12	50	50	50	50				—
HSTL-18 Class II	16	16	25	25	25	25				—
HSTL-15 Class I	8, 10, 12	8, 10, 12	50	50	50	50				—
HSTL-15 Class II	16	16	25	25	25	25				—
HSTL-12 Class I	8, 10, 12	8, 10	50	50	50	50		4, 5, 6, 7, 8		—
HSTL-12 Class II	14	—	25	—	25	—	3, 4, 7, 8	4, 7, 8		—
差分SSTL-2 Class I *(2)*, *(7)*	8, 12	8, 12	50	50	50	50	1, 2, 3, 4, 5, 6, 7, 8	3, 4, 5, 6, 7, 8	0, 1, 2	—
差分 SSTL-2 Class II *(2)*, *(7)*	16	16	25	25	25	25				—
差分 SSTL-18 *(2)*, *(7)*	8, 10, 12	—	50	—	50	—				—
差分 HSTL-18 *(2)*, *(7)*	8, 10, 12	—	50	—	50	—				—
差分 HSTL-15 *(2)*, *(7)*	8, 10, 12	—	50	—	50	—				—
差分 HSTL-12 *(2)*, *(7)*	8, 10, 12	—	50	—	50	—	3, 4, 7, 8	4, 7, 8		—

表 6-2. Cyclone IV 器件的 I/O 特性支持 (Part 2 of 2)

I/O 标准	IOH/IOL 电流强度设置（毫安）(1)		具校准的 R_S OCT 设置，（欧姆）		不具校准的 R_S OCT 设置，（欧姆）		Cyclone IV E 的I/O 块支持	Cyclone IV GX 的 I/O 块支持	摆率选项 (6)	PCI-clamp 二极管支持
	列 I/O	行 I/O	列 I/O	行 I/O (8)	列 I/O	行 I/O (8)				
BLVDS	8, 12, 16	8, 12, 16	—	—	—	—	1, 2, 3, 4, 5, 6, 7, 8	3, 4, 5, 6, 7, 8	0, 1, 2	—
LVDS (3)	—	—	—	—	—	—		5, 6	—	—
PPDS (3), (4)	—	—	—	—	—	—			—	—
RSDS 和 mini-LVDS (3), (4)	—	—	—	—	—	—			—	—
差分 LVPECL (5)	—	—	—	—	—	—		3, 4, 5, 6, 7, 8	—	—

表 6-2 注释：

(1) 在 Quartus II 软件中所有无电压参考和 HSTL/SSTL Class I I/O 标准的默认电流强度设置为 50 欧姆无校准串行匹配 （OCT）。HSTL/SSTL Class II I/O 标准的默认设置为 25 欧姆）无校准串行匹配 （OCT）。

(2) 差分 SSTL-18 和 SSTL-2、差分 HSTL-18、HSTL-15 和 HSTL-12 I/O 标准仅支持时钟输入管脚和 PLL 输出时钟管脚。

(3) 真差分 （PPDS、LVDS、mini-LVDS 和 RSDS I/O 标准）输出仅支持 Cyclone IV E 器件的 I/O 块行 1、2、5 和 6，仅支持 Cyclone IV GX 的右边的 I/O 块 5 和 6。在 I/O 块列中的差分输出需要一个外部电阻器网络。

(4) 此 I/O 标准仅支持输出。

(5) 此 I/O 标准仅支持时钟输入。

(6) 所有 I/O 标准的支持摆率选项的默认 Quartus II 摆率设置为粗体 2。

(7) 差分 SSTL-18、差分 HSTL-18，HSTL-15 和 HSTL-12 I/O 标准不支持 Class II 输出。

(8) Cyclone IV GX 器件仅支持右边的 I/O 管脚。

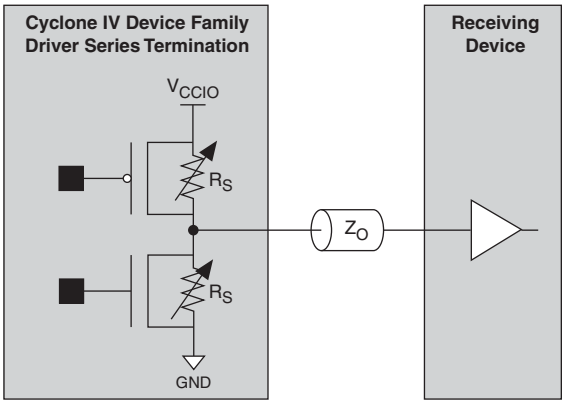
有关Cyclone IV I/O块支持的差分I/O标准的详细信息，请参阅“ “高速I/O接口 ” 第 6-23 页 ” （第 23 页）

具校准的片上串行匹配电阻

Cyclone IV 器件支持顶部，底部和右边的 I/O 块具校准的 R_S OCT。具校准的 R_S OCT 电路比较 I/O 缓冲器的总阻抗和外部的 25-Ω ±1% 或 50-Ω ±1% 的电阻连接到 RUP 和 RDN 管脚，并动态调整 I/O 缓冲器阻抗直到与之相匹配。（如图 6-2 所示）。

显示在图 6-2 的 R_S 是晶体管内在阻抗，它构成 I/O 缓冲器。

图 6-2. Cyclone IV 器件具校准的 R_S OCT



具校准的 OCT 是通过使用具校准的 OCT 模块电路来实现的。有一个具校准的 OCT 模块在每个 I/O 块的 2、4、 5 和 7 中用在 Cyclone IV E 器件； I/O 块的 4、 5 和 7 的用在 Cyclone IV GX 器件。每个校准模块支持 I/O 块的各个边。因为有两个 I/O 块共享同一个校准模块，在这两个 I/O 块使能 OCT 校准的情况下，都必须具有相同的 V_{CCIO}。如果两个相关的 I/O 块有不同的 V_{CCIO}，那么只有校准模块所在的 I/O 块可以使能 OCT 校准。

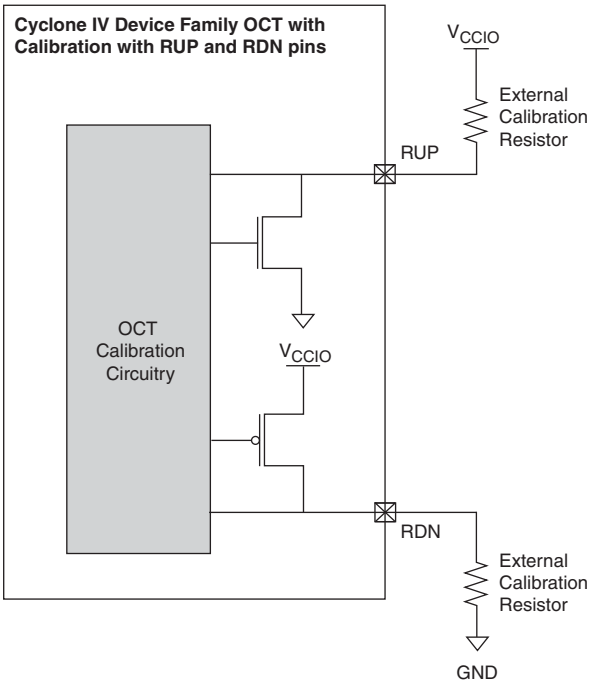
第 6-18 页图 6-10 显示 OCT 校准模块安置的顶层视图。

每个校准模块带有一对 RUP 和 RDN 管脚。当用于校准时， RUP 管脚连接到 V_{CCIO}，通过 25-Ω ±1% 或 50-Ω ±1% 的外部电阻分别连接到 25 Ω 或 50 Ω 的 R_S OCT。 RDN 管脚连接到 GND，通过 25-Ω ±1% 或 50-Ω ±1% 的外部电阻分别连接到 25 Ω 或 50 Ω 的 R_S OCT。外部电阻与内部电阻使用比较器进行相比较。比较器所产生的输出被用于 OCT 校准模块以动态调整缓冲器阻抗。

在校准期间， RUP 和 RDN 管脚的电阻是有所不同的。

图 6-3 显示在 RUP 和 RDN 管脚和相关的 OCT 校准电路的外部校准电阻设置。

图 6-3. Cyclone IV 器件具校准的 R_S OCT 设置



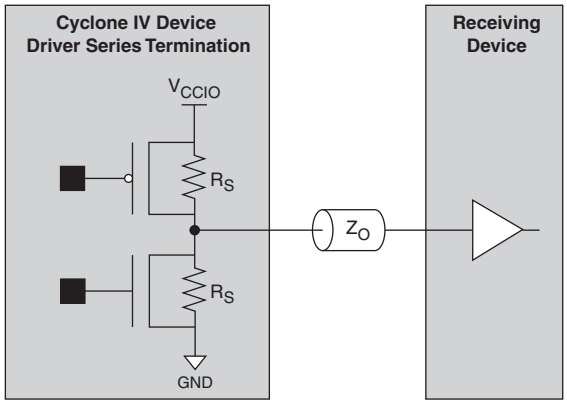
当校准已完成或没有运行时， RUP 和 RDN 管脚进入三态状态。这两个管脚是复用的 I/O 却作为普通 I/O 功能，如果您不使用校准电路。

无校准的片上串行匹配电阻

Cyclone IV 器件支持驱动阻抗匹配，通常与传输线上 25 或 50 Ω的阻抗相匹配。当和输出器件一起使用时，OCT 设置输出驱动阻抗到 25 或 50 Ω。Cyclone IV 器件也支持 SSTL-2 和 SSTL-18 的 I/O 驱动串行匹配电阻 （R_S = 50 Ω）。

图 6-4 显示无校准的 OCT 的单端 I/O 标准。R_S 显示内在晶体管阻抗。

图 6-4. Cyclone IV 器件无校准的 R_S OCT



所有 I/O 块和 I/O 管脚支持阻抗匹配和串行匹配。专有配置的管脚和 JTAG 管脚不支持阻抗匹配和串行匹配。

R_S OCT 支持任何 I/O 块。V_{CCIO} 和 V_{REF} 必须兼容所有的 I/O 管脚，以便在一个给定的 I/O 块中使能 R_S OCT。支持不同 R_S 值的 I/O 标准可以存储于相同的 I/O 块中，只要 V_{CCIO} 和 V_{REF} 不相冲突。

使用输出驱动器的能力来实现阻抗匹配，它会受到一定程度的变化，这取决于工艺，电压和温度的变化。

要了解关于容限范围的详细信息，请参阅 *Cyclone IV Device Datasheet* 章节。

I/O 标准

Cyclone IV 器件支持多个单端和差分 I/O 标准。Cyclone IV 器件支持 3.3-、3.0-、2.5-、1.8-、1.5- 和 1.2-V 的 I/O 标准。

表 6-3 总结了由 Cyclone IV 器件支持的 I/O 标准和所支持的 I/O 管脚。

表 6-3. Cyclone IV 器件支持 I/O 标准和限制 (Part 1 of 3)

I/O 标准	类型	标准支持	V_{CCIO} 电平 (in V)		I/O 管脚列			I/O 管脚行 *(1)*	
			输入	输出	CLK, DQS	PLL_OUT	用户 I/O 管脚	CLK, DQS	用户 I/O 管脚
3.3-V LVTTL, 3.3-V LVCMOS *(2)*	单端	JESD8-B	3.3/3.0/2.5 *(3)*	3.3	✓	✓	✓	✓	✓
3.0-V LVTTL, 3.0-V LVCMOS *(2)*	单端	JESD8-B	3.3/3.0/2.5 *(3)*	3.0	✓	✓	✓	✓	✓
2.5-V LVTTL / LVCMOS	单端	JESD8-5	3.3/3.0/2.5 *(3)*	2.5	✓	✓	✓	✓	✓
1.8-V LVTTL / LVCMOS	单端	JESD8-7	1.8/1.5 *(3)*	1.8	✓	✓	✓	✓	✓

表 6-3. Cyclone IV 器件支持 I/O 标准和限制 (Part 2 of 3)

I/O 标准	类型	标准支持	V_{CCIO} 电平 (in V)		I/O 管脚列			I/O 管脚行 (1)	
			输入	输出	CLK, DQS	PLL_OUT	用户 I/O 管脚	CLK, DQS	用户 I/O 管脚
1.5-V LVCMOS	单端	JESD8-11	1.8/1.5 (3)	1.5	✓	✓	✓	✓	✓
1.2-V LVCMOS (4)	单端 d	JESD8-12A	1.2	1.2	✓	✓	✓	✓	✓
SSTL-2 Class I, SSTL-2 Class II	电压参考	JESD8-9A	2.5	2.5	✓	✓	✓	✓	✓
SSTL-18 Class I, SSTL-18 Class II	电压参考	JESD815	1.8	1.8	✓	✓	✓	✓	✓
HSTL-18 Class I, HSTL-18 Class II	电压参考	JESD8-6	1.8	1.8	✓	✓	✓	✓	✓
HSTL-15 Class I, HSTL-15 Class II	电压参考	JESD8-6	1.5	1.5	✓	✓	✓	✓	✓
HSTL-12 Class I	电压参考	JESD8-16A	1.2	1.2	✓	✓	✓	✓	✓
HSTL-12 Class II (9)	电压参考	JESD8-16A	1.2	1.2	✓	✓	✓	—	—
PCI 和 PCI-X	单端	—	3.0	3.0	✓	✓	✓	✓	✓
差分 SSTL-2 Class I 或 Class II	差分 (5)	JESD8-9A	—	2.5	—	✓	—	—	—
			2.5	—	✓	—	—	✓	—
差分SSTL-18 Class I 或 Class II	差分 (5)	JESD815	—	1.8	—	✓	—	—	—
			1.8	—	✓	—	—	✓	—
差分HSTL-18 Class I 或 Class II	差分 (5)	JESD8-6	—	1.8	—	✓	—	—	—
			1.8	—	✓	—	—	✓	—
差分HSTL-15 Class I 或 Class II	差分 (5)	JESD8-6	—	1.5	—	✓	—	—	—
			1.5	—	✓	—	—	✓	—
差分HSTL-12 Class I 或 Class II	差分 (5)	JESD8-16A	—	1.2	—	✓	—	—	—
			1.2	—	✓	—	—	✓	—
PPDS (6)	差分	—	—	2.5	—	✓	✓	—	✓
LVDS (10)	差分	ANSI/TIA/EIA-644	2.5	2.5	✓	✓	✓	✓	✓
RSDS 和 mini-LVDS (6)	差分	—	—	2.5	—	✓	✓	—	✓
BLVDS (8)	差分	—	2.5	2.5	—	—	✓	—	✓

表 6-3. Cyclone IV 器件支持 I/O 标准和限制 (Part 3 of 3)

I/O 标准	类型	标准支持	V_{CCIO} 电平 (in V)		I/O 管脚列			I/O 管脚行 (1)	
			输入	输出	CLK, DQS	PLL_OUT	用户 I/O 管脚	CLK, DQS	用户 I/O 管脚
LVPECL (7)	差分	—	2.5	—	✓	—	—	✓	—

表 6-3 注释：

(1) Cyclone IV GX 器件仅支持右边的 I/O 管脚。

(2) 必须使能 3.3-V/3.0-V LVTTL/LVCMOS 的 PCI-clamp 二极管。

(3) Cyclone IV 体系结构支持 MultiVolt I/O 接口功能，以实现所有封装的 Cyclone IV 器件与不同供电电压的 I/O 系统接口。

(4) Cyclone IV GX 器件不支持块 3 和块 9 中的 1.2-V V_{CCIO}。在块 9 中的 I/O 管脚为复用 I/O 管脚，用于配置或 GPIO 管脚。配置方案不支持于 1.2 V，因此块 9 不可能在 1.2-V V_{CCIO} 中上电。

(5) 差分 HSTL 和 SSTL 输出使用两个单端输出，其中第二个输出编程为反转输出。差分 HSTL 和 SSTL 输入把差分输入当作两个单端 HSTL 和 SSTL 输入，并仅对其中之一进行解码。差分 HSTL 和 SSTL 仅支持 CLK 管脚。

(6) PPDS、mini-LVDS 和 RSDS 都仅支持输出管脚。

(7) LVPECL 仅支持时钟输入。

(8) 总线 LVDS(BLVDS) 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用 LVDS 输入缓冲器。

(9) 1.2-V HSTL 支持 I/O 的列和行，无论是 Class I 或 Class II。

(10) 真 LVDS、RSDS 和 mini-LVDS I/O 标准都支持右边的 I/O 管脚，而伪 LVDS、RSDS 和 mini-LVDS I/O 标准都支持顶部，底部和右边的 I/O 管脚。

Cyclone IV 器件在 3.0-V V_{CCIO} 中支持 PCI 和 PCI-X I/O 标准。3.0-V PCI 和 PCI-X I/O 与 3.3-V PCI 系统对于直接接口是完全兼容的，无需任何额外的组件。3.0-V PCI 和 PCI-X 的输出满足 3.3-V PCI 和 PCI-X 输入的 V_{IH} 和 V_{IL} 的需要在足够的噪声容限内。

要了解关于 3.3/3.0/2.5-V LVTTL & LVCMOS multivolt I/O 支持的详细信息，请参考 *AN 447: Interfacing Cyclone III and Cyclone IV Devices with 3.3/3.0/2.5-V LVTTL/LVCMOS I/O Systems*。

I/O 标准的匹配方案

这一部分介绍了电压参考和差分 I/O 标准所推荐的匹配方案。

3.3-V LVTTL、3.0-V LVTTL 和 LVCMOS、2.5-V LVTTL 和 LVCMOS、1.8-V LVTTL 和 LVCMOS、1.5-V LVCMOS、1.2-V LVCMOS、3.0-V PCI 和 PCI-X I/O 标准没有对每个 JEDEC 标准指定一个推荐的匹配方案。

电压参考 I/O 标准匹配

电压参考 I/O 标准需要一个输入参考电压 (V_{REF}) 和一个匹配电压 (V_{TT})。接收器件的参考电压跟踪发送器件的匹配电压，如图 6-5 和图 6-6 所示。

图 6-5. Cyclone IV 器件 HSTL I/O 标准的匹配

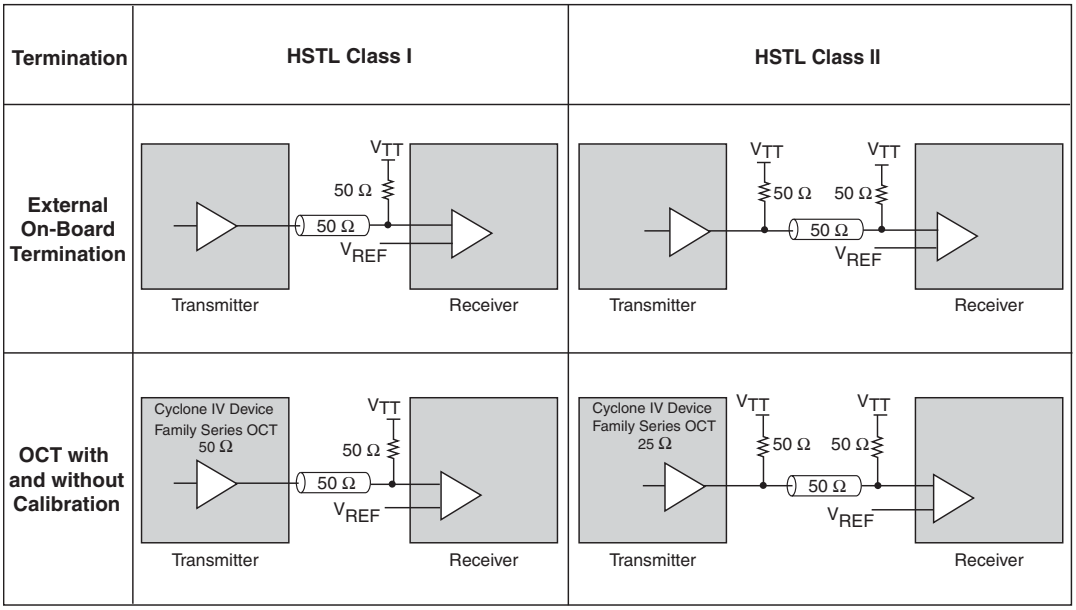
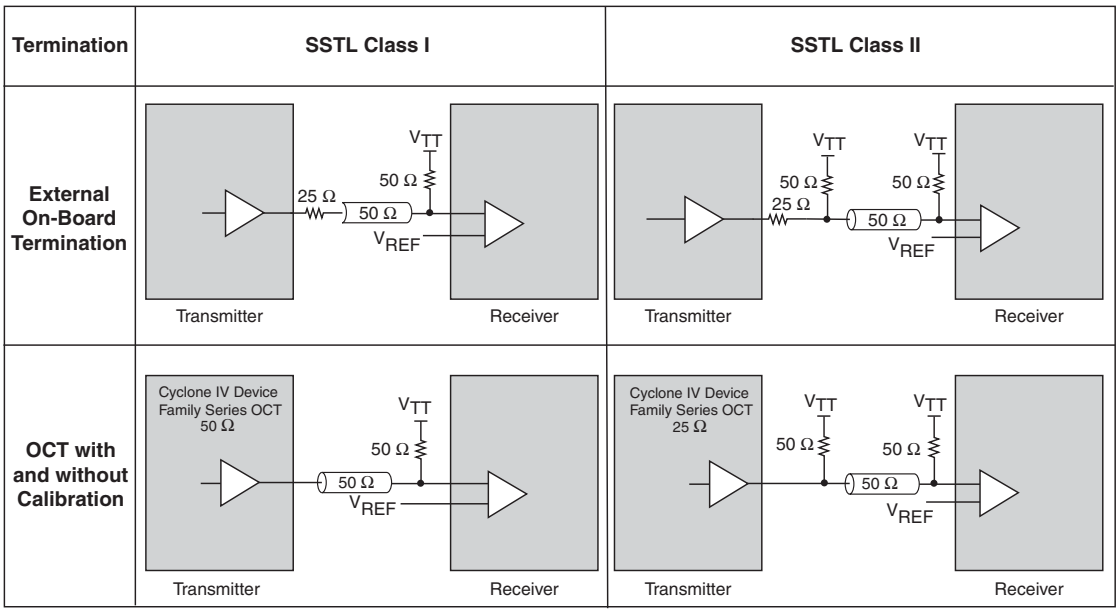


图 6-6. Cyclone IV 器件 SSTL I/O 标准的匹配



差分 I/O 标准匹配

差分 I/O 标准通常在接收器的两个信号之间需要一个匹配电阻器。此匹配电阻器必须与总线的差分负载抗阻相匹配（请参考图 6-7 和图 6-8）。

Cyclone IV 器件支持差分 SSTL-2 和 SSTL-18，差分 HSTL-18、HSTL-15 和 HSTL-12、PPDS、LVDS、RSDS、mini-LVDS 和差分 LVPECL。

图 6-7. Cyclone IV 器件差分 HSTL I/O 标准 Class I 和 Class II 的接口和匹配

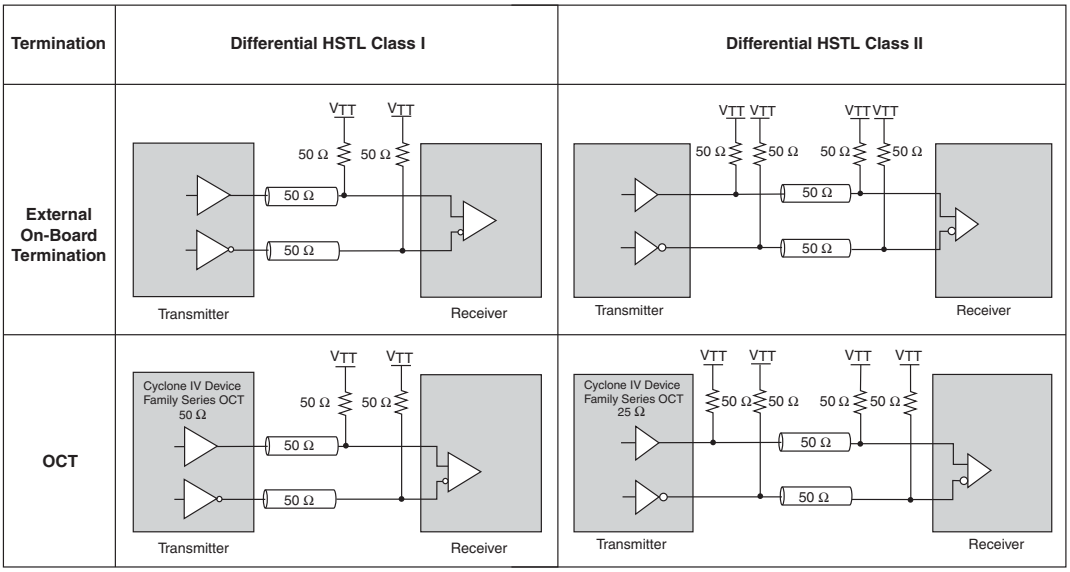


图 6-8. Cyclone IV 器件差分 SSTL I/O 标准 Class I 和 Class II 的接口和匹配 *(1)*

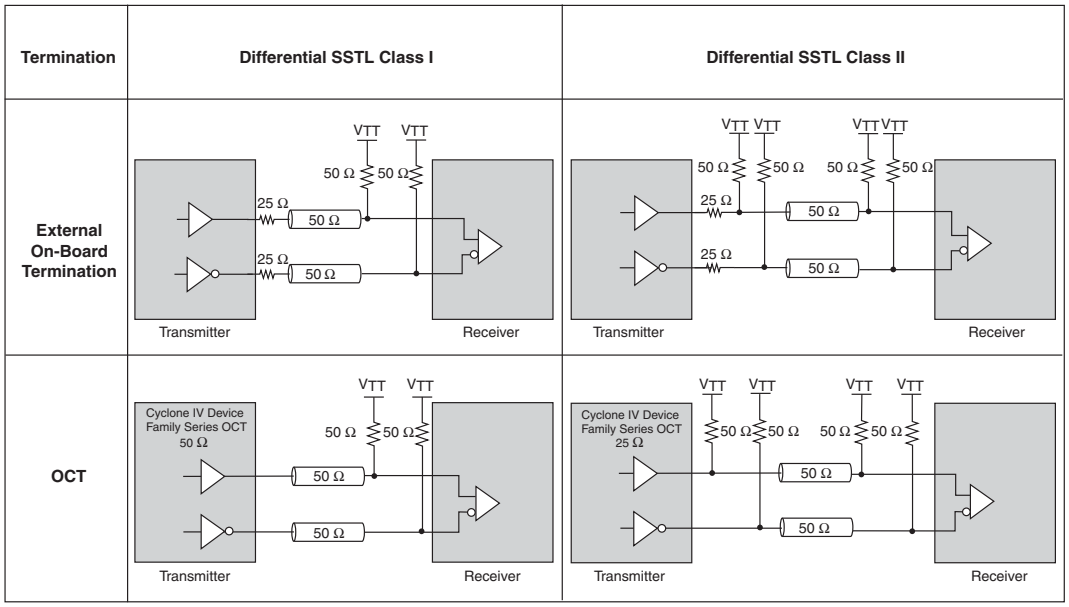


图 6-8 注释：

(1) 只有差分 SSTL-2 I/O 标准支持 Class II 的输出。

I/O 块

Cyclone IV 器件的 I/O 管脚组合成 I/O 块。每个 I/O 块都有一个独立的电源总线。

Cyclone IV E 器件有八个 I/O 块，如图 6-9 所示。每个器件 I/O 管脚与一个 I/O 块相关。支持所有 I/O 块中的单端 I/O 标准，除了 HSTL-12 Class II 仅支持 I/O 块列以外。支持所有 I/O 块中的差分 I/O 标准。唯一的例外是 HSTL-12 Class II，它仅支持 I/O 块列。

Cyclone IV GX 器件有多达 10 个 I/O 块和两个配置块，如第 6-18 页图 6-10 和第 6-19 页图 6-11 所示。Cyclone IV GX 配置 I/O 块包含三个用户 I/O 管脚，它们在没有被用于配置模式时可作为普通用户 I/O 管脚。每个器件 I/O 管脚与一个 I/O 块相关。支持所有的单端 I/O 标准，除了 HSTL-12 Class II 仅支持 I/O 块列以外。支持所有在顶部、底部和右边的 I/O 块中的差分 I/O 标准，唯一的例外是 HSTL-12 Class II，它仅支持 I/O 块列。

Cyclone IV GX 器件的整个左侧包含用于高速串行接口应用的专用高速收发器模块。对 Cyclone IV GX 器件共有 2、4 和 8 的收发器通道，这取决于器件的密度和封装。要了解关于支持的收发器通道的详细信息，请参考第 6-18 页图 6-10 和第 6-19 页图 6-11。

图 6-9 显示了 Cyclone IV E I/O 块的概述。

图 6-9. Cyclone IV E I/O 块 *(1)*, *(2)*

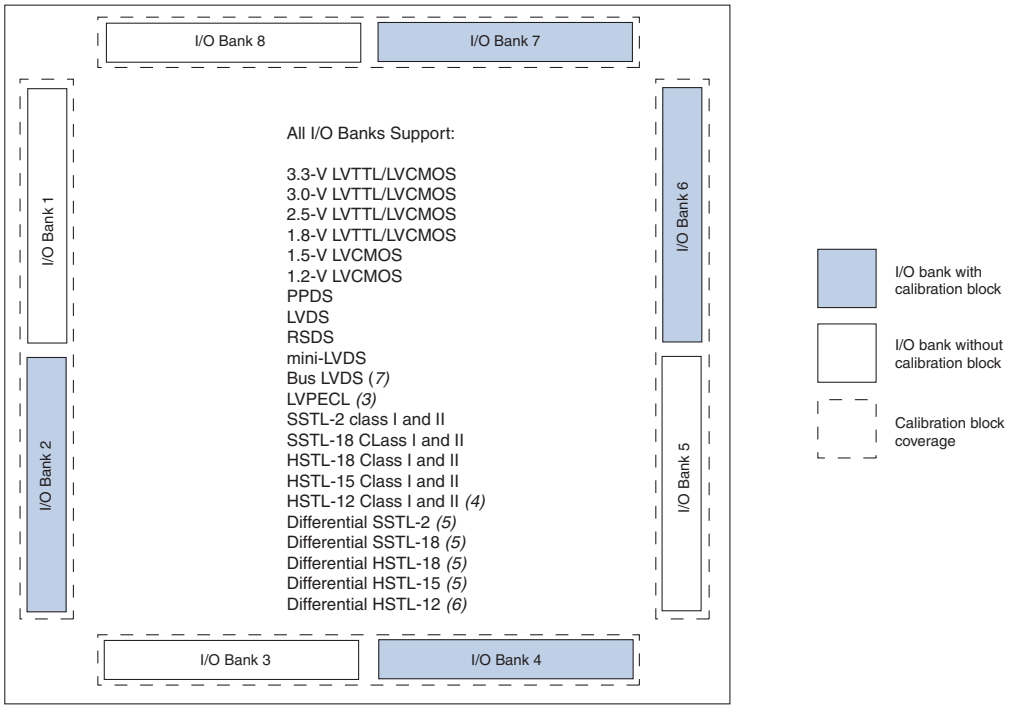


图 6-9 注释：

(1) 这是硅芯片的顶层视图。这仅仅是一个图形化的表示。对于精确的管脚位置，请参考管脚列表和 Quartus II 软件。

(2) 仅支持 I/O 块行 1、2、5 和 6 中的真差分 （PPDS、LVDS、mini-LVDS 和 RSDS I/O 标准）输出。I/O 块列中的差分输出需要外部电阻器。

(3) LVPECL I/O 标准仅支持时钟输入管脚。此 I/O 标准不支持输出管脚。

(4) 支持 I/O 块列 3、4、7 和 8 中的 HSTL-12 Class II。

(5) 差分 SSTL-18 和 SSTL-2、差分 HSTL-18 和 HSTL-15 I/O 标准，仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚。差分 SSTL-18、差分 HSTL-18 和 HSTL-15 I/O 标准不支持 Class II 输出。

(6) 仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚的差分 HSTL-12 I/O 标准。仅支持 I/O 块列 3、4、7 和 8 中的差分 HSTL-12 Class II。

(7) BLVDS 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用真 LVDS 输入缓冲器。

图 6-10 和图 6-11 显示了 Cyclone IV GX I/O 块的概述。

图 6-10. Cyclone IV GX I/O 块的 EP4CGX15、EP4CGX22 和 EP4CGX30 *(1)*, *(2)*, *(9)*

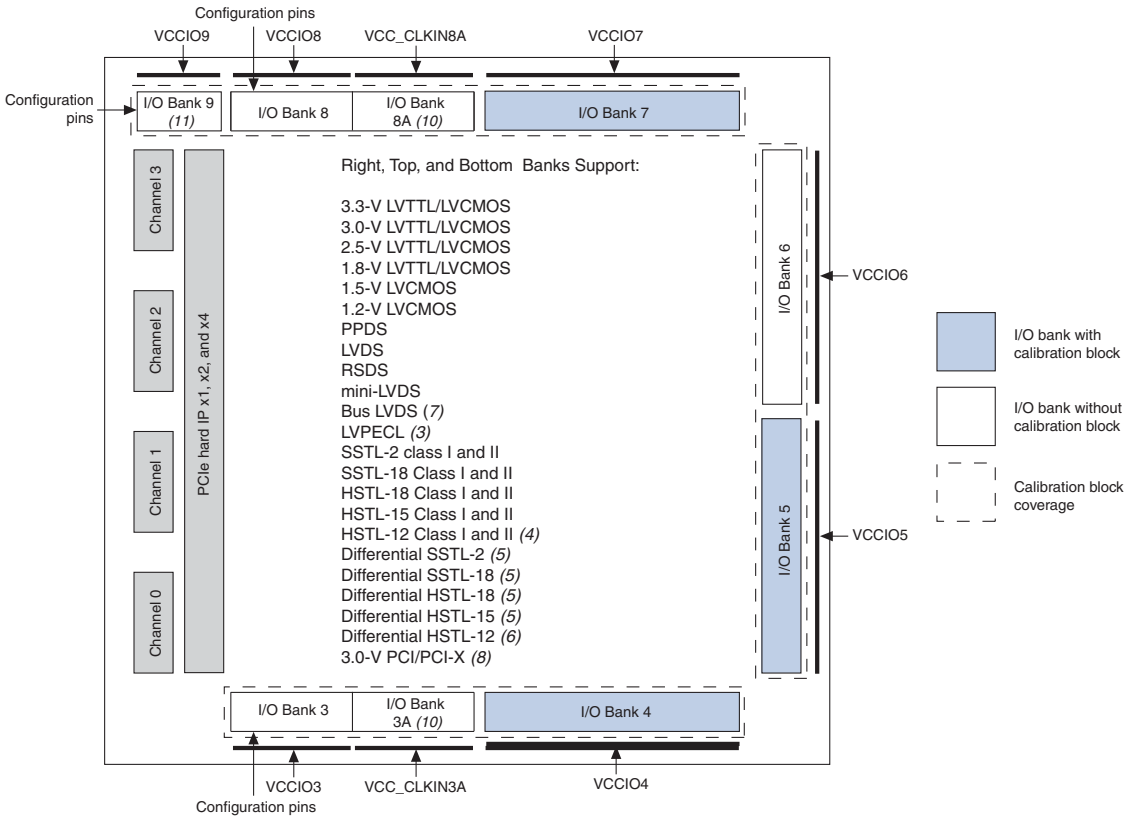


图 6-10 注释：

(1) 这是硅芯片的顶层视图。对于精确的管脚位置，请参考管脚列表和 Quartus II 软件。通道 2 和 3 不可用于 EP4CGX22 和 P4CGX30 器件的 EP4CGX15 和 F169 封装类型。

(2) 仅支持 I/O 块行 5 和 6 中的真差分 （PPDS、LVDS、mini-LVDS 和 RSDS I/O 标准）输出。I/O 块列中的差分输出需要外部电阻器。

(3) LVPECL I/O 标准仅支持时钟输入管脚。此 I/O 标准不支持输出管脚。

(4) 支持 I/O 块列 4、7 和 8 中的 HSTL-12 Class II。

(5) 差分 SSTL-18 和 SSTL-2、差分 HSTL-18 和 HSTL-15 I/O 标准，仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚。锁相环 (PLL) 输出时钟管脚不支持差分 SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 I/O 标准的 Class II 接口类型。

(6) 仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚的差分 HSTL-12 I/O 标准。仅支持 I/O 块列 4、7 和 8 中的差分 HSTL-12 Class II。

(7) BLVDS 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用 LVDS 输入缓冲器。

(8) PCI-X I/O 标准不符合线性区的 IV 曲线的要求。

(9) OCT 模块位于荫蔽块 4、5 和 7 中。

(10) 两个专用的时钟输入 I/O 块 （I/O 块 3A 和 I/O 块 8A）可用于高速串行接口 (HSSI) 输入参考时钟管脚或时钟输入管脚。

(11) 在 I/O 块 9 中有复用 I/O 管脚。如果这些复用 I/O 管脚在用户模式中使用 VREF I/O 标准的输入管脚，那么他们在块 8 中共享 VREF 管脚。这些块 9 中的用于用户模式中的复用 IO 管脚也支持无校准的 R_S OCT，并且他们共享块 8 中的 OCT 模块。

图 6-11. Cyclone IV GX I/O 块的 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 *(1)*, *(2)*, *(9)*

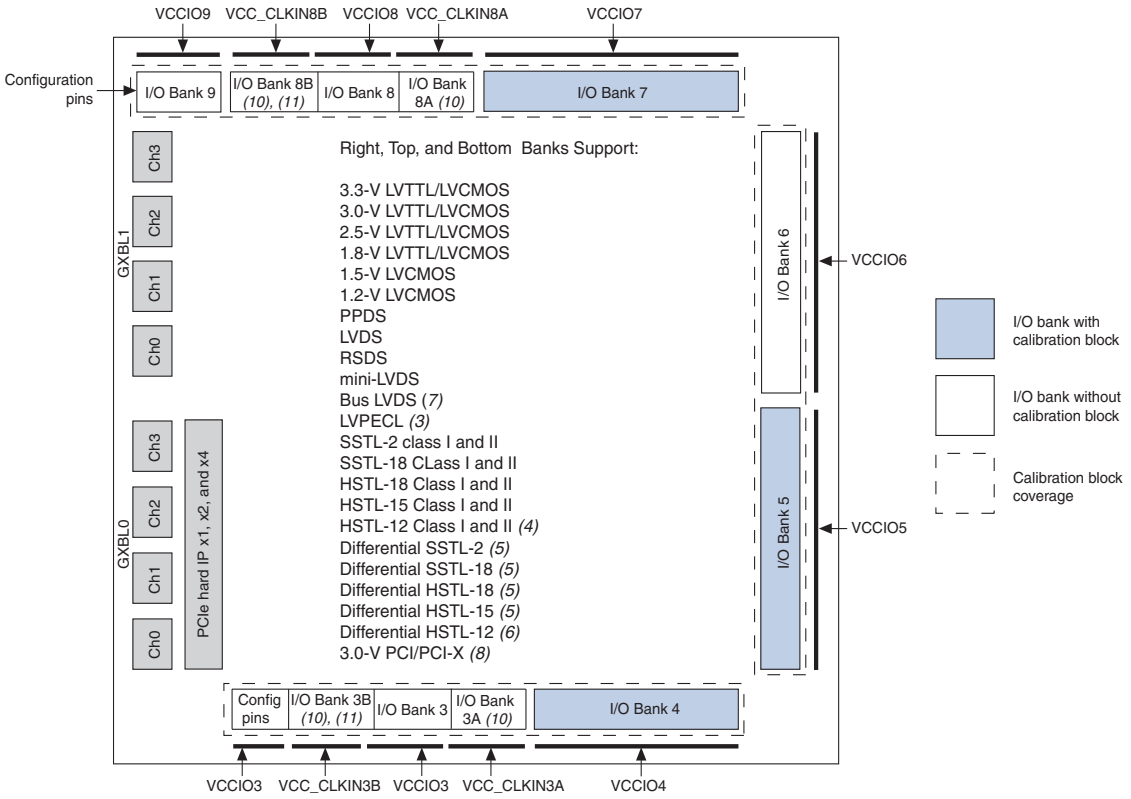


图 6-11 注释：

(1) 这是硅芯片的顶层视图。对于精确的管脚位置，请参考管脚列表和 Quartus II 软件。

(2) 仅支持 I/O 块行 5 和 6 中的真差分 （PPDS、LVDS、mini-LVDS 和 RSDS I/O 标准）输出。I/O 块列中的差分输出需要外部电阻器。

(3) LVPECL I/O 标准仅支持时钟输入管脚。此 I/O 标准不支持输出管脚。

(4) 支持 I/O 块 4、7 和 8 中的 HSTL-12 Class II。

(5) 差分 SSTL-18 和 SSTL-2、差分 HSTL-18 和 HSTL-15 I/O 标准，仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚中受到支持。锁相环 (PLL) 输出时钟管脚不支持差分 SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 I/O 标准的 Class II 接口类型。

(6) 仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚的差分 HSTL-12 I/O 标准。仅支持 I/O 块列 4、7 和 8 中的差分 HSTL-12 Class II。

(7) BLVDS 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用 LVDS 输入缓冲器。

(8) PCI-X I/O 标准不符合线性区的 IV 曲线的要求。

(9) OCT 模块位于荫蔽块 4、5 和 7 中。

(10) 专用的时钟输入 I/O 块 3A、3B、8A 和 8B 可用于 HSSI 输入参考时钟管脚或时钟输入管脚。

(11) 单端时钟输入支持，可用于专用时钟输入的 I/O 块 3B 和 8B。

每个 Cyclone IV I/O 块有一个 VREF 总线，以适应电压参考 I/O 标准。每个 VREF 管脚是其 V_{REF} 组的参考源。如果您使用一个 V_{REF} 组于电压参考 I/O 标准，连接这个组中的 VREF 管脚到相应的电压电平。如果您使用 I/O 块中所有的 V_{REF} 组于电压参考 I/O 标准，您可以在未使用的电压参考组中使用 VREF 管脚作为 I/O 管脚。例如，如果您在 I/O 块 1 中有 SSTL-2 Class I 输入管脚并且它们全部放置在 VREFB1N[0] 组，VREFB1N[0] 组必须要有 1.25 V 的供电，剩余的 VREFB1N[1..3] 管脚（如果有的情况下）被用作 I/O 管脚。如果多个 V_{REF} 组被用在同一个 I/O 块中，那么 VREF 管脚必须全部使用相同的电压电平，这是因为 VREF 管脚被短接在同一个 I/O 块中。

当 VREF 管脚作为普通的 I/O 使用时，它们有高于普通用户 I/O 管脚的电容。这对时间有影响，如果管脚用作输入和输出。

要了解关于 VREF 管脚电容的详细信息，请参阅 *Cyclone IV Device Datasheet* 章节中的管脚电容部分。

有关如何判断 V_{REF} 组的信息，请参考 Cyclone IV **Device Pin-Out** 文件或 **Quartus II Pin Planner** 工具。

表 6-4 和表 6-5 总结了在 Cyclone IV 器件系列中每个 I/O 块中的 VREF 管脚数量。

表 6-4. 在 Cyclone IV E 器件中每个 I/O 块中的 VREF 管脚数量

器件	EP4CE6			EP4CE10			EP4CE15					EP4CE22			EP4CE30		EP4CE40			EP4CE55			EP4CE75			EP4CE115	
I/O 块 *(1)*	144 - EQPF	256 - UBGA	256 - FBGA	144 - EQPF	256 - UBGA	256 - FBGA	144 - EQPF	164 - MBGA	256 - UBGA	256 - FBGA	484 - FBGA	144 - EQPF	256 - UBGA	256 - FBGA	484 - FBGA	780 - FBGA	484 - UBGA	484 - FBGA	780 - FBGA	484 - UBGA	484 - FBGA	780 - FBGA	484 - UBGA	484 - FBGA	780 - FBGA	484 - FBGA	780 - FBGA
1	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
2	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
3	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
4	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
5	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
6	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
7	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
8	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3

表 6-4 注释：

(1) 用户 I/O 管脚用作输入和输出；时钟输入管脚仅用于输入，时钟输出管脚仅用于输出。

表 6-5. 在 Cyclone IV GX 器件中每个 I/O 块中的 VREF 管脚数量

器件	4CGX15		4CGX22		4CGX30		4CGX50		4CGX75		4CGX110			4CGX150		
I/O 块 *(1)*	148 – QFN	169 – FBGA	169 – FBGA	324 – FBGA	169 – FBGA	324 – FBGA	484 – FBGA	672 – FBGA	484 – FBGA	672 – FBGA	484 – FBGA	672 – FBGA	896 – FBGA	484 – FBGA	672 – FBGA	896 – FBGA
3	1		1		1		3		3		3			3		
4	1		1		1		3		3		3			3		
5	1		1		1		3		3		3			3		
6	1		1		1		3		3		3			3		
7	1		1		1		3		3		3			3		
8 *(2)*	1		1		1		3		3		3			3		

表 6-5 注释：

(1) 用户 I/O 管脚用作输入和输出；时钟输入管脚仅用于输入，时钟输出管脚仅用于输出。

(2) 块 9 中没有 VREF 管脚。如果在块 9 的用户模式中使用 VREF I/O 标准的输入管脚，那么它与块 8 共享 VREF 管脚。

每个 Cyclone IV I/O 块有其自身的 VCCIO 管脚。每个 I/O 块仅可以支持 1.2、1.5、1.8、3.0 和 3.3 V 当中的一种 V_{CCIO} 设置。任何支持的单端或差分标准数量可以同时支持在一个单一的 I/O 块，只要他们的输入和输出管脚使用相同的 V_{CCIO} 电平。

当设计 LVTTL/LVCMOS 输入与 Cyclone IV 器件时，请参考以下准则：

- 所有管脚接受输入电压 (V_I) 到最高范围 (3.6 V)，正如提供在 *Cyclone IV Device Datasheet* 章节中所说明的推荐操作条件。
- 只要输入电平高于 V_{CCIO} 块时，预期会有更高的泄漏电流。
- LVTTL/LVCMOS I/O 标准输入管脚只能满足 V_{IH} 和 V_{IL} 电平根据块电压电平。

支持 I/O 块中使用任何数量的单端或差分标准的电压参考标准，只要他们使用相同的 V_{REF} 和 V_{CCIO} 值。例如，如果您选择在您的 Cyclone IV 器件中实现 SSTL-2 和 SSTL-18，I/O 管脚使用这些标准 — 由于他们需要不同的 V_{REF} 值 — 必须来自彼此不同的块中。然而，相同的 I/O 块可以支持 SSTL-2 和 2.5-V LVCMOS，与 V_{CCIO} 设置为 2.5 V 和 V_{REF} 设置为 1.25 V 时。

当使用Cyclone IV器件作为在3.3-、3.0-或者2.5-V LVTTL/LVCMOS 系统的一个接收器时，您负责管理上冲或下冲以留在绝对最大额定值和推荐的操作条件，提供在 *Cyclone IV Device Datasheet* 章节。

PCI钳位二极管在Quartus II软件中为输入信号与在2.5、3.0或3.3 V的块V_{CCIO}默认为使能状态。

高速差分接口

Cyclone IV 器件通过 LVDS 信号可以发送与接收数据。对于 LVDS 发送器和接收器，Cyclone IV 器件的输入与输出管脚通过内部逻辑支持串因子和解串因子。

BLVDS 延伸了 LVDS 的优势来做多点运用，例如双向的背板运用。负载效应和匹配总线两端的多点运用需要 BLVDS 比 LVDS 驱动更高的电流以生成一个可比较的电压摆幅。所有 Cyclone IV 器件的 I/O 块支持用户 I/O 管脚的 BLVDS。

RSDS 和 mini-LVDS 标准是 LVDS 标准的衍生物。RSDS 和 mini-LVDS I/O 校准与 LVDS 的电气特征相类似，但有一个更小的电压摆幅，因此提供了增加功耗上的优势以及减少电磁干涉 (EMI)。

PPDS 标准是 RSDS 标准的下一代，由美国国家半导体公司 （National Semiconductor Corporation）推出。Cyclone IV 器件符合美国国家半导体公司 PPDS 接口规范和仅支持 PPDS 标准的输出。Cyclone IV 器件的所有 I/O 块仅支持 PPDS 标准的输出管脚。

LVDS 标准不需要一个输入参考电压，但它在输入缓冲器的两个信号之间需要一个 100-Ω 的匹配电阻。在发送端的顶部和底部的 I/O 块上需要一个外部电阻网络。

外部存储器接口

Cyclone IV 器件支持的 I/O 标准要求与广泛的外部存储器接口相连接，例如 DDR SDRAM、DDR2 SDRAM 和 QDR II SRAM。

要了解关于 Cyclone IV 器件外部存储器接口支持的详细信息，请参阅 *External Memory Interfaces in Cyclone IV Devices* 章节。

垫布局和直流指南

您可以使用 Quartus II 软件来验证您的垫布局和管脚布局。

垫布局

Altera 建议您创建一个 Quartus II 设计，输入您的器件 I/O 约束以及编译您的设计以验证您的管脚布局。Quartus II 软件检查有关 I/O 约束和布局规则的管脚连接，以确保正确的器件操作。这些规则取决于设备密度、封装、I/O 约束、电压约束和那些不完全在本章节描述的其他因素。

要了解关于 Quartus II 软件如何检查 I/O 限定的详细信息，请参阅 *Quartus II* 手册第 2 卷中的 *I/O Management* 章节。

直流指南

Quartus II 软件根据 DC 指南自动检查违反置位的垫，在 **Electromigration Current** 任务栏上设置各个输出管脚的 DC 电流接收或源值连接到外部电阻负载。

可编程电流强度设置对 DC 电流量的影响在于输出管脚可以为源管脚或者接收管脚。确定电流强度设置在输出管脚上有足够的外部电阻负载条件。

时钟管脚功能

Cyclone IV 时钟管脚有多种用途，如列表为：

- CLK 管脚 — 输入支持单端和电压参考标准。对于 I/O 标准的支持，请参考第 6-11 页表 6-3。
- DIFFCLK管脚—输入支持差分标准。对于I/O标准的支持，请参考第6-11页表 6-3。当作为 DIFFCLK 管脚时，直流 （DC）或交流 （AC）耦合可以使用，这取决于接口的要求和需要的外部匹配。要了解详细信息，请参考 “ “ 高速 I/O 标准支持 ” 第 6-27 页 ” （第 27 页）。
- REFCLK 管脚 — 输入支持用于 Cyclone IV GX 器件的收发器的高速差分参考时钟。对于 I/O 支持，耦合和匹配要求，请参考第 6-28 页表 6-10。

高速 I/O 接口

Cyclone IV E I/O 被分成 8 个 I/O 块，如第 6-17 页图 6-9 所示。Cyclone IV GX I/O 被分成 6 个用户 I/O 块，其中左侧的器件作为收发器模块，如第 6-18 页图 6-10 所示。每个块有一个独立的电源供电。真输出在右边的 I/O 块中驱动 LVDS、RSDS、mini-LVDS 和 PPDS。在 Cyclone IV E 的 I/O 块行和 Cyclone IV GX 的右侧的 I/O 块中，真输出驱动的一些差分管脚 (p and n pins) 不位于相邻的管脚上。在这种情况下，一个电源管脚位于管脚 p 和 n 之间。这些 I/O 标准也支持所有的 I/O 块使用两个单端输出，其中第二个输出编程为反转输出，以及一个外部电阻网络。这些 I/O 标准的真输入缓冲器支持顶部，底部和右边的 I/O 块，除了 I/O 块 9 以外。

表 6-6 和表 6-7 总结了在 Cyclone IV 器件系列中 I/O 块支持的 I/O 标准。

表 6-6. 在 Cyclone IV E I/O 块中支持差分 I/O 标准

差分 I/O 标准	I/O 块位置	发送器的外部电阻网络	发送 (TX)	接收 (RX)
LVDS	1, 2, 5, 6	不需要	✓	✓
	所有	三个电阻		
RSDS	1, 2, 5, 6	不需要	✓	—
	3, 4, 7, 8	三个电阻		
	所有	单个电阻		
mini-LVDS	1, 2, 5, 6	不需要	✓	—
	所有	三个电阻		
PPDS	1, 2, 5, 6	不需要	✓	—
	所有	三个电阻		
BLVDS *(1)*	所有	单个电阻	✓	✓
LVPECL *(2)*	所有	—	—	✓
差分 SSTL-2 *(3)*	所有	—	✓	✓
差分 SSTL-18 *(3)*	所有	—	✓	✓
差分 HSTL-18 *(3)*	所有	—	✓	✓
差分 HSTL-15 *(3)*	所有	—	✓	✓
差分 HSTL-12 *(3)*, *(4)*	所有	—	✓	✓

表 6-6 注释：

(1) 发送器和接收器的 f_{MAX} 取决于系统拓扑和性能要求。

(2) LVPECL I/O 标准仅支持专用时钟输入管脚。

(3) 差分 SSTL-2、SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 I/O 标准仅支持时钟输入管脚和锁相环 （PLL）输出时钟管脚，锁相环（PLL）输出时钟管脚不支持差分 SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 的 I/O 标准的 Class II 接口类型。

(4) 差分 HSTL-12 Class II 仅支持 I/O 块列。

表 6-7. 在 Cyclone IV GX I/O 块中支持差分 I/O 标准

差分 I/O 标准	I/O 块标准	发送器的外部电阻网络	发送 (TX)	接收 (RX)
LVDS	5, 6	不需要	✓	✓
	3, 4, 5, 6, 7, 8	三个电阻		
RSDS	5, 6	不需要	✓	—
	3, 4, 7, 8	三个电阻		
	3, 4, 5, 6, 7, 8	单个电阻		
mini-LVDS	5, 6	不需要	✓	—
	3, 4, 5, 6, 7, 8	三个电阻		
PPDS	5, 6	不需要	✓	—
	3, 4, 5, 6, 7, 8	三个电阻		
BLVDS *(1)*	3, 4, 5, 6, 7, 8	单个电阻	✓	✓
LVPECL *(2)*	3, 4, 5, 6, 7, 8	—	—	✓
差分 SSTL-2 *(3)*	3, 4, 5, 6, 7, 8	—	✓	✓
差分 SSTL-18 *(3)*	3, 4, 5, 6, 7, 8	—	✓	✓
差分 HSTL-18 *(3)*	3, 4, 5, 6, 7, 8	—	✓	✓
差分 HSTL-15 *(3)*	3, 4, 5, 6, 7, 8	—	✓	✓
差分 HSTL-12 *(3)*	4, 5, 6, 7, 8	—	✓	✓

表 6-7 注释：

(1) 发送器和接收器的 f_{MAX} 取决于系统拓扑和性能要求。

(2) LVPECL I/O 标准 I/O 标准仅支持专用时钟输入管脚。

(3) 差分 SSTL-2、SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 I/O 标准仅支持时钟输入管脚和锁相环 （PLL）输出时钟管脚，锁相环 （PLL）输出时钟管脚不支持差分 SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 的 I/O 标准的 Class II 接口类型

您可以使用 I/O 管脚和内部逻辑实现 Cyclone IV 器件的高速差分接口。Cyclone IV 器件不包括专用的序列化和反序列化电路。因此，移位寄存器，内部锁相环 （PLL）和 I/O 单元被用于执行串行并行变换器对数据的传入和并行串行变换器对数据的传出。ALTLVDS 宏功能的核心逻辑单元 （LE）在 Quartus II 软件自动构造差分接口数据串行解串器 （SERDES）。

表 6-8 和表 6-9 总结了在 Cyclone IV 器件系列中所支持的行和列差分通道的总数量。

表 6-8. Cyclone IV E I/O 和差分通道数

器件	EP4CE6			EP4CE10			EP4CE15					EP4CE22			EP4CE30		EP4CE40			EP4CE55			EP4CE75			EP4CE115	
差分通道数 *(1)*, *(2)*	144 - EQPF	256 - UBGA	256 - FBGA	144 - EQPF	256 - UBGA	256 - FBGA	144 - EQPF	164 - MBGA	256 - UBGA	256 - FBGA	484 - FBGA	144 - EQPF	256 - UBGA	256 - FBGA	484 - FBGA	780 - FBGA	484 - UBGA	484 - FBGA	780 - FBGA	484 - UBGA	484 - FBGA	780 - FBGA	484 - UBGA	484 - FBGA	780 - FBGA	484 - FBGA	780 - FBGA
用户 I/O *(3)*	91	179	179	91	179	179	81	89	165	165	343	79	153	153	328	532	328	328	532	324	324	374	292	292	426	280	528
用户 I/O 块	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8
LVDS *(4)*, *(6)*	8	23	23	8	23	23	6	8	21	21	67	7	20	20	60	112	60	60	112	62	62	70	54	54	79	50	103
仿真 LVDS *(5)*, *(6)*	13	43	43	13	43	43	12	13	32	32	70	10	32	32	64	112	64	64	112	70	70	90	56	56	99	53	127

表 6-8 注释：

(1) 用户 I/O 管脚用作输入和输出；时钟输入管脚仅用于输入，时钟输出管脚仅用于输出。

(2) 对于差分垫布局指南，请参阅 “ “ 垫布局 ” 第 6-22 页 ” 。

(3) I/O 管脚数包括所有的 GPIO，专用时钟管脚，和双用配置管脚。专用配置管脚不包括在管脚数中。

(4) 真 LVDS 数包括所有的 LVDS I/O 对，差分时钟输入和时钟输出管脚在行 I/O 块 1、2、5 和 6。

(5) 仿真 LVDS 数包括所有的 LVDS I/O 对，差分时钟输入和时钟输出管脚在列 I/O 块 3、4、7 和 8。

(6) LVDS 输入和输出缓冲器共享相同的 p 和 n 管脚。一个 LVDS I/O 通道一次只能作为发送器或者接收器。

表 6-9. Cyclone IV GX I/O，差分和 XCVRs 通道数

器件	4CGX15		4CGX22		4CGX30			4CGX50		4CGX75		4CGX110			4CGX150		
差分通道数 *(1)*, *(2)*	148 – QFN	169 – FBGA	169 – FBGA	324 – FBGA	169 – FBGA	324 – FBGA	484 – FBGA	484 – FBGA	672 – FBGA	484 – FBGA	672 – FBGA	484 – FBGA	672 – FBGA	896 – FBGA	484 – FBGA	672 – FBGA	896 – FBGA
用户 I/O *(3)*	72	72	72	150	72	150	290	290	310	290	310	270	393	475	270	393	475
用户 I/O 块	9 *(4)*	9 *(4)*	9 *(4)*	9 *(4)*	9 *(4)*	9 *(4)*	11 *(5)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*	11 *(5)*, *(6)*
LVDS *(7)*, *(9)*	9	9	9	16	9	16	45	45	51	45	51	38	52	63	38	52	63
仿真 LVDS *(8)*, *(9)*	16	16	16	48	16	48	85	85	89	85	89	82	129	157	82	129	157
XCVRs	2	2	2	4	2	4	4	4	8	4	8	4	8	8	4	8	8

Notes to 表 6-9:

(1) 用户 I/O 管脚用作输入和输出；时钟输入管脚仅用于输入，时钟输出管脚仅用于输出。
(2) 对于差分垫布局指南，请参阅 “ 垫布局 ” 第 6-22 页 ”。
(3) I/O 管脚数包括所有的 GPIO，专用时钟管脚，和双用配置管脚。收发器管脚和专用配置管脚不包括在管脚数中。
(4) HSSI 输入参考时钟包括一个配置 I/O 块和两个专用时钟输入 I/O 块。
(5) HSSI 输入参考时钟包括一个配置 I/O 块和四个专用时钟输入 I/O 块。
(6) 单端时钟输入支持专用时钟输入 I/O 块 3B （管脚 CLKIO20 和 CLKIO22）和 8B （管脚 CLKIO17 和 CLKIO19）。
(7) 真 LVDS 数包括所有的 LVDS I/O 对，差分时钟输入和时钟输出管脚在右边的 I/O 块 5 和 6。
(8) 仿真 LVDS 数包括所有的 LVDS I/O 对，差分时钟输入和时钟输出管脚在列 I/O 块 3、4、7 和 8。
(9) LVDS 输入和输出缓冲器共享相同的 p 和 n 管脚。一个 LVDS I/O 通道一次只能作为发送器或者接收器。

高速 I/O 标准支持

本章节提供有关在 Cyclone IV 器件中支持高速 I/O 标准和 HSSI 输入参考时钟的信息。

支持高速串行接口 （HSSI）的输入参考时钟

Cyclone IV GX 器件对于 GPIO 支持同一 I/O 功能，此外另有新功能即 3A 和 8B 组成双用时钟输入管脚（CLKIN），可用于通用时钟输入功能以及支持高速收发器输入参考时钟（REFCLK）的特性。I/O 块的 3B 和 8B 组成专用 CLKIN 仅专用于收发器输入 REFCLK。

EP4CGX15、EP4CGX22 和 EP4CGX30 器件包括两对位于 I/O 块 3A 和 8A 的 CLKIN/REFCLK 管脚对。I/O 块 3B 和 8B 在 EP4CGX15、EP4CGX22 和 EP4CGX30 器件中不可用。EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件总共有四对位于 I/O 块 3A、3B、8A 和 8B 的 CLKIN/REFCLK 管脚对。I/O 块 3B 和 8B 也可以支持单端时钟输入。要了解关于 CLKIN/REFCLK 管脚位置的详细信息，请参考 第 6-18 页图 6-10 和 第 6-19 页图 6-11。

CLKIN/REFCLK 管脚由专用 $V_{CC_CLKIN3A}$、$V_{CC_CLKIN3B}$、$V_{CC_CLKIN8A}$ 和 $V_{CC_CLKIN8B}$ 供电，并且分别在各自的 I/O 块供电以避免 GPIO 在同一个 I/O 块中不同功率水平的要求。

表 6-10. Cyclone IV GX HSSI REFCLK I/O 标准支持使用 GPIO CLKIN 管脚 *(1)*, *(2)*

I/O 标准	HSSI 协议	耦合	匹配	VCC_CLKIN 水平		I/O 管脚类型		
				输入	输出	列 I/O	行 I/O	支持 I/O 块
LVDS	所有	差分 AC（需要芯片外电阻以恢复 V_{CM}）	芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
LVPECL	所有		芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
1.2V, 1.5V, 3.3V PCML	所有		芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
	所有		芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
	所有		芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
HCSL	PCIe	差分 DC	芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B

表 6-10 注释：

(1) EP4CGX15、EP4CGX22 和 EP4CGX30 器件在 I/O 块 3A 和 8A 有两对为 HSSI 输入参考时钟的专用时钟输入管脚。I/O 块 3B 和 8B 在 EP4CGX15、EP4CGX22 和 EP4CGX30 器件中不可用。

(2) EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件在 I/O 块 3A、3B、8A 和 8B 有四对为 HSSI 输入和单端时钟输入的专用时钟输入管脚。

要了解关于 HSSI 参考时钟的交流耦合匹配方案的详细信息，请参阅 *Cyclone IV Transceivers Architecture* 章节。

支持在 Cyclone IV 器件的 LVDS I/O 标准

LVDS I/O 标准是一种高速，低电压摆幅，低功耗和 GPIO 接口标准。Cyclone IV 器件符合 ANSI/TIA/EIA-644 标准，但有以下例外：

- 最大差分输出电压 (V_{OD}) 提高到 600 mV。ANSI 规范的最大 V_{OD} 为 450 mV。
- 基于不同的频率范围，输入电压范围减少到 1.0 V 至 1.6 V、0.5 V 至 1.85 V，或 0 V 至 1.8 V 的范围。ANSI/TIA/EIA-644 规范支持的输入电压范围为 0 V 至 2.4 V。

对于 LVDS I/O 标准在 Cyclone IV 器件的电气规范，请参阅 *Cyclone IV Device Datasheet* 章节。

与 LVDS 的设计

Cyclone IV I/O 块支持 LVDS I/O 标准。Cyclone IV GX 右边的 I/O 块支持真 LVDS 发送器，然而 Cyclone IV E 左右两边的 I/O 块支持真 LVDS 发送器。在 I/O 块的顶部和底部，仿真 LVDS 发送器支持使用两个单端输出缓冲器和外部电阻。其中一个单端输出缓冲器被编程到相反极性。LVDS 接收器在输入缓冲器的两个信号之间需要一个 100-Ω 的外部匹配电阻。

图 6-12 显示一个点对点的 LVDS 接口使用 Cyclone IV 器件真 LVDS 输出和输入缓冲器。

图 6-12. Cyclone IV 器件 LVDS 接口在右边的 I/O 块的真输出缓冲器

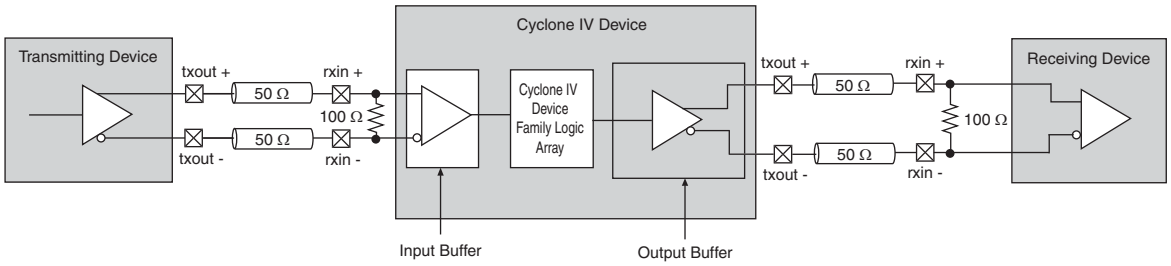


图 6-13 显示一个点对点的 LVDS 接口与 Cyclone IV 器件 LVDS 使用两个单端输出缓冲器和外部电阻。

图 6-13. 在 I/O 块的顶部和底部 LVDS 接口与外部电阻网络 *(1)*

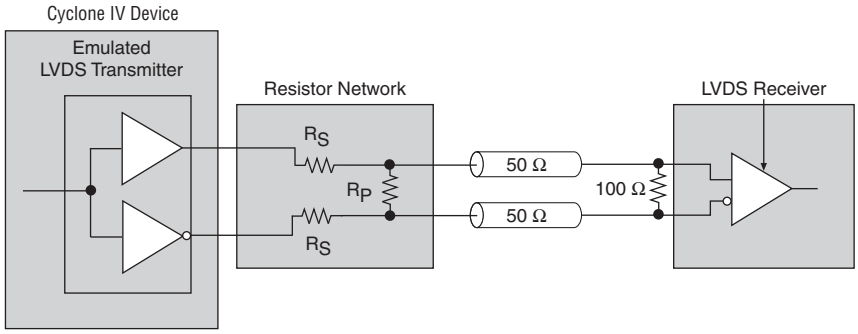


图 6-13 注释：

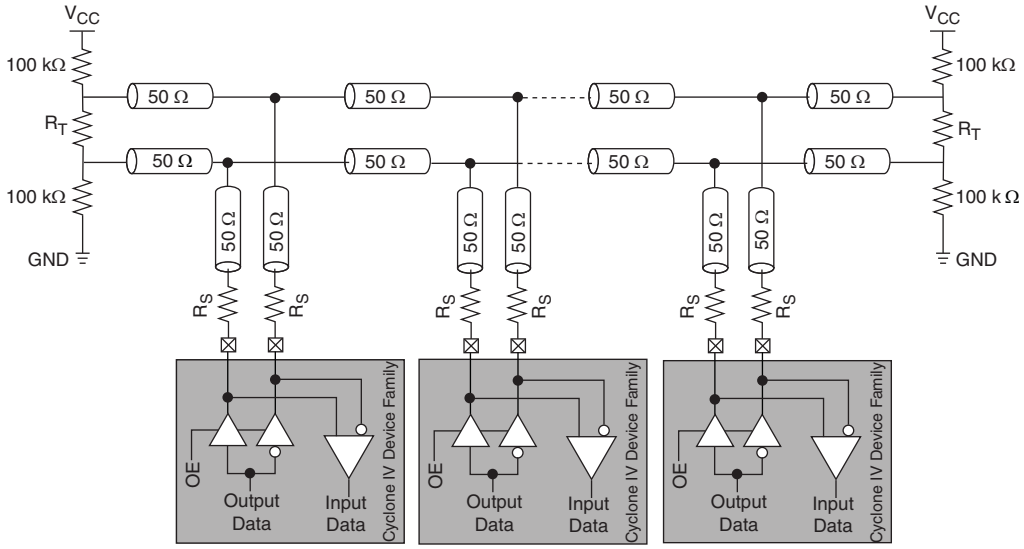
(1) R_S = 120 Ω. R_P = 170 Ω.

支持 Cyclone IV 器件的 BLVDS I/O 标准

BLVDS I/O 标准是一项高速差分数据传输技术，它延伸了标准点对点 LVDS 至支持双向半双工通信的多点配置的优势。BLVDS 不同于标准 LVDS，它提供了更高的驱动以实现在接收器中的类似信号摆幅，同时总线两端的终端加载两个匹配。

图 6-14 显示了一个典型的 BLVDS 拓扑与多个发送器和接收器对。

图 6-14. BLVDS 拓扑与 Cyclone IV 器件的发送器和接收器



BLVDS I/O 标准支持 Cyclone IV 器件顶部，底部和右侧的 I/O 块。BLVDS 发送器使用其中第二个输出缓冲器编程为反转的两个单端输出缓冲器，而 BLVDS 接收器使用一个真 LVDS 输入缓冲器。发送器和接收器共享相同的管脚。一个输出使能 (OE) 信号是用来让输出缓冲呈现三态，在 LVDS 输入缓冲器接收一个信号时。

更多的信息，请参阅 *Cyclone IV Device Datasheet* 章节。

与 BLVDS 的设计

BLVDS 双向通信要求 BLVDS 的总线的两个终端要匹配。匹配电阻 (R_T) 必须符合总线差分阻抗，而这取决于总线上的加载。增加加载，降低总线差分阻抗。当总线的两个终端匹配， 在输入缓冲器的两个信号之间的匹配是不需要的。输出缓冲器需要一个单一的串联电阻 (R_S) 用于输出设备缓冲阻抗与传输线阻抗相匹配。然而，这个串联电阻影响输入缓冲器的电压摆幅。最大数据速率的实现取决于许多因素。

Altera 建议您使用 IBIS 模型执行仿真，同时考虑因素，如总线加载，匹配值以及输出和输入缓冲器在总线上的位置以确保达到所需的性能。

要了解关于 BLVDS 接口对 Altera 器件支持的详细信息，请参阅 *AN 522: Implementing Bus LVDS Interface in Supported Altera Device Families*。

支持 Cyclone IV 器件的 RSDS、Mini-LVDS, 和 PPDS I/O 标准

RSDS、mini-LVDS，和 PPDS I/O 标准用于显示面板上的时间控制器和列驱动器之间的芯片到芯片的应用程序，如液晶显示器 (LCD) 和液晶电视。Cyclone IV 器件符合国家半导体公司的 RSDS 接口规范，德州仪器 (Texas Instruments) mini-LVDS 接口规范以及国家半导体公司的 PPDS 接口规范，分别支持 RSDS、mini-LVDS 和 PPDS 输出标准。

关于 Cyclone IV 器件 RSDS、mini-LVDS 和 PPDS 输出电气规范，请参阅 *Cyclone IV Device Datasheet* 章节。

要了解关于 RSDS I/O 标准的详细信息，请参阅国家半导体公司网页 (www.national.com) 中的 RSDS 规范部分。

与 RSDS、Mini-LVDS 和 PPDS 的设计

Cyclone IV I/O 块支持 RSDS、mini-LVDS 和 PPDS 输出标准。右侧的 I/O 块支持真 RSDS、mini-LVDS 和 PPDS 发送器。在顶部和底部的 I/O 块、RSDS、mini-LVDS 和 PPDS 发送器支持使用外部电阻的两个单端输出缓冲器。这两个单端输出缓冲器编程为极性相反。

图 6-15 显示了一个 RSDS、mini-LVDS 或者 PPDS 与一个真输出缓冲器的接口。

图 6-15. Cyclone IV 器件 RSDS、Mini-LVDS 或者 PPDS 接口与右侧 I/O 块的真输出缓冲器。

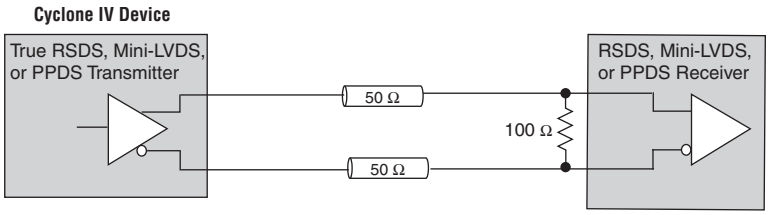


图 6-16 显示了一个 RSDS、mini-LVDS 或者 PPDS 与两个单端输出缓冲器和外部电阻的接口。

图 6-16. RSDS、Mini-LVDS 或者 PPDS 接口与顶部和底部的 I/O 块上的外部电阻网络。 *(1)*

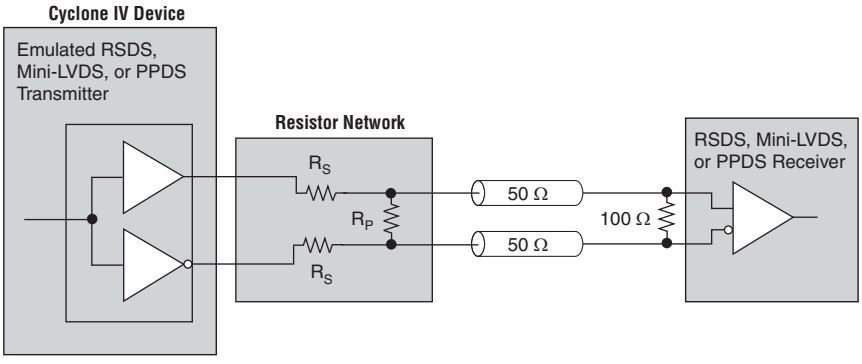


图 6-16. RSDS、Mini-LVDS 或者 PPDS 接口与顶部和底部的 I/O 块上的外部电阻网络。 *(1)*

图 6-16 注释：

(1) R_S 和 R_P 值都有待表征。

当使用仿真发送器时，需要一个电阻网络衰减输出电压摆幅以符合 RSDS、mini-LVDS 和 PPDS 的规范。您可以修改电阻网络值以降低功耗或者改善噪声容限。

所选的电阻值必须满足公式 1。

公式 1. 电阻网络

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50\ \Omega$$

Altera建议您使用Cyclone IV器件IBIS模型执行仿真，以验证自定义电阻值满足RSDS、mini-LVDS 或者 PPDS 的要求。

它可以使用一个单一的外部电阻器，而不是在电阻网络的一个 RSDS 接口使用三个电阻器，如图 6-17 所示。外部单电阻器的解决方案降低外部电阻的数量，同时还实现了 RSDS 所需信号水平。然而，单电阻器的解决方案的性能低于三个电阻网络的性能。

图 6-17 显示了 RSDS 接口与一个在顶部和底部的 I/O 块的单电阻网络。

图 6-17. RSDS 接口与在顶部和底部 I/O 块的单电阻网络 *(1)*

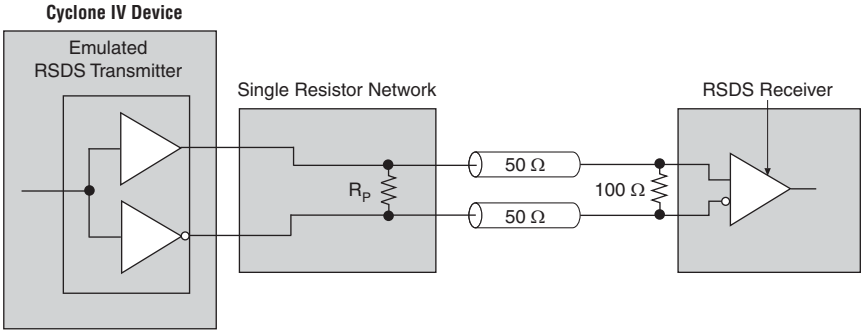


图 6-17 注释：

(1) R_P 值有待表征。

支持 Cyclone IV 器件的 LVPECL I/O

LVPECL I/O 标准是一个差分接口标准，需要一个 2.5-V 的 V_{CCIO}。这一标准的使用涉及视频图形，电信，数据通信以及时钟分配的应用。Cyclone IV 器件仅支持 LVPECL 输入标准在专用时钟输入管脚。LVPECL 接收器在输入缓冲器的两个信号之间需要一个外部的 100-Ω 匹配电阻。

有关 LVPECL I/O 标准的电气规范，请参阅 *Cyclone IV Device Datasheet* 章节。

当输出缓冲器的 LVPECL 共模电压高于 Cyclone IV 器件的 LVPECL 输入共模电压时，交流 （AC）耦合是需要的。

图 6-18 显示了交流耦合 （AC-coupled）匹配方案。50-Ω 电阻用在接收器为外部的设备。如果 LVPECL 输出共模电压在 Cyclone IV 器件 LVPECL 输入缓冲器规范中，那么它支持 LVPECL 直流耦合 （DC-coupled）（请参考图 6-19）。

图 6-18. LVPECL 交流耦全匹配 *(1)*

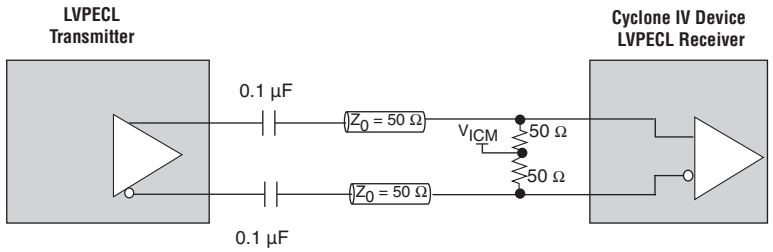


图 6-18 注释：

(1) LVPECL 的交流耦合匹配仅适用于 Altera FPGA 发射器的使用。

图 6-19 显示 LVPECL 直流耦合匹配。

图 6-19. LVPECL 直流耦合匹配 *(1)*

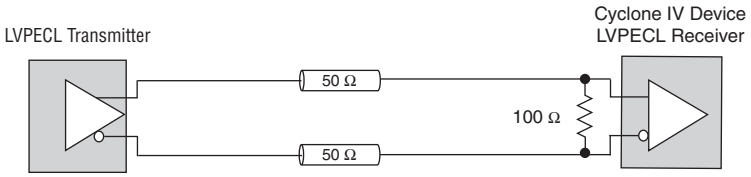


图 6-19 注释：

(1) LVPECL 的直流耦合匹配仅适用于 Atera FPGA 发射器时的使用。

支持 Cyclone IV 器件的差分 SSTL I/O 标准

差分 SSTL I/O 标准是一个内存总线标准用于如对高速 DDR SDRAM 接口的应用。Cyclone IV 器件支持差分 SSTL-2 和 SSTL-18 I/O 标准。差分 SSTL 输出标准只支持 PLL#_CLKOUT 管脚，使用两个单端 SSTL 输出缓冲器（PLL#_CLKOUTp 和 PLL#_CLKOUTn），其中第二个输出管脚编程为极性相反的管脚。GCLK 管脚只支持差分 SSTL 输入标准，把差分输入当作两个单端 SSTL，并且仅对其中之一进行解码。

差分 SSTL I/O 标准需要两个差分输入，一个外部参考电压 （VREF），以及一个匹配电阻连接的电压为 0.5 × V_{CCIO} 的外部匹配电压 （VTT）。

有关差分SSTL的电气规范，请参阅 “ “差分I/O标准匹配 ” 第6-15页 ” 和 *Cyclone IV Device Datasheet* 章节。

第 6-15 页图 6-8 显示了差分 SSTL Class I 和 Class II 接口。

支持 Cyclone IV 器件的差分 HSTL I/O 标准

差分 HSTL I/O 标准用于设计以操作在 0 V 至 1.2 V、0 V 至 1.5 V 或者 0 V 至 1.8 V HSTL 逻辑开关范围的应用。Cyclone IV 器件支持差分 HSTL-18、HSTL-15 和 HSTL-12 I/O 标准。差分 HSTL 输入标准仅在 GCLK 管脚可用，把差分输入当作两个单端 HSTL 并且仅对其中之一进行解码。差分 HSTL 输出标准只支持 PLL#_CLKOUT 管脚，使用两个单端 HSTL 输出缓冲器 （PLL#_CLKOUT*p* 和 PLL#_CLKOUT*n*），其中第二个输出管脚编程为极性相反的管脚。

差分 HSTL I/O 标准需要两个差分输入，一个外部参考电压 （VREF），以及一个匹配电阻连接的电压为 0.5 × V_{CCIO} 的外部匹配电压 （VTT）。

有关差分HSTL信号特征，请参阅 “ “ 差分I/O标准匹配 ” 第6-15页 ” 和 *Cyclone IV Device Datasheet* 章节。

第 6-15 页图 6-7 显示了差分 HSTL Class I 和 Class II 接口。

真差分输出缓冲器功能

Cyclone IV 器件真差分发送器提供可编程预加重 — 您可以选择打开或关闭它，默认设置为打开状态。

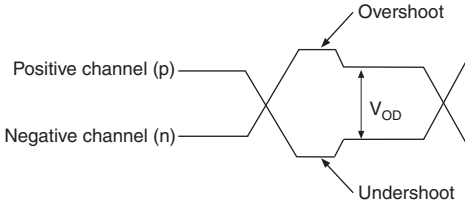
可编程预加重

可编程预加重提升高频率的输出信号，以补偿传输电路线的依赖频率的衰减，从而最大限度地张开远端接收器的数据眼图。如果没有预加重，输出电流被 V_{OD} 规范和发送器的输出阻抗所限制。在高频率时，摆率可能不够快以在下一边缘中实现充分的 V_{OD}；这可能会导致模板相关抖动。如果有预加重，在开关以提高输出摆率期间，输出电流瞬间提升。这个额外的开关电流所产生的过冲与从信号反射所造成的过冲不同。这一过冲只发生在开关过程中，而不会产生振铃。

Quartus II 软件允许两种可编程预加重控制的设置 —0 和 1，其中 0 为预加重关闭（off）状态，而 1 为预加重开户（on）状态。默认设置为 1。预加重所需的数量取决于沿传输线的高频分量的放大率。您必须调整设置以满足您的设计，因为预加重减少输出信号的低频分量的振幅。

图 6-20 显示预加重的差分输出信号。

图 6-20. 预加重的输出信号



高速 I/O 时序

本节讨论了时序规划，波形和 Cyclone IV 器件的源同步信号的规范。源同步信号的时序是基于数据和时钟信号的偏移。

高速差分数据传输需要 IC 供应商所提供的时序参数以及要求您考虑板倾斜，电缆偏斜和时钟抖动。本节提供了关于高速 I/O 标准在 Cyclone IV 器件的时序参数信息。

表 6-11 定义了时序图的参数，如图 6-21 所示。

表 6-11. 高速 I/O 时序定义

参数	符号	说明
发射器通道到通道偏移 *(1)*	TCCS	最快的和最慢的输出边缘之间的时序差异，包括 t_{CO} 的变化和时钟偏移。该时钟包含在 TCCS 测量。
采样窗口	SW	在时序期间，数据必须是有效的以便您捕捉正确的时间。建立和保持时间决定采样窗口中的理想闸门位置。$T_{SW} = T_{SU} + T_{hd}$ + PLL 抖动。
时间单位间隔	TUI	TUI 是数据位时序规划所允许的倾斜，传播延迟和数据采样窗口。
接收器输入偏移余量	RSKM	RSKM 的定义是指占采样窗口和 TCCS 后留下的总数。RSKM 的方程为：$RSKM = \frac{(TUI - SW - TCCS)}{2}$
输入抖动容限（峰 - 峰）	—	允许对输入时钟到锁相环（PLL）的输入抖动。同时容限保持锁相环锁定。
输出抖动（峰 - 峰）	—	从 PLL 的峰间输出抖动。

表 6-11 注释：

(1) TCCS 规范适用于整个差分 I/O 块，只要 SERDES 逻辑放置在与输出管脚相邻的逻辑阵列块（LAB）上。

图 6-21. 高速 I/O 时序图

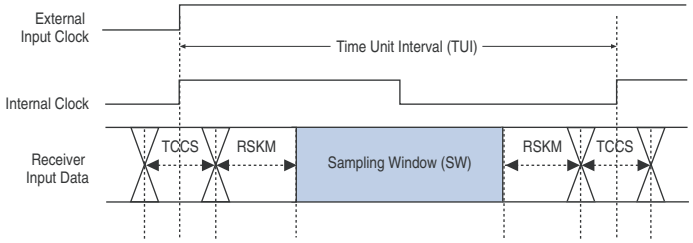


图 6-22 显示了 Cyclone IV 器件的高速 I/O 时序规划。

图 6-22. Cyclone IV 器件高速 I/O 时序规划 *(1)*

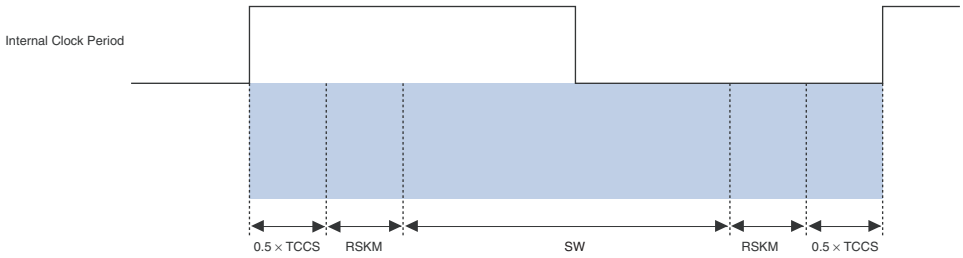


图 6-22 注释：

(1) 高速 I/O 时序规划方程式是：

$$\text{Period} = 0.5 \times TCCS + RSKM + SW + RSKM + 0.5 \times TCCS$$

要了解更多信息，请参阅 *Cyclone IV Device Datasheet* 章节。

设计指南

本节为 Cyclone IV 器件的设计提供指引。

差分垫布局指南

为了维持 V_{CCIO} 供电至可接受噪音水平，您必须在有关差分垫的单端 I/O 管脚布局上遵守一些限制。

对于在 Cyclone IV 器件关于差分垫的单端垫布局的指引，请参阅 ““ 垫布局和直流指南 ” 第 6-22 页 ”。

电路板设计考量

本节说明了如何从一个 Cyclone IV I/O 接口实现最佳性能，并确保首次成功实现功能设计与最佳信号质量。您必须考虑受控阻抗的走线和连接器，差分路由和匹配方法的关键问题以便从 Cyclone IV 器件获得最佳性能。

使用以下的一般指导，以提高信号质量：

- 基于控制差分阻抗的电路板设计。计算和比较所有的参数，如走线宽度，走线厚度和两个差分走线之间的距离。
- 尽可能在差分 I/O 标准对的走线之间保持相同的距离。路由走线接近彼此以最大化共模抑制比 (CMRR)。
- 较长的走线有更多的电感和电容。这些走线必须尽可能短以限制信号完整性的问题。
- 匹配电阻放置在尽可能接近接收器输入管脚的地方。
- 使用表面贴装元件。
- 避免在电路板上使用 90° 角的走线。
- 使用高性能的连接器。
- 设计背板和卡的走线，以便走线的阻抗匹配连接器和匹配中的阻抗。
- 全部信号的走线，尽量保持通孔的数量相等。
- 创造相等的走线长度，以避免信号之间的偏移。不相等的走线长度导致错位的交叉点以及由于 TCCS 值的增加而减少系统可容忍值。
- 限制通孔以防止它们造成不连续性。
- 保持开关晶体管到晶体管逻辑 （TTL）信号远离差分信号，以避免可能出现的噪音耦合。
- 不可路由 TTL 时钟信号到差分信号的下方或者上方的区域。
- 分析系统级信号。

有关 PCB 布局准则，请参阅 *AN 224: High-Speed Board Layout Guidelines* 和 *AN 315: Guidelines for Designing High-Speed FPGA PCBs*。

软件概述

Cyclone IV 器件高速 I/O 系统接口由 Quartus II 软件的宏功能创建在核心逻辑，这是因为它们没有专用的 SERDES 电路。Cyclone IV 器件使用 I/O 寄存器和 LE 寄存器以改进时序性能和支持 SERDES。Quartus II 软件允许您使用 ALTLVDS 宏功能设计您的高速接口。这个宏功能实现了一个高速解串接收器或者一个高速串化发送器。ALTLVDS 宏功能的参数列表，您可以根据您的设计需要自定义设置您的 SERDES。宏功能的优化，实现了使用 Cyclone IV 器件资源以最有效的方式创建高速 I/O 接口。

当您使用 ALTLVDS 宏功能的 Cyclone IV 器件时，接口总是先发送并行数据的 MSB。

有关使用 ALTLVDS 宏功能设计您的高速 I/O 系统接口的更多细节，请参阅 *ALTLVDS Megafunction User Guide* 和 *Quartus II Handbook*。

文档修订历史

表 6-12 列出了本章节的修订历史。

表 6-12. 文档修订历史

日期	版本	修订内容
2011 年 11 月	2.3	■ 更新了“支持Cyclone IV 器件的差分SSTL I/O标准”和“支持Cyclone IV 器件的差分 HSTL I/O 标准 ” 章节。 ■ 更新了表 6-1、表 6-8 和表 6-9。 ■ 更新了图 6-1。
2010 年 12 月	2.2	■ 针对 Quartus II 软件版本 10.1 的发布进行的更新。 ■ 添加了 Cyclone IV E 新器件封装信息。 ■ 添加了 “ 时钟管脚函数 ” 章节。 ■ 更新了表 6–4 和表 6–8。 ■ 少许的文本编辑。
2010 年 7 月	2.1	■ 更新了“Cyclone IV I/O单元”，“可编程上拉电阻”，“I/O块”， “高速 I/O 接口 ” 和 “ 与 BLVDS 的设计 ” 章节。 ■ 更新了表 6–6 和表 6–7。 ■ 更新了图 6–19。
2010 年 2 月	2.0	■ 针对 Quartus II 软件版本 SP1 的发布，添加了 Cyclone IV E 器件信息。 ■ 更新了表 6–2, 表 6–3 和表 6–10。 ■ 更新了 “I/O 块 ” 章节。 ■ 添加了图 6–9。 ■ 更新了图 6–10 和图 6–11。 ■ 添加了表 6–4, 表 6–6 和表 6–8。
2009 年 11 月	1.0	首次发布。

7. Cyclone IV 器件中的外部存储器接口

CYIV-51007-2.2

本章节介绍了 Cyclone® IV 器件的存储器接口管脚的支持以及外部存储器接口的特性。

除了大量供应的片上存储器，Cyclone IV 器件可以很容易地与各种外部存储器件建立连接，其中包括 DDR2 SDRAM、DDR SDRAM 和 QDR II SRAM。外部存储器件是各种图像处理、存储、通信以及通用嵌入式应用的一个重要的系统组件。

Altera 建议使用 Altera® ALTMEMPHY 宏功能来构建所有的 DDR2 或者 DDR SDRAM 外部存储器。通过将 Altera DDR2 或者 DDR SDRAM 存储控制器、第三方控制器或者定制控制器用于特定的应用需要，可以实现控制器功能。Cyclone IV 器件在电气方面提供了对 QDR II 接口的支持，但是对于 QDR II 接口，Altera 没有提供控制器或者物理层 (PHY) 宏功能。

本章节含盖以下两部分内容：

- Cyclone IV 器件的存储器接口管脚支持（第 7-2 页）
- Cyclone IV 器件存储器接口特性（第 7-12 页）

欲了解所支持的最大时钟速率、器件与管脚规划、IP 实现以及器件端接的详细信息，请参阅 *External Memory Interface Handbook*。

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

图 7-1 显示了 Cyclone IV 器件中的一个典型的外部存储器接口的数据路径结构图。

图 7-1. Cyclone IV 器件中的外部存储器数据路径 *(1)*

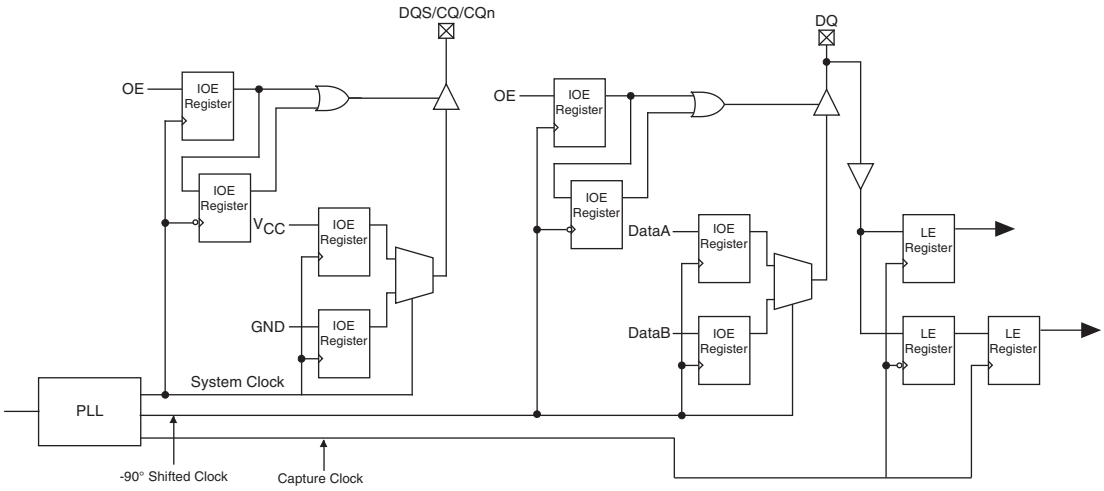


图 7-1 注释：

(1) 图中所示的所有时钟均为全局时钟。

欲了解关于实现完整的外部存储器接口的详细信息，请参阅 *External Memory Interface Handbook*。

Cyclone IV 器件的存储器接口管脚支持

Cyclone IV 器件通过使用数据 (DQ) 管脚、数据选通 (DQS) 管脚、时钟管脚、命令管脚以及地址管脚，来与外部存储器进行接口连接。有些存储器接口使用数据屏蔽 (DM) 管脚或者字节写选择 (BWS#) 管脚，以使能数据屏蔽功能。 这一部分介绍了 Cyclone IV 器件如何支持所有这些不同的管脚。

欲了解关于管脚利用情况的详细信息，请参阅*外部存储器接口手册*中的 *Volume 2: Device, Pin, and Board Layout Guidelines*。

数据与数据时钟 / 选通管脚

在 Cyclone IV 器件中用于外部存储器接口的数据管脚中，用于写数据的管脚称为 D，读数据的管脚称为 Q，共享读写数据的管脚称为 DQ。读数据选通或者读时钟称为 DQS 管脚。Cyclone IV 器件支持双向数据选通以及单向读取时钟。根据外部存储器标准，DQ和DQS均为双向信号(在DDR2和DDR SDRAM中)或者均为单向信号(在QDR II SRAM中)。需将双向 DQ 数据信号连接到同一 Cyclone IV 器件的 DQ 管脚。对于单向 D 或者 Q 信号，需要将读数据信号连接到一组 DQ 管脚，并将写数据信号连接到另一组不同的 DQ 管脚。

在 QDR II SRAM 中，必须将 Q 读数据组管脚布局在与 D 写数据组、命令或者地址管脚不同的 V_{REF} 块位置。

在 Cyclone IV 器件中， DQS 管脚仅在写模式期间用于 DDR2 和 DDR SDRAM 接口中。 Cyclone IV 器件将忽略作为读数据选通信号的 DQS，因为 PHY 内部生成了用于读模式的读取捕捉时钟。然而，您必须将 DQS 管脚连接到 DDR2 和 DDR SDRAM 接口中的 DQS 信号，或者连接到 QDR II SRAM 接口中的 CQ 信号。

Cyclone IV 器件不支持差分选通管脚，这是 DDR2 SDRAM 器件中的一个可选功能。

当使用 Altera Memory Controller MegaCore® 功能时，PHY 将被例化。欲了解关于存储器接口数据路径的详细信息，请参阅 *External Memory Interface Handbook*。

ALTMEMPHY 是一个自校准的宏功能，这个模块得到了增强使其简化了不同存储器接口中读数据路径的实现。ALTMEMPHY 的自校准功能在工艺、电压和温度 (PVT) 变化范围内对时钟相位及频率进行优化， 从而实现了易于使用的特性。通过使用 ALTMEMPHY 宏功能，可以节省 Cyclone IV 器件中的全局时钟资源（因为 DQS 被忽略来实现读捕捉）。重同步的问题不会出现，因为不会发生从存储器域时钟 (DQS) 到系统域的数据传输（该数据传输用于捕捉数据 DQ)。

Cyclone IV 器件中所有的 I/O 块均对 DQ 和 DQS 信号提供了 ×8、 ×9、 ×16、 ×18、 ×32 和 ×36 的 DQ-bus 模式，但不包括 Cyclone IV GX 器件（其不支持左侧的 I/O 块接口）。 DDR2 和 DDR SDRAM 接口使用 ×8 模式的 DQS 组，无需考虑接口带宽。 对于一个更宽的接口，通过使用多个 ×8 的 DQ 组来达到所需的宽度要求。

在 ×9、 ×18 和 ×36 模式中，一对互补的 DQS 管脚 (CQ 和 CQ#) 分别驱动组中 9、 18 或者 36 个 DQ 管脚，以支持一个、两个或者四个奇偶校验位以及相应的数据位。×9、×18 和 ×36 模式支持 QDR II 存储器接口。 CQ# 是一个反向的读时钟信号，连接到补充数据选通 (DQS 或 CQ#) 管脚。 如果 DQ 管脚未用作存储器接口信号，则可用作普通的用户 I/O 管脚。

欲了解运行在≥2.97 Gbps数据速率上的Cyclone IV收发器中的未支持的DQS和DQ组的详细信息，请参阅 *Cyclone IV Device Family Pin Connection Guidelines*。

表 7-1 列出了 Cyclone IV GX 器件的每一侧上所支持的 DQS 或 DQ 组的数量。

表 7-1. Cyclone IV GX 器件每侧上所支持的 DQS 和 DQ 总线模式 *(1)*

器件	封装	在器件中的位置	×8 组数	×9 组数	×16 组数	×18 组数	×32 组数	×36 组数
EP4CGX15	148-pin QFN	右侧	1	0	0	0	—	—
		顶端 *(2)*	1	0	0	0	—	—
		底部 *(3)*	1	0	0	0	—	—
	169-pin FBGA	右侧	1	0	0	0	—	—
		顶端 *(2)*	1	0	0	0	—	—
		底部 *(3)*	1	0	0	0	—	—
EP4CGX22 EP4CGX30	169-pin FBGA	右侧	1	0	0	0	—	—
		顶端 *(2)*	1	0	0	0	—	—
		底部 *(3)*	1	0	0	0	—	—
	324-pin FBGA	右侧	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
		底部	2	2	1	1	—	—
	484-pin FBGA *(4)*	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
EP4CGX50 EP4CGX75	484-pin FBGA	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
	672-pin FBGA	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
EP4CGX110 EP4CGX150	484-pin FBGA	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
	672-pin FBGA	右侧	4	2	2	2	1	1
		顶端	4	2	2	2	1	1
		底部	4	2	2	2	1	1
	896-pin FBGA	右侧	6	2	2	2	1	1
		顶端	6	2	3	3	1	1
		底部	6	2	3	3	1	1

表 7-1 注释：

(1) 仍然是初步的 DQS/DQ 组数。

(2) 有些 DQ 管脚可用作 RUP 和 RDN 管脚。如果使用这些管脚作为 OCT 校准的 RUP 和 RDN 管脚，则不能使用这些组。

(3) 有些 DQ 管脚可用作 RUP 管脚，而有些 DM 管脚可用作 RDN 管脚。如果使用这些管脚作为 OCT 校准的 RUP 和 RDN 管脚，则不能使用这些组。

(4) 仅适用于 EP4CGX30 器件。

表 7-2 列出了 Cyclone IV E 器件的每一侧上所支持的 DQS 或 DQ 组的数量。

表 7-2. Cyclone IV E 器件每侧上所支持的 DQS 和 DQ 总线模式 *(1)* (1/2)

器件	封装	在器件上的位置	×8 组数	×9 组数	×16 组数	×18 组数	×32 组数	×36 组数
EP4CE6 EP4CE10	144-pin EQFP	左侧	0	0	0	0	—	—
		右侧	0	0	0	0	—	—
		底部 *(2)*, *(4)*	1	0	0	0	—	—
		顶端 *(2)*, *(5)*	1	0	0	0	—	—
	256-pin UBGA	左侧 *(2)*	1	1	0	0	—	—
		右侧 *(3)*	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
	256-pin FBGA	左侧 *(2)*	1	1	0	0	—	—
		右侧 *(3)*	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
EP4CE15	144-pin EQFP	左侧	0	0	0	0	—	—
		右侧	0	0	0	0	—	—
		底部 *(2)*, *(4)*	1	0	0	0	—	—
		顶端 *(2)*, *(5)*	1	0	0	0	—	—
	164-pin MBGA	左侧	0	0	0	0	—	—
		右侧	0	0	0	0	—	—
		底部 *(2)*, *(4)*	1	0	0	0	—	—
		顶端 *(2)*, *(5)*	1	0	0	0	—	—
	256-pin UBGA	左侧 *(2)*	1	1	0	0	—	—
		右侧 *(3)*	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
	256-pin FBGA	左侧 *(2)*	1	1	0	0	—	—
		右侧 *(3)*	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
	484-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	4	4	2	2	1	1
		顶端	4	4	2	2	1	1

表 7-2. Cyclone IV E 器件每侧上所支持的 DQS 和 DQ 总线模式 *(1)* (2/2)

器件	封装	在器件上的位置	×8 组数	×9 组数	×16 组数	×18 组数	×32 组数	×36 组数
EP4CE22	144-pin EQFP	左侧	0	0	0	0	—	—
		右侧	0	0	0	0	—	—
		底部 *(2)*, *(4)*	1	0	0	0	—	—
		顶端 *(2)*, *(5)*	1	0	0	0	—	—
	256-pin UBGA	左侧 *(2)*	1	1	0	0	—	—
		右侧 *(3)*	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
	256-pin FBGA	左侧 *(2)*	1	1	0	0	—	—
		右侧 *(3)*	1	1	0	0	—	—
		底部	2	2	1	1	—	—
		顶端	2	2	1	1	—	—
EP4CE30 EP4CE115	484-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	4	4	2	2	1	1
		顶端	4	4	2	2	1	1
	780-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	6	6	2	2	1	1
		顶端	6	6	2	2	1	1
EP4CE40 EP4CE55 EP4CE75	484-pin UBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	4	4	2	2	1	1
		顶端	4	4	2	2	1	1
	484-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	4	4	2	2	1	1
		顶端	4	4	2	2	1	1
	780-pin FBGA	左侧	4	4	2	2	1	1
		右侧	4	4	2	2	1	1
		底部	6	6	2	2	1	1
		顶端	6	6	2	2	1	1

表 7-2 注释：

(1) 仍然是初步的 DQS/DQ 组数。

(2) 有些 DQ 管脚可用作 RUP 和 RDN 管脚。如果使用这些管脚作为 OCT 校准的 RUP 和 RDN 管脚，则不能使用这些组。

(3) 有些 DQ 管脚可用作 RUP 管脚，而有些 DM 管脚可用作 RDN 管脚。如果使用这些管脚作为 OCT 校准的 RUP 和 RDN 管脚，则不能使用这些组。

(4) 没有这些组的 DM 管脚支持。

(5) PLLCLKOUT3n 与 PLLCLKOUT3p 管脚共享于 DQ 或者 DM 管脚，以获得 ×8 DQ 组。若正在使用 PLLCLKOUT3n 和 PLLCLKOUT3p 管脚，则不能使用这些组。

欲了解关于器件封装概要的详细信息，请参阅 Device Packaging Specifications 页面。

DQS管脚在Cyclone IV管脚列表中列出，表示为 DQSXY，其中X表示DQS所属组的编号，Y表示该组位于器件的顶端（T）、底部（B）、还是右侧（R）。同样，相应的 DQ 管脚标识为 DQXY，其中 X 表示 DQ 组数，Y 表示该组位于器件的顶端（T）、底部（B）、还是右侧（R）。举例说明， DQS2T 表明一个属于组 2 的 DQS 管脚，并位于器件的顶端。同样，属于该组的 DQ 管脚被表示为 DQ2T。

正如Cyclone IV管脚列表中所定义的那样，每一个DQ组都与它对应的DQS管脚相关联。例如：

- 对于DDR2或者DDR SDRAM， ×8 DQ组的DQ3B[7..0]管脚与DQS3B管脚相关联（相同的 3B 组指数）
- 对于QDR II SRAM， ×9 Q读数据组DQ3T[8..0]管脚与DQS0T/CQ0T和DQS1T/CQ0T#管脚相关联（相同的 0T 组指数）

如果一个 DQ 组没有使用它相应的 DQS 进行正确的布局，那么 Quartus® II 软件会发出一个错误信息。

图 7-2 显示了 Cyclone IV GX I/O 块中 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-2. Cyclone IV GX I/O 块中的 DQS、CQ 或者 CQ# 管脚 *(1)*

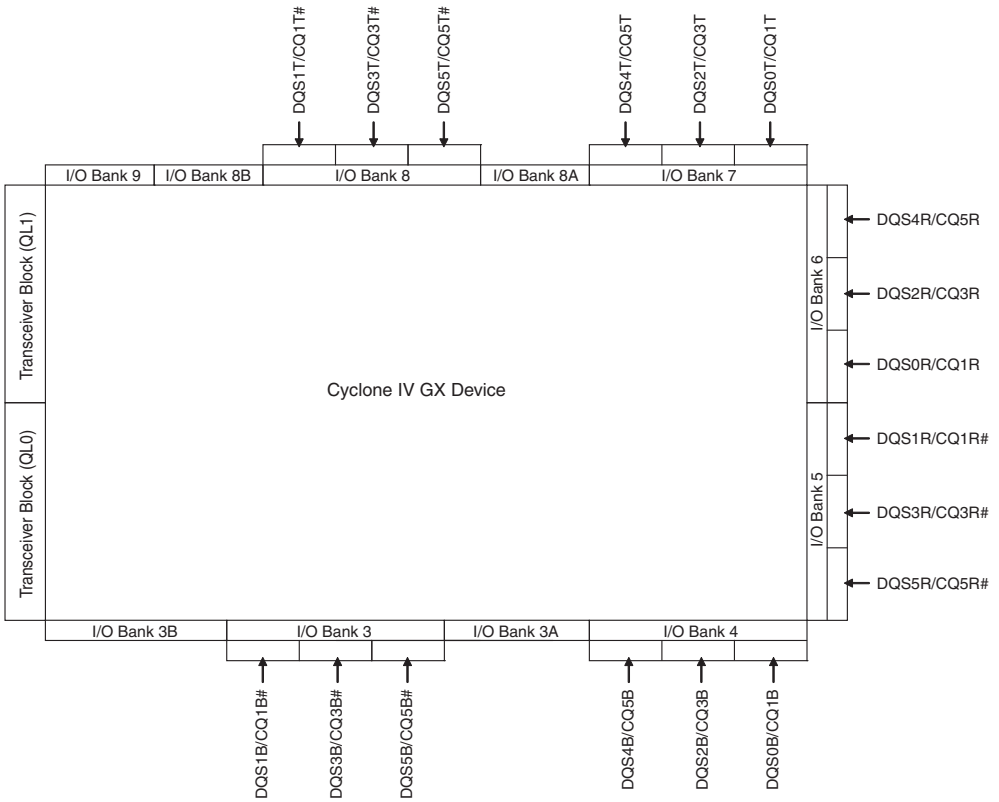


图 7-2 注释：

(1) 图中 DQS、CQ 或者 CQ# 管脚位置适用于 Cyclone IV GX 器件的所有封装，但不包括 148-pin QFP、169-pin FBGA 和 324-pin FBGA 中的器件。

图 7-3 只显示了 324-pin FBGA 封装中 Cyclone IV GX 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-3. 324-pin FBGA 封装中 Cyclone IV GX 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚

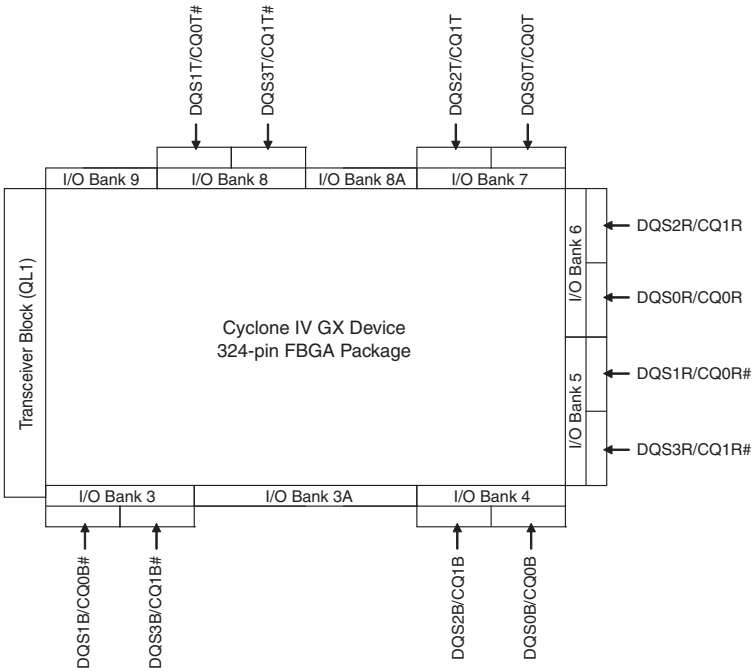


图 7-4 显示了 148-pin QFP 和 169-pin FBGA 封装中 Cyclone IV GX 器件的 I/O 块中的 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-4. 148-pin QFP 和 169-pin FBGA 封装中 Cyclone IV GX 器件的 I/O 块中的 DQS、DQ 或者 CQ# 管脚

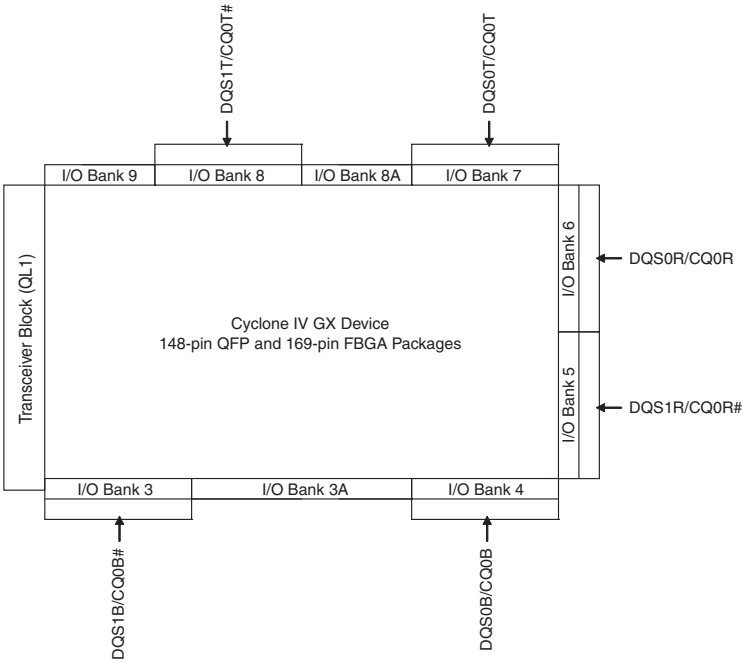


图 7-5 显示了 Cyclone IV E 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-5. Cyclone IV E 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚 *(1)*

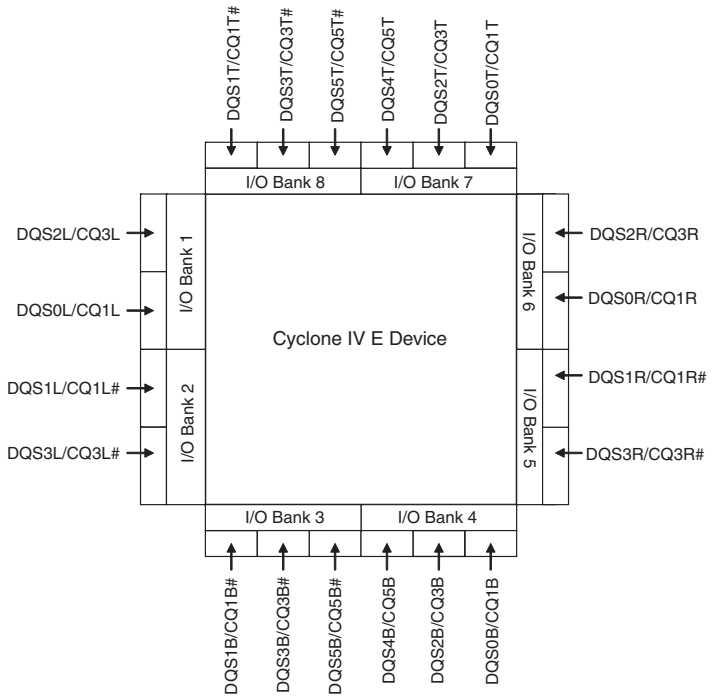
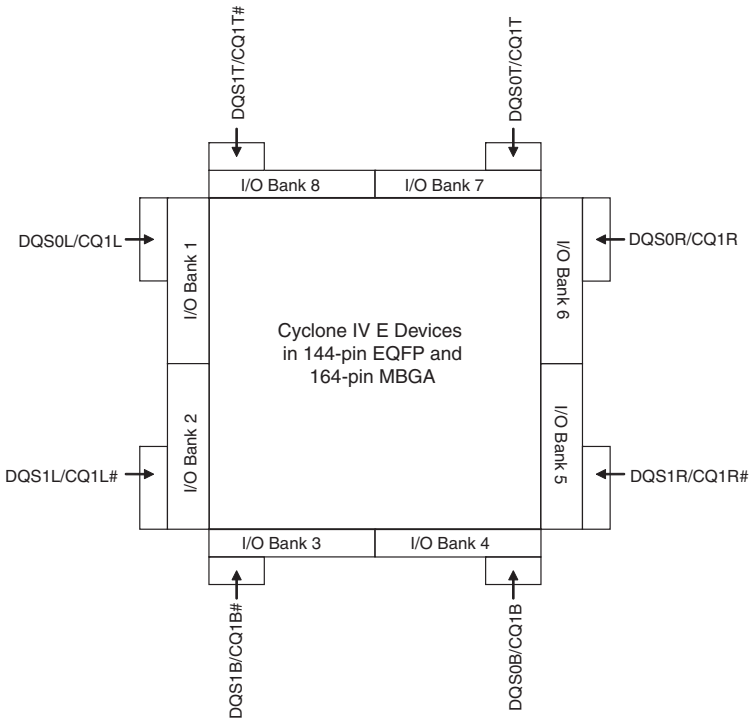


图 7-5 注释：

(1) 图中 DQS、CQ 或者 CQ# 管脚位置适用于 Cyclone IV E 器件的所有封装，但不包括 144-pin EQFP 中的器件。

图 7-6 显示了 144-pin EQFP 和 164-pin MBGA 封装中 Cyclone IV E 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚的位置及编码。

图 7-6. 144-pin EQFP 和 164-pin MBGA 封装中 Cyclone IV E 器件 I/O 块中的 DQS、DQ 或者 CQ# 管脚



在 Cyclone IV 器件中，×9 模式使用与 ×8 模式相同的 DQ 和 DQS 管脚，以及一个额外的 DQ 管脚（在 ×8 模式中用作普通的 I/O 管脚）。×18 模式使用与 ×16 模式相同的 DQ和DQS管脚，以及两个额外的 DQ管脚（在×16模式中用作普通的I/O管脚）。 同样，×36 模式使用与 ×32 模式相同的 DQ 和 DQS 管脚，以及四个额外的 DQ 管脚 （在 ×32 模式中用作普通的 I/O 管脚）。 如果存储器接口管脚未用作 DQ 或者 DQS 管脚，则可用作普通的 I/O 管脚。

可选的奇偶校验管脚、DM 管脚和错误纠正编码管脚

Cyclone IV 支持 ×9、×18 和 ×36 模式下的奇偶校验。一个奇偶校验位可用于数据管脚的每八位。在 Cyclone IV 器件中，您可以将任意的 DQ 管脚用于奇偶校验，因为处理及配置奇偶校验管脚的方式与 DQ 管脚相类似。

仅在写入 DDR2 和 DDR SDRAM 器件时，需要 DM 管脚。QDR II SRAM 器件通过使用 BWS# 信号来选择写入到存储器中的字节。DM 或者 BWS# 管脚上的一个低电平信号表明写操作是有效的。 将 DM 或者 BWS# 管脚驱动到高电平会导致存储器对 DQ 信号进行屏蔽。每一组 DQS 和 DQ 信号都有一个 DM 管脚。同 DQ 输出信号类似，DM 信号被偏移 -90° 的时钟锁定。

在 Cyclone IV 器件中的器件管脚文件中进行 DM 管脚的预分配。Quartus II Fitter 同等对待 DQS 组中的 DQ 和 DM 管脚，以达到布局的目的。推荐使用 Cyclone IV 器件管脚文件中预分配的 DQ 和 DM 管脚。

一些 DDR2 SDRAM 和 DDR SDRAM 器件支持错误纠正编码 (ECC) 功能，它一种在数据传输中检测错误并自动纠正错误的方法。在 72-bit DDR2 或 DDR SDRAM 中有 8 个 ECC 管脚和 64 个数据管脚。将 DDR2 和 DDR SDRAM ECC 管脚连接到 Cyclone IV 器件中单独的 DQS 或者 DQ 组。存储控制器需要额外的逻辑对 ECC 数据进行编码和解码。

地址和控制 / 命令管脚

地址信号和控制 / 命令信号通常以同一数据速率发送。您可以使用 Cyclone IV 器件 I/O 块上的任意用户 I/O 管脚来生成存储器件的地址和控制 / 命令信号。

Cyclone IV 器件不支持突发长度为 2 的 QDR II SRAM。

存储器时钟管脚

在 DDR2 和 DDR SDRAM 存储器接口中，存储器时钟信号 (CK 和 CK#) 用于捕捉地址信号和控制 / 命令信号。同样，QDR II SRAM 器件使用写时钟 (K 和 K#) 来捕捉地址和命令信号。生成的 CK/CK# 和 K/K# 信号通过使用 Cyclone IV 器件中的 DDIO 寄存器来对写数据选通进行模仿 (resemble)。

CK/CK# 管脚必须布局在差分 I/O 管脚上 (Pin Planner 中的 DIFFIO)，并且布局在与数据管脚相同的块中或者相同的侧边上。您可以将器件的其中一个侧边用于绕回接口。如 Pin Planner Pad View 所示，CK0 不能位于与接口 DQ 管脚相同的行与列的垫组 (pad group) 中。

欲了解关于存储器时钟管脚布局的详细信息，请参阅*外部存储器接口手册*的 *Volume 2: Device, Pin, and Board Layout Guidelines*。

Cyclone IV 器件存储器接口特性

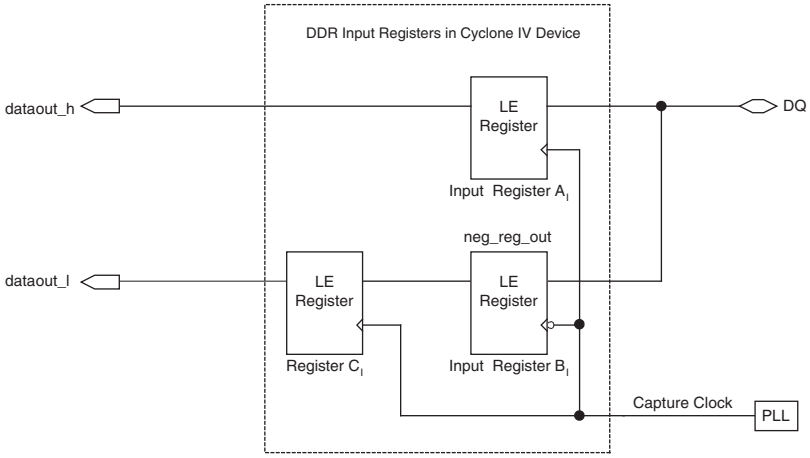
这一部分对 Cyclone IV 存储器接口作了详尽介绍，其中包括 DDR 输入寄存器、DDR 输出寄存器、OCT 和锁相环 (PLL)。

DDR 输入寄存器

DDR 输入寄存器是通过使用每个 DQ 管脚的三个内部逻辑单元 (LE) 来实现的。这些 LE 寄存器位于与 DDR 输入管脚相邻的逻辑阵列模块 (LAB) 当中。

图 7-7 显示了 Cyclone IV DDR 输入寄存器。

图 7-7. Cyclone IV DDR 输入寄存器



这些 DDR 输入寄存器在器件的内核中实现。DDR 数据首先提供给两个寄存器：输入寄存器 A_I 和输入寄存器 B_I。

- 输入寄存器 A_I 捕捉出现在时钟上升沿上的 DDR 数据。
- 输入寄存器 B_I 捕捉出现在时钟下降沿上的 DDR 数据。
- 寄存器 C_I 与系统时钟同步前，与数据对齐。

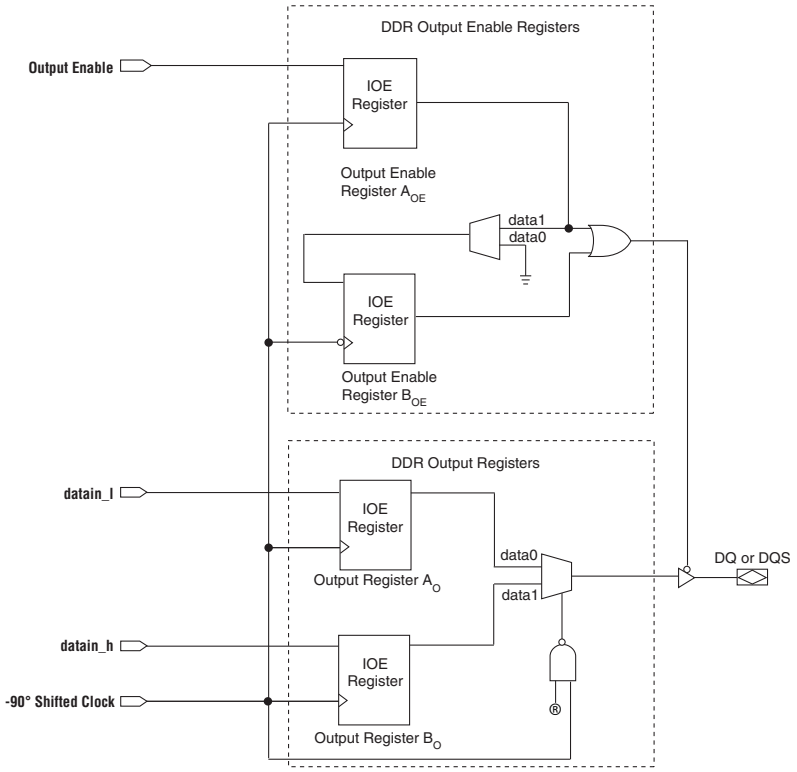
DDR 输入寄存器中的数据提供给两个寄存器：sync_reg_h 和 sync_reg_l，接下来这些数据通常传输到 FIFO 模块中，以将这两个数据流同步到系统时钟的上升沿。由于读捕获时钟是由 PLL 生成的，因此读数据选通信号（DQS 或 CQ）在 Cyclone IV 器件中的读操作过程中没有被使用。所以在这种情况下，后同步（postamble）就不是一个需要考虑的问题。

DDR 输出寄存器

专用的写 DDIO 模块在 DDR 输出和输出使能路径中实现。

图 7-8 显示了如何在 I/O 单元（IOE）寄存器中实现 Cyclone IV 专用的写 DDIO 模块。

图 7-8. Cyclone IV 专用写入 DDIO



这两个 DDR 输出寄存器位于 I/O 单元（IOE）模块中。通过 datain_l 和 datain_h 布线的两个串行数据流，在相同的时钟沿分别提供给 output register Ao 和 output register Bo。 output register Ao 的输出数据在时钟的下降沿被捕获，而 output register Bo 的输出数据在时钟的上升沿被捕获。所寄存的输出数据被公共时钟多路复用，从而以两倍的数据速率驱动 DDR 输出管脚。

DDR 输出使能路径有一个与 IOE 模块中 DDR 输出路径相类似的结构。第二个输出使能寄存器为 DDR 外部存储器接口中的 DQS 选通提供写前导（write preamble）。这一低电平有效输出使能寄存器以半个时钟周期扩展了管脚的高阻抗状态，以提供外部存储器的 DQS 写前导（write preamble）时间规范。

要了解关于 Cyclone IV IOE 寄存器的详细信息，请参考 *Cyclone IV Device I/O Features* 章节。

图 7-9 显示了第二个输出使能寄存器如何在写操作期间以半个时钟周期来扩展 DQS 高阻抗状态。

图 7-9. 以半个时钟周期扩展 OE Disable，以完成写传输 *(1)*

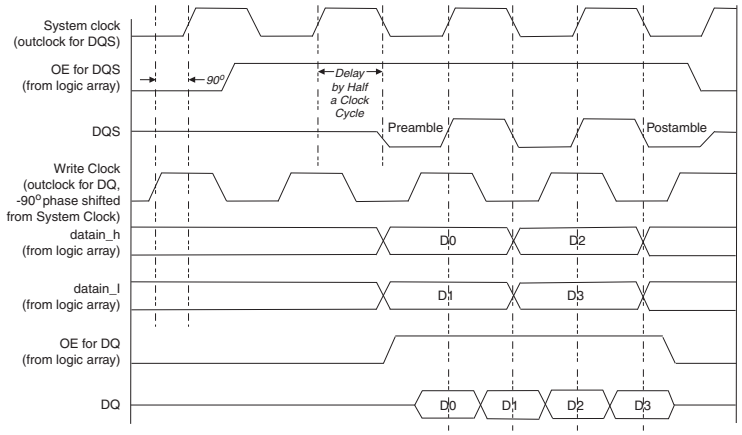


图 7-9 注释：

(1) 图中的波形反映了软件仿真的结果。OE 信号在器件上是一个低有效信号。然而，Quartus II 软件将该信号作为高有效信号来实现，并且在 A_{OE} 寄存器 D 输入之前自动添加一个反向器。

OCT 校准

Cyclone IV 器件在纵向及横向 I/O 块中支持校准后的片上系列终端 (R_S OCT)。如要使用校准后的 OCT，则必须将 RUP 和 RDN 管脚用于每一个 R_S OCT 控制模块（在器件的每侧各一个）。 您可以使用任意一个 OCT 校准模块对采用同样的 V_{CCIO} 的对应侧的某种终端进行较准。

欲了解关于 Cyclone IV 器件 OCT 校准模块的详细信息，请参考 *Cyclone IV Device I/O Features* 章节。

PLL

当与外部存储器连接时，PLL 用于生成存储器系统时钟、写时钟、捕捉时钟以及逻辑内核时钟。系统时钟生成 DQS 写信号、命令及地址。写时钟从系统时钟偏移 -90°，并在写操作期间生成 DQ 信号。您可以使用 PLL 重配置功能来校准读捕捉相移，从而平衡建立和

保持裕量。

PLL 在 ALTMEMPHY 宏功能中被例化。当例化 ALTMEMPHY 宏功能来连接外部存储器时，将使用 PLL 的所有输出。PLL 重配置在 ALTMEMPHY 宏功能中使用，以校准并跟踪读捕捉相位，从而保持最佳裕量。

欲了解PLL输出在ALTMEMPHY宏功能中的使用情况，请参考*External Memory Interface Handbook*。

欲了解关于Cyclone IV PLL的详细信息，请参考*Clock Networks and PLLs in Cyclone IV Devices*章节。

文档修订历史

表 7-3 列出了本章节的修订历史。

表 7-3. 文档修订历史

日期	版本	修订内容
2010 年 12 月	2.2	■ 针对 Quartus II 10.1 的发布进行的更新。 ■ 添加了 Cyclone IV E 新器件的封装信息。 ■ 更新了表 7-2。 ■ 少许的文本编辑。
2010 年 11 月	2.1	更新了“ 数据和数据时钟 / 选通管脚 ” 部分。
2010 年 2 月	2.0	■ 针对 Quartus II 9.1 SP1 的发布，添加了 Cyclone IV E 器件的信息。 ■ 更新了表 7 – 1。 ■ 添加了表 7 – 2。 ■ 添加了图 7 – 5 和图 7 – 6。
2009 年 11 月	1.0	首次发布。

8. Cyclone IV器件的配置和远程系统更新

CYIV-51008-1.4

本章节介绍了 Cyclone® IV 器件的配置和远程系统更新。Cyclone IV （Cyclone IV GX 和 Cyclone IV E）器件使用 SRAM 单元存储配置数据。由于 SRAM 内存的易失性，每次器件上电后，都必须将配置数据下载到 Cyclone IV 器件中。

使用下面其中的一个配置方案配置 Cyclone IV 器件：

- 主动串行 （AS）
- 主动并行 （AP）（仅支持 Cyclone IV E 器件）
- 被动串行 （PS）
- 快速被动并行（FPP）（不支持 EP4CGX15、EP4CGX22 和 EP4CGX30［除 F484 封装之外］器件）
- JTAG

Cyclone IV 器件提供以下配置功能：

- 配置数据解压缩 （“ 配置数据解压缩 ” 第 8-2 页）
- 远程系统更新 （“ 远程系统更新 ” 第 8-70 页）

系统设计师面临着严峻的挑战，如缩短设计周期、不断发展的标准和在偏远地区的系统部署。Cyclone IV 器件利用固有的重编程和专用电路来执行远程系统更新，帮助克服了这些挑战。远程系统更新有助于实现功能的增强和错误的修复，无需昂贵的成本，减少产品上市的时间和延长产品的生命周期。

配置

本节介绍了 Cyclone IV 器件的配置，包括以下几方面内容：

- “ 配置功能 ” 第 8-2 页
- “ 配置要求 ” 第 8-3 页
- “ 配置过程 ” 第 8-6 页
- “ 配置方案 ” 第 8-8 页
- “AS 配置 （串行配置器件） ” 第 8-10 页
- “AP 配置 （支持闪存） ” 第 8-21 页
- “PS 配置 ” 第 8-32 页
- “FPP 配置 ” 第 8-39 页
- “JTAG 配置 ” 第 8-45 页

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

- “ 器件配置管脚 ” 第 8-61 页

配置功能

表 8-1 列出了用于每种配置方案中的配置方法。

表 8-1. Cyclone IV 器件的配置功能

配置方案	配置方法	解压缩	远程系统更新 *(1)*
AS	串行配置器件	✓	✓
AP	所支持闪存 *(2)*	—	✓
PS	内置闪存的外部主机	✓	✓ *(3)*
	下载电缆	✓	—
FPP	内置闪存的外部主机	—	✓ *(3)*
基于 JTAG 的设置	内置闪存的外部主机	—	—
	下载电缆	—	—

表 8-1 注释：

(1) 当您使用远程系统更新功能时，支持远程更新模式。您可以在 Quartus® II 软件的选项设置中，启用或禁用远程更新模式。
(2) 要了解关于 Numonyx 商用并行闪存系列支持的器件的详细信息，请参阅第 8-22 页表 8-9。
(3) 远程更新模式由外部支持，使用 Quartus II 软件的并行闪存加载 （PFL）。

配置数据解压缩

Cyclone IV 器件支持配置数据解压缩，从而节省配置的存储空间和时间。这一功能允许您将压缩配置数据存储在配置器件或者其它内存，然后发送压缩比特流到 Cyclone IV 器件。在配置过程中，Cyclone IV 器件实时解压缩比特流并编程 SRAM 单元。

初步数据表明，压缩减少 35% 至 55% 大小的配置比特流。

当您启用压缩时，Quartus II 软件生成含有压缩配置数据的配置文件。这一压缩文件减少了配置器件或闪存的存储需求，并且节省了发送比特流至 Cyclone IV 器件所需的时间。一个 Cyclone IV 器件解压缩一个配置文件所需的时间小于发送配置数据到该器件所需的时间。对于 Quartus II 软件的 Cyclone IV 器件比特流，有两种启用压缩的方法：

- 在设计编译之前 （通过 **Compiler Settings** 菜单）
- 在设计编译之后 （通过 **Convert Programming Files** 对话框）

要在 Quartus II 软件的编译设置项目上启用压缩，请执行以下步骤：

1. 在 Assignments 菜单中，单击 **Device**。跳转至 **Settings** 对话框。
2. 单击 **Device and Pin Options**。跳转至 **Device and Pin Options** 对话框。
3. 单击 **Configuration** 标签。
4. 打开 **Generate compressed bitstreams**。

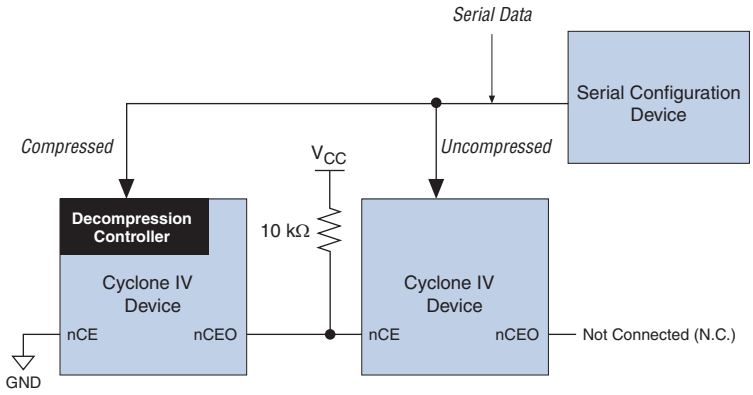
5. 单击 OK。
6. 在 Settings 对话框，单击 OK。

当从 Convert Programming Files 对话框创建编程文件时，您可以启用压缩功能。要启用压缩功能，请执行以下步骤：

1. 在 File 菜单中，单击 Convert Programming Files。
2. 在 Output programming file 的 Programming file type 列表中，选择您所需的文件类型。
3. 如果您选择 Programmer Object File (.pof)，您必须在 Configuration device 列表中指定配置器件。
4. 在 Input files to convert，选择 SOF Data。
5. 单击 Add File 浏览 Cyclone IV 器件 SRAM 的目标文件 （.sof）。
6. 在 Convert Programming Files 对话框中，选择您在 SOF Data 添加的 .pof，然后单击 Properties。
7. 在 SOF File Properties 对话框，打开 Compression 选项。

当多个 Cyclone IV 器件级联时，您可以在链中为每个器件选择性地启用压缩功能。图 8-1 显示了一条链中的两个 Cyclone IV 器件。第一个器件已启用压缩功能并且从配置器件上接收压缩比特流。第二个器件已禁用压缩功能并且接收未压缩的数据。您可以在 Convert Programming Files 对话框上为这个设置生成编程文件。

图 8-1. 相同配置文件中的压缩与未压缩配置数据



配置要求

本节介绍了 Cyclone IV 器件的配置要求，包括以下几方面内容：

- “ 上电复位 （POR）电路 ” 第 8-4 页
- “ 配置文件容量 ” 第 8-4 页
- “ 上电 ” 第 8-6 页

上电复位 （POR）电路

POR 电路保持器件在复位状态，直到供电电压电平在器件上电期间稳定。器件上电后，该器件不会释放 nSTATUS 直到 V_{CCINT}、V_{CCA} 和 V_{CCIO} （配置与 JTAG 管脚所在的 I/O bank）都高于器件的 POP 跳闸点。V_{CCINT} 和 V_{CCA} 在器件上电后监测掉电条件。

V_{CCA} 是锁相环 （PLL）的模拟电源。

在某些应用中，器件的快速唤醒对于开始运行是有必要。Cyclone IV 器件提供的快速 POR 时间选项以支持快速唤醒时间应用。快速 POR 时间选项与标准 POR 时间选项相比有更严格的上电要求。您可以选择快速选项或者 MSEL 管脚设置的标准 POR 选项。

如果您的系统超过快速或者标准 POR 时间，您必须保持 nCONFIG 低电平直到所有的供电稳定为止。

要了解关于 POR 规范的详细信息，请参阅 *Cyclone IV Device Datasheet*。

要了解关于唤醒时间和POR电路的详细信息，请参阅 *Power Requirements for Cyclone IV Devices* 章节。

配置文件容量

表 8-2 列出了 Cyclone IV 器件的未压缩配置文件的正确文件容量值。如果要计算多个器件的配置文件存储所需的空间，将每个器件的文件尺寸进行加总得到。

表 8-2. Cyclone IV 器件的未压缩原始二进制文件 （.rbf）尺寸 (1/2)

器件		数据大小 （位）
Cyclone IV E	EP4CE6	2,944,088
	EP4CE10	2,944,088
	EP4CE15	4,086,848
	EP4CE22	5,748,552
	EP4CE30	9,534,304
	EP4CE40	9,534,304
	EP4CE55	14,889,560
	EP4CE75	19,965,752
	EP4CE115	28,571,696

表 8-2. Cyclone IV 器件的未压缩原始二进制文件 （.rbf）尺寸 (2/2)

器件		数据大小 （位）
Cyclone IV GX	EP4CGX15	3,805,568
	EP4CGX22	7,600,040
	EP4CGX30	7,600,040
		24,500,000 *(1)*, *(2)*
	EP4CGX50	24,500,000 *(1)*
	EP4CGX75	24,500,000 *(1)*
	EP4CGX110	39,425,016
	EP4CGX150	39,425,016

表 8-2 注释：

(1) 这些值为初始值。

(2) 仅适用于 F484 封装。

使用表 8-2 中的数据，在设计编译之前估计文件的容量。不同的配置文件格式，如十六进制 （.hex）或表格的文本文件 （.ttf）格式，有不同的文件尺寸。然而，对于任何特定版本的 Quartus II 软件，任何设计针对相同的器件都具有相同的未压缩配置文件尺寸。如果您使用压缩功能，每次编译后的文件尺寸都有所不同，这是由于压缩率取决于设计。

要了解关于设置器件的配置选项或者创建配置文件的详细信息，请参阅*配置手册*第 2 卷的 *Software Settings* 部分。

配置和 JTAG 管脚的 I/O 要求

Cyclone IV 器件使用 TSMC 60-nm low-k 电介质工艺制造。虽然 Cyclone IV 器件在 I/O 缓冲器中使用 TSMC 2.5-V 晶体管技术，该器件通过遵循特定的要求中可以兼容并能够连接 2.5、3.0 和 3.3-V 的配置电压标准。

所有的 I/O 输入必须保持 4.1 V 的最大交流电压。在一个 AS 配置方案中使用串行配置器件时，您必须为 DATA[0] 管脚连接一个 25-Ω 的串联电阻。在多器件配置为 AS、AP、FPP 和 PS 配置方案级联 Cyclone IV 器件系列时，您必须为 DATA 和 DCLK 管脚，连接主器件和从器件之间的中继缓冲器。在多器件配置中使用 JTAG 配置方案时，如果 TDO 输出驱动器是一个非 Cyclone IV 器件，那么在 TDO-TDI 路径的两端各连接 25-Ω 的电阻器。

中继缓冲器的输出电阻和 TDO 路径在所有的情况下必须符合最大过冲方程，显示在公式 8-1 中。

公式 8-1. *(1)*

$$0.8Z_O \le R_E \le 1.8Z_O$$

公式 8-1 注释：

(1) Z_0 是传输线的阻抗，R_E 是输出缓冲器的等效电阻。

配置过程

本节介绍了 Cyclone IV 器件的配置要求，包括以下几方面内容：

- “ 上电 ” 第 8-6 页
- “ 复位 ” 第 8-6 页
- “ 配置 ” 第 8-6 页
- “ 配置错误 ” 第 8-7 页
- “ 初始化 ” 第 8-7 页
- “ 用户模式 ” 第 8-7 页

要了解关于 Altera® FPGA 配置周期状态器的详细信息，请参阅*配置手册*第 1 卷的 *Configuring Altera FPGAs* 章节。

上电

如果器件是从关电状态上电，V_{CCINT}、V_{CCA} 和 V_{CCIO} （配置与 JTAG 管脚所在的 I/O bank）必须上电到适当的电平以便于器件从 POR 退出。

复位

上电后，Cyclone IV 器件遍历 POR。POR 延迟取决于 MSEL 管脚的设置，这对应于您的配置方案。在 POR 过程中，器件复位， nSTATUS 和 CONF_DONE 保持低电平，以及三态所有的用户 I/O 管脚 （仅适用于 PS 和 FPP 配置方案）。

要为 AS 和 AP 的配置方案三态配置总线，您必须结合高 nCE 和低 nCONFIG。

用户 I/O 管脚和双用 I/O 管脚有弱上拉电阻器，它在配置之前或期间总是处于启用状态 （在 POR 之后）。当器件退出 POR 后，所有的用户 I/O 管脚继续处于三态。当 nCONFIG 为低电平时，器件处于复位状态。当 nCONFIG 变高时，器件退出复位状态，并且释放开漏 nSTATUS 管脚，然后被外部 10-kΩ 上拉电阻器拉高。 nSTATUS 被释放后，器件准备接收配置数据以及开始配置阶段。

有关配置之前或期间的 I/O 管脚的弱上拉电阻值的详细信息，请参阅 *Cyclone IV Device Datasheet* 章节。

配置

每个 DCLK 周期的配置数据被锁存在 Cyclone IV 器件上。然而，每个方案的数据总线的宽度和配置所需的时间有所不同。在器件接收所有的配置数据后，器件开始释放开漏 CONF_DONE 管脚，然后被外部 10-kΩ 上拉电阻拉高。 CONF_DONE 管脚上的一个由低至高的跳变表明已经完成配置，并且可以开始运行器件的初始化。

您可以通过拉低 nCONFIG 管脚开始进行重配置。 nCONFIG 管脚必须处于低电平至少 500 ns。当 nCONFIG 拉低时，Cyclone IV 器件被复位。Cyclone IV 器件也拉低 nSTATUS 和 CONF_DONE ，所有的 I/O 管脚均处于三态。当 nCONFIG 返回到逻辑高电平并且由 Cyclone IV 器件释放 nSTATUS 时，重配置开始运行。

配置错误

如果在配置过程中出现错误，Cyclone IV 器件置位 nSTATUS 信号低电平，表明数据帧错误和 CONF_DONE 信号保持低电平。如果 **Auto-restart configuration after error** 选项 （在 Quartus II 软件的 **Device and Pin Options** 对话框中的 **General** 标签上）为打开状态，Cyclone IV 器件在复位超时后释放 nSTATUS （最多为 230 µs)），然后重试配置。如果这一选项为关闭状态，系统必须监控 nSTATUS 的错误，然后脉冲 nCONFIG 低电平至少 500 ns 以便重新启动配置。

初始化

在 Cyclone IV 器件中，初始化时钟源为内部振荡器或可选的 CLKUSR 管脚。在默认情况下，内部振荡器为初始化时钟源。如果您使用内部振荡器，该器件本身为适当的初始化提供足够的时钟周期。当使用内部振荡器时，在初始化阶段您不必从外部源发送额外的时钟周期到 CLKUSR 管脚。此外，您可以使用 CLKUSR 管脚作为用户 I/O 管脚。

您也可以利用 **CLKUSR** 选项，灵活地对多个器件进行同步初始化或延迟初始化。 CLKUSR 管脚允许您的控制，当您的器件以不确定的时间进入到用户模式时。您可以打开 **Enable user-supplied start-up clock (CLKUSR)** 选项，在 Quartus II 软件的 **Device and Pin Options** 对话框中的 **General** 标签上。当您打开 **Enable user supplied start-up clock option (CLKUSR)** 选项时， CLKUSR 管脚为初始化时钟源。在 CLKUSR 管脚上提供一个时钟不会影响配置的过程。在配置数据被接受和 CONF_DONE 变高后，Cyclone IV 器件需要 3,192 个时钟周期以进行正确初始化和进入用户模式。



如果在器件初始化期间您使用的可选 CLKUSR 管脚和 nCONFIG 管脚被拉低以重新启动配置，那么在 nSTATUS 为低电平时 （最多为 230 µs），确保 CLKUSR 管脚继续触发。

用户模式

一个可选的 INIT_DONE 管脚是可用的，一个由低至高的跳变表明了初始化的结束和用户模式的开始。**Enable INIT_DONE Output** 选项可在 Quartus II 软件的 **Device and Pin Options** 对话框中的 **General** 标签上选用。如果您使用 INIT_DONE 管脚，那么在 nCONFIG 为低电平和配置初始阶段，此管脚会由于一个外部 10-kΩ 上拉电阻而变高。它会变高。在选项位启用 INIT_DONE 可为器件编程 （在第一帧的配置数据），INIT_DONE 管脚变为低电平。当初始化完成后， INIT_DONE 管脚被释放并拉高。这种由低至高的跳变表明器件已进入用户模式。在用户模式下，用户 I/O 管脚功能分配在您的设计中并且不再具有弱上拉电阻。

配置方案

通过将 MSEL 管脚驱动为高电平或低电平来选择不同配置电压标准的配置方案，如表 8–3、表 8–4 和表 8–5 所示。

不用上拉或下拉电阻器直接连接 MSEL 管脚至 V_{CCA} 或 GND，以避免在检测不正确配置方案时出现问题。不要利用微处理器或其它器件驱动 MSEL 管脚。

表 8–3. Cyclone IV GX 器件的配置方案 （EP4CGX15、EP4CGX22 和 EP4CGX30［除 F484 封装以外］）

配置方案	MSEL2	MSEL1	MSEL0	POR 延迟	配置电压标准 (V) *(1)*
AS	1	0	1	快速	3.3
	0	1	1	快速	3.0, 2.5
	0	0	1	标准	3.3
	0	1	0	标准	3.0, 2.5
PS	1	0	0	快速	3.3, 3.0, 2.5
	1	1	0	快速	1.8, 1.5
	0	0	0	标准	3.3, 3.0, 2.5
基于 JTAG 配置 *(2)*	*(3)*	*(3)*	*(3)*	—	—

表 8–3 注释：

(1) 配置电压标准适用于配置管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 基于 JTAG 配置优先于其它配置方案，这意味着 MSEL 管脚设置将被忽略。

(3) 不可悬空 MSEL 管脚。将其连接到 V_{CCA} 或 GND。这些管脚支持用于产品中的非 JTAG 配置方案。Altera 建议，如果您的器件仅使用 JTAG 配置，连接 MSEL 管脚到 GND。

表 8–4. Cyclone IV GX 器件的配置方案 （EP4CGX30［仅在 F484 封装］、EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150）

配置方案	MSEL3	MSEL2	MSEL1	MSEL0	POR 延迟	配置电压标准 (V) *(1)*
AS	1	1	0	1	快速	3.3
	1	0	1	1	快速	3.0, 2.5
	1	0	0	1	标准	3.3
	1	0	1	0	标准	3.0, 2.5
PS	1	1	0	0	快速	3.3, 3.0, 2.5
	1	1	1	0	快速	1.8, 1.5
	1	0	0	0	标准	3.3, 3.0, 2.5
	0	0	0	0	标准	1.8, 1.5
FPP	0	0	1	1	快速	3.3, 3.0, 2.5
	0	1	0	0	快速	1.8, 1.5
	0	0	0	1	标准	3.3, 3.0, 2.5
	0	0	1	0	标准	1.8, 1.5
基于 JTAG 配置 *(2)*	*(3)*	*(3)*	*(3)*	*(3)*	—	—

表 8–4 注释：

(1) 配置电压标准适用于配置管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 基于 JTAG 配置优先于其它配置方案，这意味着 MSEL 管脚设置将被忽略。

(3) 不可悬空 MSEL 管脚。将其连接到 V_{CCA} 或 GND。这些管脚支持用于产品中的非 JTAG 配置方案。Altera 建议，如果您的器件仅使用 JTAG 配置，连接 MSEL 管脚到 GND。

较小的 Cyclone IV E 器件或封装选项（E144 和 F256 封装）不具有 MSEL[3] 管脚。主动串行快速上电复位 （AS Fast POR）配置方案使用 3.0- 或 2.5-V 配置电压标准和主动并行 （AP）配置方案在不具备 MSEL[3] 管脚的 Cyclone IV E 器件中不被支持。要配置这些设备与其它支持的配置方案，根据表 8-5 中的 MSEL 设置选择 MSEL[2..0] 管脚。

表 8-5. Cyclone IV E 器件的配置方案

配置方案	MSEL3	MSEL2	MSEL1	MSEL0	POR 延迟	配置电压标准 (V) *(1)*
AS	1	1	0	1	快速	3.3
	0	1	0	0	快速	3.0, 2.5
	0	0	1	0	标准	3.3
	0	0	1	1	标准	3.0, 2.5
AP	0	1	0	1	快速	3.3
	0	1	1	0	快速	1.8
	0	1	1	1	标准	3.3
	1	0	1	1	标准	3.0, 2.5
	1	0	0	0	标准	1.8
PS	1	1	0	0	快速	3.3, 3.0, 2.5
	0	0	0	0	标准	3.3, 3.0, 2.5
FPP	1	1	1	0	快速	3.3, 3.0, 2.5
	1	1	1	1	快速	1.8, 1.5
基于 JTAG 配置 *(2)*	*(3)*	*(3)*	*(3)*	*(3)*	—	—

表 8-5 注释：

(1) 配置电压标准适用于配置管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 基于 JTAG 配置优先于其它配置方案，这意味着 MSEL 管脚设置将被忽略。

(3) 不可悬空 MSEL 管脚。将其连接到 V_{CCA} 或 GND。这些管脚支持用于产品中的非 JTAG 配置方案。Altera 建议，如果您的器件仅使用 JTAG 配置，连接 MSEL 管脚到 GND。

对于 Cyclone IV E 器件，当配置器件 I/O 电压不是 2.5 V 时，Quartus II 软件禁止您在 I/O Bank 1 中使用 LVDS I/O 标准。如果您需要分配 I/O Bank 1 中的 LVDS I/O 标准时，跳转到 **Assignments>Device>Settings>Device and Pin Option>Configuration** 以更改配置器件 I/O 电压到 **2.5 V** 或 **Auto.**。

AS 配置（串行配置器件）

在 AS 配置方案中，Cyclone IV 器件由串行配置器件配置。这些配置器件是具有非易失内存的低成本器件，具有简化四管脚接口和小型化的特征。这些特性使得串行配置器件成为理想的低成本配置方案。

有关串行配置器件的详细信息，请参阅*配置手册*第 2 卷的 *Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Datasheet*。

串行配置器件提供一个串行接口以访问配置数据。在器件配置期间，Cyclone IV 器件通过串行接口读取配置数据，必要时解压缩数据并配置它们的 SRAM 单元。这项方案被称为 AS 配置方案，因为该器件控制配置接口。

如果您想要控制 EPCS 管脚，那么要保持 nCONFIG 管脚低电平并上拉 nCE 管脚，以促使器件的复位和三态 AS 配置管脚。

单器件 AS 配置

串行配置器件的四管脚接口包含以下管脚：

- 串行时钟输入（DCLK）
- 串行数据输出（DATA）
- 低电平有效芯片选择（nCS）
- AS 数据输入（ASDI）

这个四管脚接口连接到 Cyclone IV 器件管脚，如图 8-2 所示：

图 8-2. 单器件 AS 配置

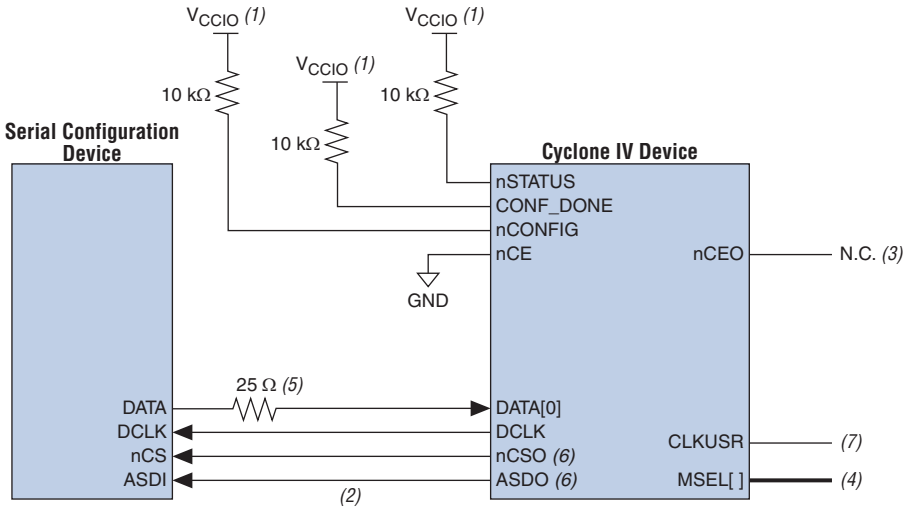


图 8-2 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) Cyclone IV 器件使用 ASDO-to-ASDI 路径控制配置器件。

(3) 悬空 nCEO 管脚或作为用户 I/O 管脚，当它不能为另一个器件提供 nCE 管脚时。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚，请参考第 8-8 页表 8-3、第 8-8 页表 8-4 和第 8-9 页表 8-5。直接连接 MSEL 管脚到 V_{CCA} 或 GND。

(5) 将串行电阻器连接到串行配置器件的近端。

(6) 这些管脚为复用 I/O 管脚。nCSO 管脚在 AP 模式中作为 FLASH_nCE 管脚的功能。ASDO 管脚在 AP 和 FPP 模式中作为 DATA[1] 管脚的功能。

(7) 仅在 Cyclone IV GX 器件上有一个选项以选择 CLKUSR （最高为 40 MHz）作为 DCLK 的外部时钟源。

要为 AS 配置方案三态配置总线，您必须结合高 nCE 和低 nCONFIG。

在串行配置器件中近端的 25-Ω 电阻器，为 DATA[0] 工作以最小化驱动阻抗和电路板走线不相匹配并减少出现在 Cyclone IV 器件 DATA[0] 输入管脚的过冲。

在单器件 AS 配置中，所支持的串行配置和 Cyclone IV 器件最大化电路板加载和电路板走线长度，必须遵循第 8-18 页表 8-6 的建议。

由 Cyclone IV 器件生成的 DCLK 控制整个配置周期并为串行接口提供时序。Cyclone IV 器件使用一个内部振荡器或一个外部时钟源生成 DCLK。对于 Cyclone IV E 器件，您可以使用一个 40-MHz 的内部振荡器生成 DCLK，而对于 Cyclone IV GX 器件您则可以从内部振荡器中使用一个慢时钟 （最高为 20 MHz）或一个快时钟 （最高为 40 MHz）或者从 CLKUSR 的一个外部时钟生成 DCLK。内部振荡器的频率的一些变化是由于 Cyclone IV 器件中的工艺，电压和温度 （PVT）条件所产生。内部振荡器的设计目的是确保其最高频率保证满足 EPCS 器件的规格。Cyclone IV 器件提供选项以选择 CLKUSR 作为 DCLK 的外部时钟源。您可以在 Quartus II 软件的 **Device and Pin Options** 对话框中的 **Configuration** 标签上更改时钟源。

EPCS1 不支持 Cyclone IV 器件是由于它的内存容量不足。

在配置模式中，Cyclone IV 器件通过驱动 nCSO 输出管脚至低电平启用串行配置器件，将其连接到配置器件的 nCS 管脚。Cyclone IV 器件使用 DCLK 和 DATA[1] 管脚为串行配置器件发送操作命令和读取地址信号。配置器件在 DATA 管脚上提供数据，并连接到 Cyclone IV 器件的 DATA[0] 输入。

所有的 AS 配置管脚 （DATA[0]、 DCLK、 nCSO 和 DATA[1]）的内部弱上拉电阻器始终处于激活状态。在配置完成后，这些管脚均被设置为输入三态，并由内部弱上拉电阻器驱动至高电平。

AS 模式的时序参数没有列在这里，因为 t_{CF2CD}、t_{CF2ST0}、t_{CFG}，t_{STATUS}、t_{CF2ST1} 和 t_{CD2UM} 时序参数与 PS 模式的时序参数是相同的，显示在第 8-36 页表 8-11。

多器件 AS 配置

您可以利用一个单一的串行配置器件配置多个 Cyclone IV 器件。当第一个器件从比特流采集其所有的配置数据后，它驱动 nCEO 管脚至低电平，并启用链中的下一个器件。如果链中的最后一个器件是 Cyclone IV 器件，那么您可以将最后一个器件的 nCEO 管脚悬空或者在配置完成后将其作为用户 I/O 管脚。链中各个器件的 nCONFIG、nSTATUS、CONF_DONE、DCLK 和 DATA[0] 管脚都连接在一起（图 8-3）。

图 8-3. 多器件 AS 配置

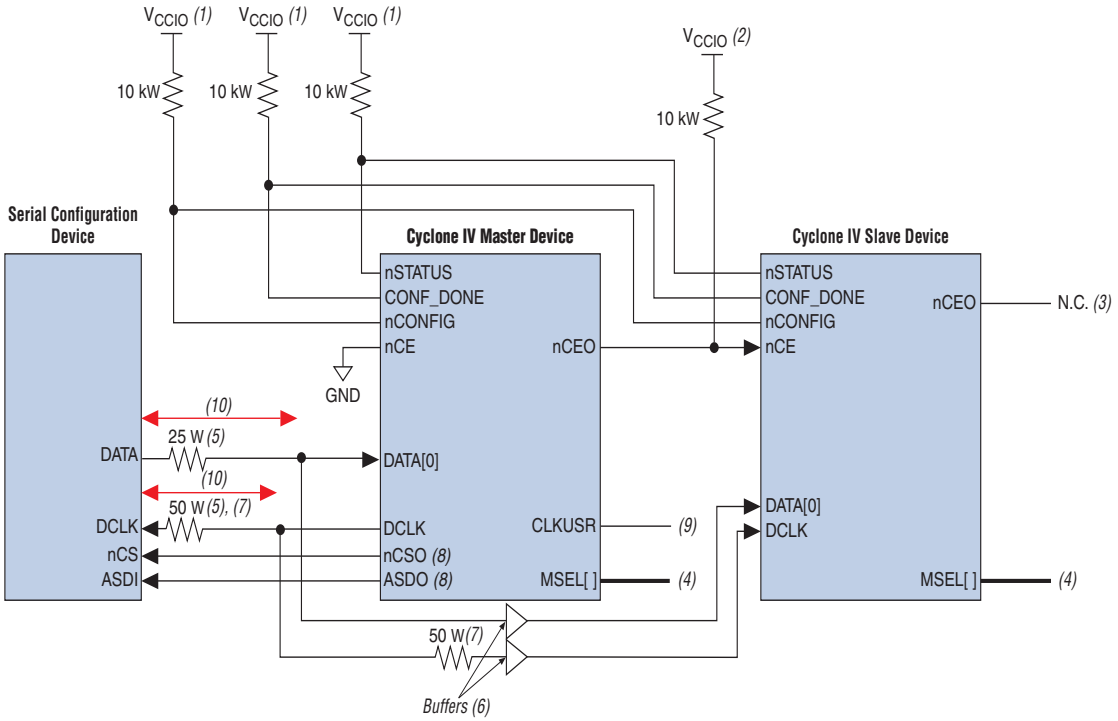


图 8-3 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 将上拉电阻连接到 nCE 管脚所在的 I/O bank 上的 V_{CCIO} 电源。

(3) 您可以悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。您必须在 Cyclone IV 器件的 AS 模式中设置主器件以及在 PS 模式中设置从器件。要将 MSEL 管脚连接到 AS 模式中的主器件和 PS 模式中的从器件，请参考第 8-8 页表 8-3、第 8-8 页表 8-4 和第 8-9 页表 8-5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(5) 将串行电阻器连接到串行配置器件的近端。

(6) 为 DATA[0] 和 DCLK，连接 Cyclone IV 器件的主器件和从器件之间的中继缓冲器。所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。中继缓冲器的输出阻抗必须附合 “ “ 配置和 JTAG 管脚的 I/O 要求 ” 第 8-5 页 ” 所概述的最大过冲方程。

(7) 如果 3.3-V 配置电压标准适用，那么 50-Ω 串行电阻器是可选的。为了优化信号的完整性，在 2.5- 和 3.0-V 配置电压标准适用的情况下，连接这些 50-Ω 串行电阻。

(8) 这些管脚为复用 I/O 管脚。nCSO 管脚在 AP 模式中作为 FLASH_nCE 管脚的功能。ASDO 管脚在 AP 和 FPP 模式中作为 DATA[1] 管脚的功能。

(9) 仅在 Cyclone IV GX 器件有一个选项以选择 CLKUSR（最高为 40 MHz）作为 DCLK 的外部时钟源。

(10) 对于使用 1.0 核电压的 Cyclone IV E 的多器件 AS 配置，从串行配置器件到 DCLK 和 Data0 线的交界分割处的最大化电路板走线长度为 3.5 英寸。

Cyclone IV 器件链中的第一个器件是主配置，它控制着整个器件链的配置。其它支持 PS 配置的 Altera 器件也可以作为器件链中的部分从配置。

在多器件 AS 配置中，串行配置器件和 Cyclone IV 器件的主器件之间的电路板走线长度必须遵循第 8-18 页表 8-6 的建议。

所有目标器件上的 nSTATUS 和 CONF_DONE 管脚都与外部上拉电阻器连接在一起，如第 8-13 页图 8-3 所示。这些管脚在器件上都是开漏双向管脚。当第一个器件使 nCEO 有效（在完成接收其所有的配置数据后），它释放自身的 CONF_DONE 管脚。然而，链中随后的器件保持共享 CONF_DONE 线低电平直到它们接收到其配置数据。当器件链上的所有目标器件接收其配置数据和释放 CONF_DONE 时，上拉电阻在 CONF_DONE 线驱动高电平，所有器件同时进入初始化模式。

虽然您可以级联 Cyclone IV 器件，但是串行配置器件不能被级联和链接在一起。

如果配置比特流的大小超过一个串行配置器件的容量，您必须选择一个更大的配置器件或启用压缩功能，或者两者都用。当配置多个器件时，比特流的大小为各个单器件配置比特流的总和。

利用相同的设计配置多个 Cyclone IV 器件

某些设计要求您用相同的设计通过一个配置比特流或一个 .sof 文件配置多个 Cyclone IV 器件。您可以通过以下方法来实现：

- 多个 .sof
- 单个 .sof

对于这两种方法，串行配置器件不能被级联和链接在一起。

多个 SRAM 目标文件

两个副本的 .sof 文件被存储于串行配置器件。使用第一个副本配置 Cyclone IV 器件的主器件，同时使用第二个副本配置所有剩下的从器件。所有的从器件都具有相同的密度和封装。设置与第 8-13 页图 8-3 相类似。

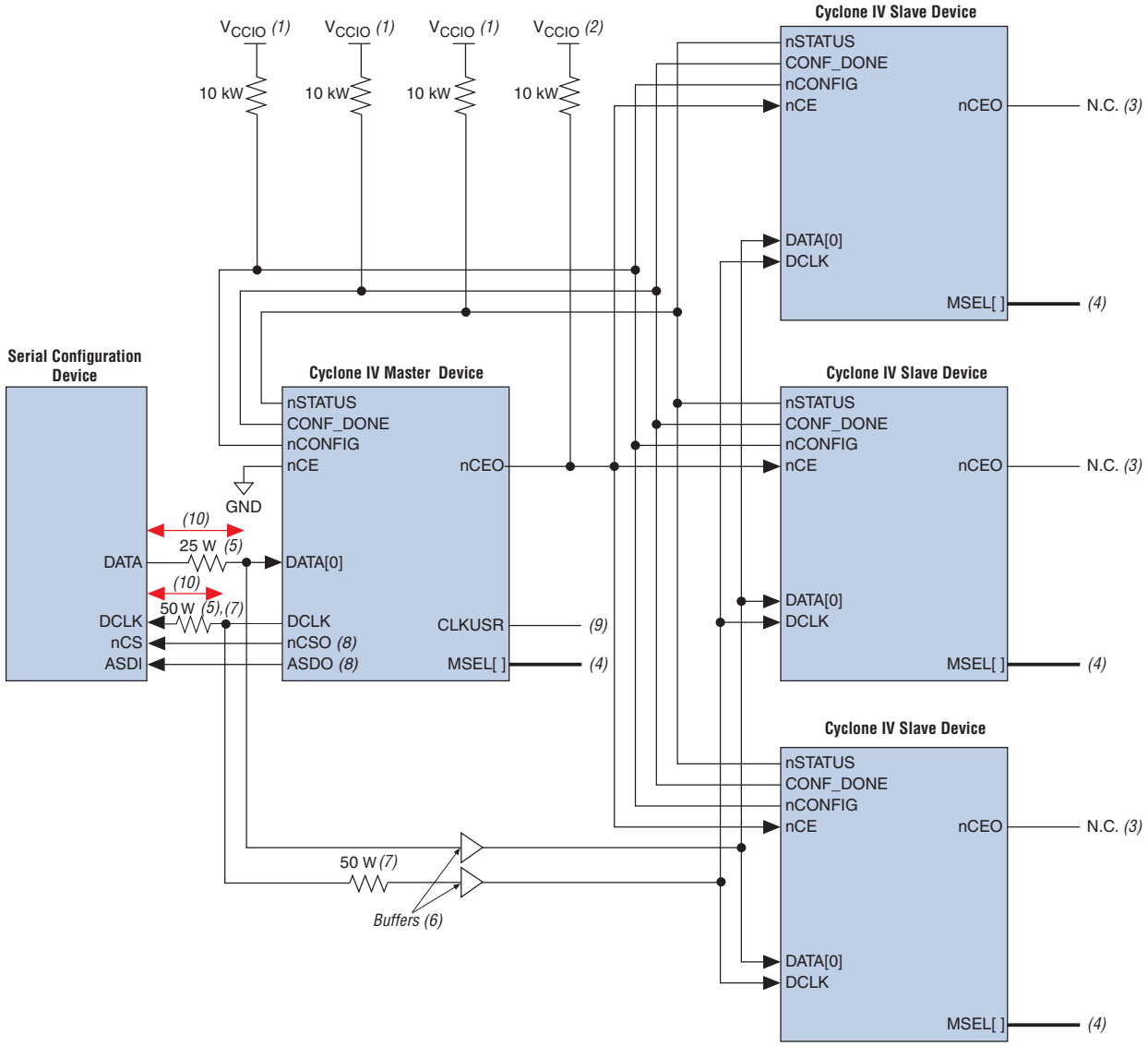
用相同的 .sof 文件为四个相同的 Cyclone IV 器件进行配置，您必须把器件链建立成类似于图 8–4 所示的例子。第一个器件是主器件，它的 MSEL 管脚必须设置选择 AS 配置。其它三个从器件同时设立配置，它们的 MSEL 管脚必须设置选择 PS 模式。主器件的 nCEO 管脚驱动所有三个从器件上的 nCE 输入管脚，同时将 DATA 和 DCLK 管脚并行连接到所有四个器件中。在第一个配置周期期间，主器件从串行配置器件读取它的配置数据，同时保持 nCEO 高电平。在配置周期完成后，主器件驱动 nCE 低电平并发送第二个配置数据副本到所有三个从器件中同时对其进行配置。

在图 8–4 中的设置优势是，您可以在主器件上有不同的 .sof 文件。然而，所有的从器件必须配置相同的 .sof。您可以在这个配置方法中压缩或解压缩 .sof。



如果主器件和从器件使用相同的 .sof，您仍然可以使用这个方法。

图 8-4. 器件接收含有多个 .sof 文件的相同数据的多器件 AS 配置



Notes to 图 8-4:

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 将上拉电阻连接到 nCE 管脚所在的 I/O bank 上的 V_{CCIO} 电源。

(3) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。您必须在 AS 模式中设置主器件以及在 PS 模式中设置从器件。要将 MSEL 管脚连接到 AS 模式中的主器件和 PS 模式中的从器件，请参考第 8-8 页表 8-3、第 8-8 页表 8-4 和第 8-9 页表 8-5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(5) 将串行电阻器连接到串行配置器件的近端。

(6) 为 DATA[0] 和 DCLK，连接主器件和从器件之间的中继缓冲器。所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。中继缓冲器的输出阻抗必须附合 “ “ 配置和 JTAG 管脚的 I/O 要求 ” 第 8-5 页 ” 所概述的最大过冲方程。

(7) 如果 3.3-V 配置电压标准适用，那么 50-Ω 串行电阻器是可选的。为了优化信号的完整性，在 2.5- 和 3.0-V 配置电压标准适用的情况下，连接这些 50-Ω 串行电阻。

(8) 这些管脚为复用 I/O 管脚。nCSO 管脚在 AP 模式中作为 FLASH_nCE 管脚的功能。ASDO 管脚在 AP 和 FPP 模式中作为 DATA[1] 管脚的功能。

(9) 仅在 Cyclone IV GX 器件有一个选项以选择 CLKUSR （最高为 40 MHz）作为 DCLK 的外部时钟源。

(10) 对于使用 1.0 核电压的 Cyclone IV E 的多器件 AS 配置，从串行配置器件到 DCLK 和 Data0 线的交界分割处的最大化电路板走线长度为 3.5 英寸。

单个 SRAM 目标文件

第二种方法用相同的 .sof 配置主器件和从器件。串行配置器件存储一个 .sof 副本。您必须在链中设立一个或多个从器件。所有的从器件必须以相同的方法设立（图 8-5）。

图 8-5. 在器件利用一个单个 .sof 接收相同数据的多器件 AS 配置

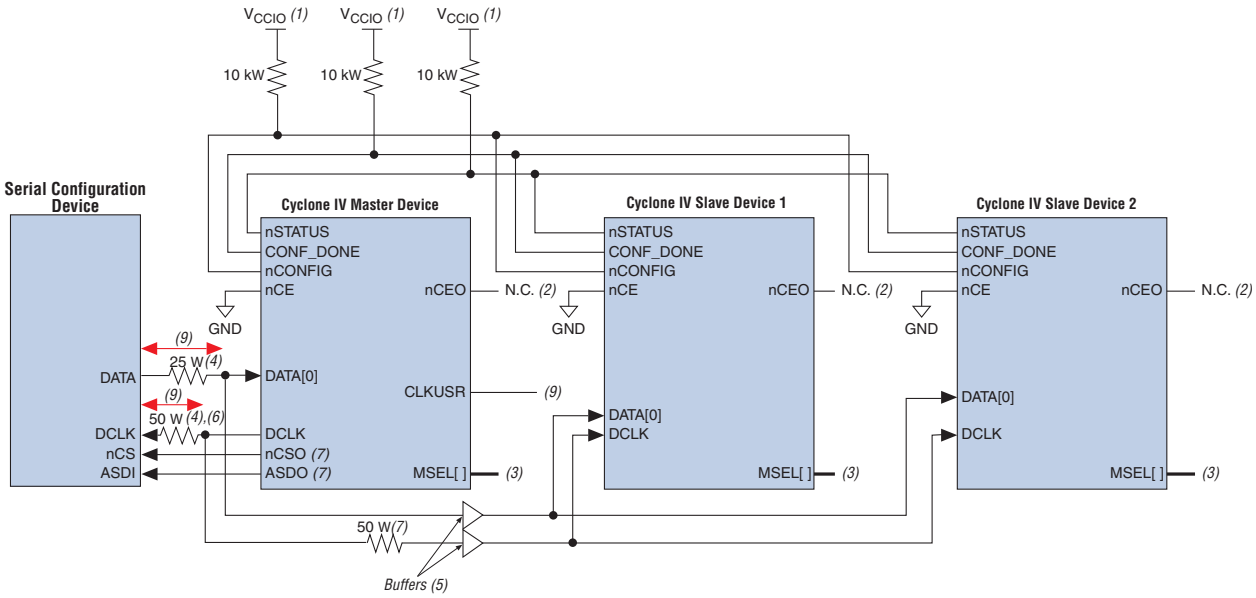


图 8-5 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(3) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。您必须在 Cyclone IV 器件的 AS 模式中设置主器件以及在 PS 模式中设置从器件。要将 MSEL 管脚连接到 AS 模式中的主器件和 PS 模式中的从器件，请参考第 8-8 页表 8-3、第 8-8 页表 8-4 和第 8-9 页表 8-5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(4) 将串行电阻器连接到串行配置器件的近端。

(5) 为 DATA[0] 和 DCLK，连接主器件和从器件之间的中继缓冲器。所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。中继缓冲器的输出阻抗必须附合 “ “ 配置和 JTAG 管脚的 I/O 要求 ” 第 8-5 页 ” 所概述的最大过冲方程。

(6) 如果 3.3-V 配置电压标准适用，那么 50-Ω 串行电阻器是可选的。为了优化信号的完整性，在 2.5- 和 3.0-V 配置电压标准适用的情况下，连接这些 50-Ω 串行电阻。

(7) 这些管脚为复用 I/O 管脚。nCSO 管脚在 AP 模式中作为 FLASH_nCE 管脚的功能。ASDO 管脚在 AP 和 FPP 模式中作为 DATA[1] 管脚的功能。

(8) 仅在 Cyclone IV GX 器件有一个选项以选择 CLKUSR（最高为 40 MHz）作为 DCLK 的外部时钟源。

(9) 对于使用 1.0 核电压的 Cyclone IV E 的多器件 AS 配置，从串行配置器件到 DCLK 和 Data0 线的交界分割处的最大化电路板走线长度为 3.5 英寸。

在这个设置中，所有链中的 Cyclone IV 器件为并发配置连接。这节省了 AS 配置的时间，因为所有的 Cyclone IV 器件都被配置在同一配置周期。将所有 Cyclone IV 器件中的 nCE 输入管脚连接到 GND。您可以悬空所有 Cyclone IV 器件上的 nCEO 输出管脚或者使用 nCEO 输出管脚为普通用户 I/O 管脚。DATA 和 DCLK 管脚被并行连接到所有的 Cyclone IV 器件上。

Altera 建议在主器件的 DATA 和 DCLK 输出之前放置一个缓冲器以避免信号强度和信号完整性问题。缓冲器不可明显改变 DATA-to-DCLK 的关系或者延迟它们关于其它 AS 信号 （ASDI 和 nCS）。此外，缓冲器必须仅驱动从器件，以确保在主器件和串行配置器件之间的时序不受影响。

这种配置方法支持压缩和解压缩的 .sof 文件。因此，如果配置比特流大小超过一个串行配置器件的容量，您可以在 .sof 文件中启用压缩功能或选择一个较大的串行配置器件。

为 AS 接口连接串行配置器件到 Cyclone IV 器件的指南

对于单个或多个器件的 AS 配置，在所支持的串行配置器件和 Cyclone IV 器件之间的电路板走线长度和加载必须遵循表 8-6 所列的建议。

表 8-6. AS 配置的最大走线长度和加载

Cyclone IV 器件 AS 管脚	从 Cyclone IV 器件到串行配置器件的最大电路板走线长度 （英寸）		最大电路板加载 （pF）
	Cyclone IV E	Cyclone IV GX	
DCLK	10	6	15
DATA[0]	10	6	30
nCSO	10	6	30
ASDO	10	6	30

表 8-6 注释：

(1) 对于使用 1.0 核电压的 Cyclone IV E 的多器件 AS 配置，从串行配置器件到 DCLK 和 Data0 线的交界分割处的最大化电路板走线长度为 3.5 英寸。

AS 配置时间的估算

AS 配置时间是由串行配置器件传输数据到 Cyclone IV 器件所使用的时间而定。这种串行接口是由 Cyclone IV 器件的 DCLK 输出定时 （生成一个 40-MHz 的内部振荡器于 Cyclone IV E 器件上，一个 20- 或者 40-MHz 的内部振荡器，或者一个高达 40 MHz 的外部 CLKUSR 于 Cyclone IV E 器件上）。

公式 8-2 和公式 8-3 显示配置时间的计算。

公式 8-2.

$$\text{RBF Size} \times \left(\frac{\text{maximum DCLK period}}{\text{1 bit}}\right) = \text{估算的最大配置时间}$$

公式 8-3.

$$9{,}600{,}000 \text{ bits} \times \left(\frac{50 \text{ ns}}{\text{1 bit}}\right) = 480 \text{ ms}$$

表 8-7 提供 AS 配置的配置时间。

表 8-7. Cyclone IV 器件的 AS 配置时间

符号	参数	Cyclone IV E	Cyclone IV GX	单位
t_{SU}	设置时间	10	8	ns
t_H	保持时间	0	0	ns
t_{CO}	Clock-to-output 时间	4	4	ns

启用压缩功能可以减少发送到 Cyclone IV 器件的配置数据量，也可以节省配置时间。通常情况下，压缩可以节省 50% 的配置时间。

编程串行配置器件

串行配置器件是非易失的，基于闪存的器件。您可以用 USB-Blaster™或者 ByteBlaster™ II 下载电缆在系统编程这些器件。另外，您可以用 Altera 编程单元（APU），支持第三方的程序员或者 SRunner 软件驱动的微处理器来对它们进行编程。

您可以通过 AS 编程接口进行串行配置器件的在系统编程。在系统编程过程中，下载电缆禁止器件访问 AS 接口驱动 nCE 管脚高电平。Cyclone IV 器件也保持复位 nCONFIG 的低电平。在编程完成后，下载电缆释放 nCE 和 nCONFIG，允许分别驱动上拉和下拉电阻的 V_{CC} 和 GND。

要执行通过 AS 编程接口在系统编程一个串行配置器件，您必须尽可能地将二极管和电容放置在接近 Cyclone IV 器件的地方。同时，您必须确保二极管和电容保持 4.1 V 的最大 AC 电压（图 8-6）。

如果您想要使用显示在图 8-6 的安装程序，以执行一个串行配置器件和单一或者多器件 AS 配置的在系统编程，您不需要在串行配置器件的近端的 DATA 线上的串行电阻。现有的二极管和电容就足够了。

Altera 公司开发的串行闪存加载器（SFL），是 Altera 串行配置器件一个基于 JTAG 的在系统编程解决方案。SFL 是一个 Cyclone IV 器件的桥梁设计，使用 JTAG 接口访问 EPCS JIC（JTAG 间接配置器件编程）文件，然后使用 AS 接口编程 EPCS 器件。JTAG 接口和 AS 接口桥接在 SFL 设计内。

要了解关于实现Cyclone IV器件的SFL的详细信息，请参阅*AN 370: Using the Serial FlashLoader with the Quartus II Software*。

要了解关于 USB-Blaster 下载电缆的详细信息，请参阅 *USB-Blaster Download Cable User Guide*. 要了解关于 ByteBlaster II 下载电缆的详细信息，请参阅 *ByteBlaster II Download Cable User Guide*。

图 8–6 显示下载电缆与串行配置器件的连接

图 8–6. 在系统编程的串行配置器件

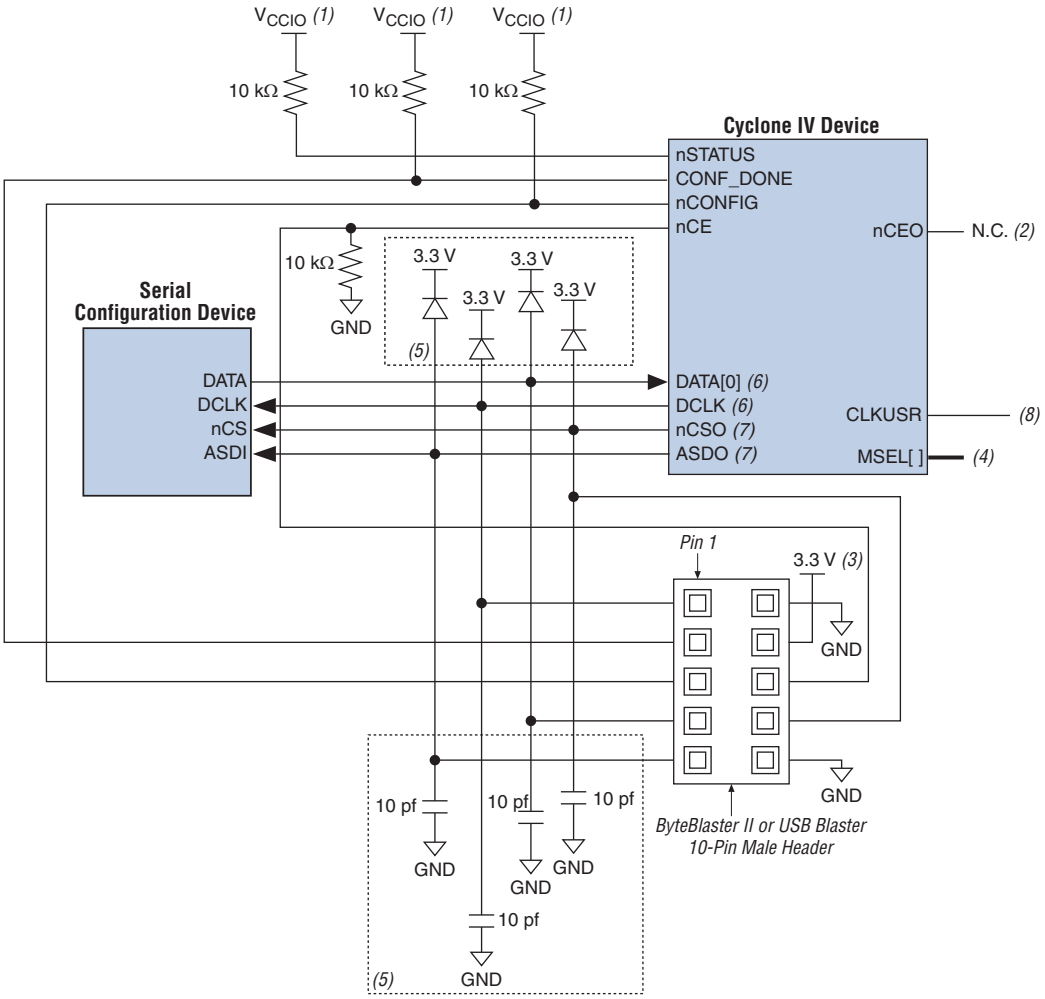


图 8–6 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(3) 用 3.3-V 的电源上电 ByteBlaster II 的 V_{CC} 或 USB-Blaster 下载电缆。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚，请参考第 8-8 页表 8–3、第 8-8 页表 8–4 和第 8-9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(5) 二极管和电容必须尽可能地放置在接近 Cyclone IV 器件的地方。您必须确保二极管和电容保持 4.1 V 的最大 AC 电压。 外部二极管和电容要求防止由于编程下载电缆的串行配置器件引起可能的过冲，对 Cyclone IV 器件 AS 配置输入管脚的损坏。Altera 建议使用 Schottky 二极管，它具有比切换和 Zener 二极管相对较低的正向二极管 （VF），用于有效的钳位电压。

(6) 当在多器件 AS 配置中级联 Cyclone IV 器件时，为 DATA[0] 和 DCLK 连接主器件和从器件之间的中继缓冲器。所有 I/O 输入必须保持 4.1 V 的最大 AC 电压。中继缓冲器的输出电阻必须符合最大过冲方程概括于 “ 配置和 JTAG 管脚的 I/O 要求 ” 第 8-5 页。

(7) 这些管脚为复用 I/O 管脚。nCSO 管脚在 AP 模式中作为 FLASH_nCE 管脚的功能。 ASDO 管脚在 AP 和 FPP 模式中作为 DATA[1] 管脚的功能。

(8) 仅在 Cyclone IV GX 器件有一个选项以选择 CLKUSR （最高为 40 MHz）作为 DCLK 的外部时钟源。

您可以使用 Quartus II 软件的 APU 和适当的配置器件编程适配器以编程串行配置器件。所有的串行配置器件提供在 8- 或者 16- 管脚小型化集成电路 （SOIC）封装。

在生产环境中，使用多个方法编程串行配置器件。Altera 编程硬件或者第三方编程硬件在它们安装于 PCB 之前用于编程空白的串行配置器件。另外，您可以使用一台板内微处理器通过 Altera 提供的移植参考 C-based SRunner 软件驱动程序编程在系统串行配置器件。

一个串行配置器件通过 SRunner 软件驱动程序的一个外部微处理器进行在系统编程。SRunner 软件驱动程序是一个发展于嵌入式串行配置器件编程的驱动程序，它易于定制以符合不同的嵌入式系统。SRunner 软件驱动程序能够读取原始的编程数据 （.rpd）文件和写入串行配置器件。使用 SRunner 软件驱动程序，对串行配置器件的编程时间可比得上 Quartus II 软件的编程时间。

要了解关于SRunner软件驱动程序的详细信息，请参阅 *AN 418: SRunner: An Embedded Solution for Serial Configuration Device Programming* 和 Altera 网站上的源代码。

AP 配置 （支持闪存）

只有 Cyclone IV E 器件支持 AP 配置，在 AP 配置方案中，使用商用 16 位并行闪存编程 Cyclone IV E 器件。这些外部的非易失性配置器件是工业标准的微处理器闪存。闪存提供一个快速接口以访问配置数据。加速配置时间，主要是由于 16 位宽的并行数据总线，它用于从闪存中检索数据。

一些较小的 Cyclone IV E 器件或封装选项不支持 AP 配置方案。表 8-8 列出了各个 Cyclone IV E 器件支持的 AP 配置方案。

表 8-8. Cyclone IV E 器件所支持的 AP 配置方案

器件	封装选项						
	E144	M164	U256	F256	U484	F484	F780
EP4CE6	—	—	—	—	—	—	—
EP4CE10	—	—	—	—	—	—	—
EP4CE15	—	—	—	—	—	✓	—
EP4CE22	—	—	—	—	—	—	—
EP4CE30	—	—	—	—	—	✓	✓
EP4CE40	—	—	—	—	✓	✓	✓
EP4CE55	—	—	—	—	✓	✓	✓
EP4CE75	—	—	—	—	✓	✓	✓
EP4CE115	—	—	—	—	—	✓	✓

在器件配置过程中，Cyclone IV E 器件使用并行接口读取配置数据，并且配置其 SRAM 单元。这一方案被称为 AP 配置方案，因为该器件控制配置接口。这一方案与 FPP 配置方案对比，其中一台外部主机控制接口。

AP 配置支持闪存

在 Cyclone IV E 器件中的 AP 配置控制器被设计与两个工业标准的系列闪存接口 — Numonyx StrataFlash® Embedded Memory P30 系列闪存和 Numonyx StrataFlash Embedded Memory P33 系列闪存。与串行配置器件不同的是，AP 配置方案支持的两种系列闪存都被设计与微处理器接口。通过从工业标准的微处理器的闪存的配置，实现进入用户模式后对闪存的访问，AP 配置允许您结合配置数据和用户数据 （微处理器引导代码）在相同的闪存上。

Numonyx P30 和 P33 的系列闪存在 40 MHz DCLK 频率时支持一个连续的同步突发读取模式以读取闪存中的数据。此外，Numonyx P30 和 P33 系列闪存有相同的管脚并采取类似的协议进行数据访问。

Cyclone IV E 器件在 AP 配置方案使用一台 40-MHz 的振荡器。这台振荡器与用于 Cyclone IV E AS 配置方案的振荡器相同。

表 8-9 列出了 AP 配置方案支持的商用并行闪存系列。

表 8-9. Cyclone IV 器件的 AP 配置方案支持的商用并行闪存 *(1)*

闪存密度	Numonyx P30 系列闪存 *(2)*	Numonyx P33 系列闪存 *(3)*
64 Mbit	✓	✓
128 Mbit	✓	✓
256 Mbit	✓	✓

表 8-9 注释：

(1) AP 配置方案只支持 40 MHz 或更高的速度等级的闪存。
(2) 3.3- 、3.0-、2.5- 和 1.8-V I/O 选项支持 Numonyx P30 系列闪存。
(3) 3.3-、3.0- 和 2.5-V I/O 选项支持 Numonyx P33 系列闪存。

从 Numonyx P30 和 P33 系列的 512-Mbit 闪存配置 Cyclone IV E 器件是可能的，但您必须根据这些闪存的需要正确地驱动额外的地址和 FLASH_nCE 管脚。

要检查支持的速度等级和封装选项，请参考各自的闪存数据表。

Cyclone IV E 器件中的 AP 配置方案支持 40 MHz 或更高的速度等级的闪存。然而，对于 AP 配置的所有这些速度等级必须在 40 MHz 的上限。当您设计 Cyclone IV E 器件访问用户模式中的闪存时，更快的速度等级优势将被实现。

要了解关于运行 Numonyx StrataFlash Embedded Memory P30 和 P33 系列闪存的详细信息，请在 Numonyx 网站 （www.numonyx.com）上搜索关键字 “P30” 或者 “P33” 以获取 P30 或者 P33 系列的数据表。

单器件 AP 配置

在 Numonyx P30 和 P33 闪存支持以下的接口管脚组：

- 控制管脚
- 地址管脚
- 数据管脚

以下的控制信号是来自所支持的并行闪存：

- CLK
- 低电平有效复位 （RST#）
- 低电平有效芯片使能 （CE#）
- 低电平有效输出使能 （OE#）
- 低电平有效地址有效 （ADV#）
- 低电平有效写入使能 （WE#）

所支持的并行闪存输出一个控制信号 （WAIT）至 Cyclone IV E 器件以表明同步数据在数据总线上已准备就绪。Cyclone IV E 器件具有一个 24 位的地址总线连接到闪存上的地址总线 （A[24:1]）。一个 16 位的双向数据总线 （DATA[15..0]）在 Cyclone IV E 器件和闪存之间提供数据传输。

以下的控制信号是来自 Cyclone IV E 器件至闪存：

- DCLK
- 低电平有效硬复位 （nRESET）
- 低电平有效芯片使能 （FLASH_nCE）
- DATA[15..0] 总线和 WAIT 管脚的低电平有效输出使能 （nOE）
- 低电平有效地址有效，并用于写入数据到闪存 （nAVD）
- 低电平有效写入使能，并用于写入数据到闪存 （nWE）

图 8–7 显示了 Numonyx P30 系列闪存和 P33 系列闪存到 Cyclone IV E 器件管脚的接口。

图 8–7. 使用 Numonyx P30 和 P33 系列闪存的单器件 AP 配置

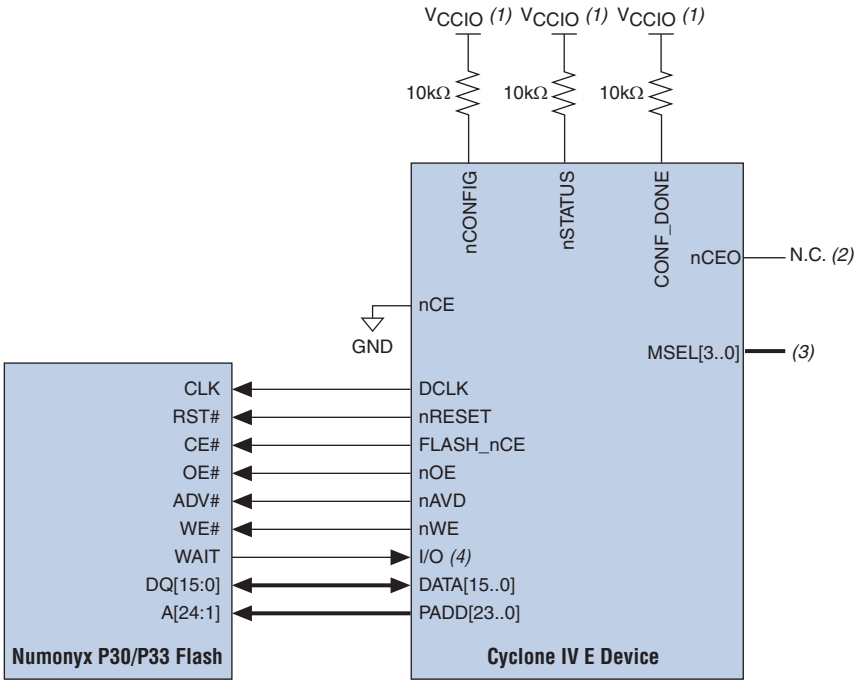


图 8–7 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(3) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL[3..0]，请参考第 8–9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(4) AP 配置在配置模式期间忽略了 WAIT 信号。然而，如果您在用户模式下以用户逻辑访问闪存，您可以可选地使用普通 I/O 监测 Numonyx P30 或 P33 闪存中的 WAIT 信号。

要三态 AP 配置方案的配置总线，您必须结合 nCE 高电平和 nCONFIG 低电平。

在一个单器件 AP 配置中，所支持的并行闪存和 Cyclone IV E 器件之间的最大的电路板加载和电路板走线长度必须遵循第 8–28 页表 8–10 列出的建议。

如果您在 Cyclone IV E 器件使用 AP 配置方案，I/O bank 1、6、7 和 8 的 V_{CCIO} 必须为 3.3、3.0、2.5 或者 1.8 V。Altera 公司不建议在 Numonyx P30 或者 P33 系列闪存和 AP 配置方案中的 Cyclone IV E 器件之间使用电平转换器。

在 2.5–、3.0– 和 3.3–V I/O 标准中使用 Numonyx 闪存时，对于 Cyclone IV E 器件在 AP 配置模式中不需要串行电阻器。Numonyx P30 IBIS 模式的输出缓冲器没有过冲超过 4.1 V。因此，对于 2.5–、3.0– 和 3.3–V 的 AP 配置方案，不需要串行电阻。但是，如果有任何其它的器件与 Cyclone IV E 器件共享相同的闪存 I/O 时，所有共享管脚都受到 4.1–V 限制并且可能需要串行电阻。

所支持的并行闪存的默认读取模式与对并行闪存的所有写操作是异步的。两个并行系列闪存都支持一个同步读取模式，并具有 DCLK 的正边沿上提供的数据。

Cyclone IV E 器件生成的串行时间 （DCLK）控制整个配置周期，并提供了并行接口的时序。

多器件 AP 配置

您可以使用一个单一的并行闪存配置多个 Cyclone IV E 器件。您可以使用芯片使能（nCE）和芯片使能输出 （nCEO）管脚级联多个 Cyclone IV E 器件。链中的第一个器件必须有其自身的 nCE 管脚连接到 GND。您必须将其 nCEO 管脚连接到链中的下一个器件的 nCE 管脚上。使用一个外部的 10-kΩ 的上拉电阻器拉高 nCEO 信号到其 V_{CCIO} 电平，以帮助内部弱上拉电阻。当第一个器件从比特流上获取所有的配置数据时，它驱动 nCEO 管脚至低电平，启用链中的下一个器件。您可以悬空最后一个器件的 nCEO 管脚或者在配置完成后将其作为用户 I/O 管脚，如果链中最后一个器件是 Cyclone IV E 器件。链上每一个器件的 nCONFIG、 nSTATUS、 CONF_DONE、 DCLK、 DATA[15..8] 和 DATA[7..0] 管脚均是连接的 （第 8–26 页图 8–8 和第 8–27 页图 8–9）。

链中的第一个 Cyclone IV E 器件，如第 8–26 页图 8–8 和第 8–27 页图 8–9 所示，是配置的主器件，它控制整个链的配置。 您必须连接其 MSEL 管脚以选择 AP 配置方案。剩余的 Cyclone IV E 器件作为配置的从器件。您必须连接它们的 MSEL 管脚以选择 FPP 配置方案。其它任何支持 FPP 配置的 Altera 器件也可以作为链中配置的从器件的一部分。

以下是对 DATA[15..0] 总线在一个多器件 AP 配置中的配置：

- 字节宽多器件 AP 配置
- 字宽多器件 AP 配置

字节宽多器件 AP 配置

对于多器件 AP 配置的简单方法是字节宽多器件 AP 配置。在位宽多器件 AP 配置中，来自闪存和主器件（为 AP 配置方案设置的）的 LSB 的 DATA[7..0] 管脚连接到为 FPP 配置方案设置的从器件，如图 8–8 所示。

图 8–8. 字节宽多器件 AP 配置

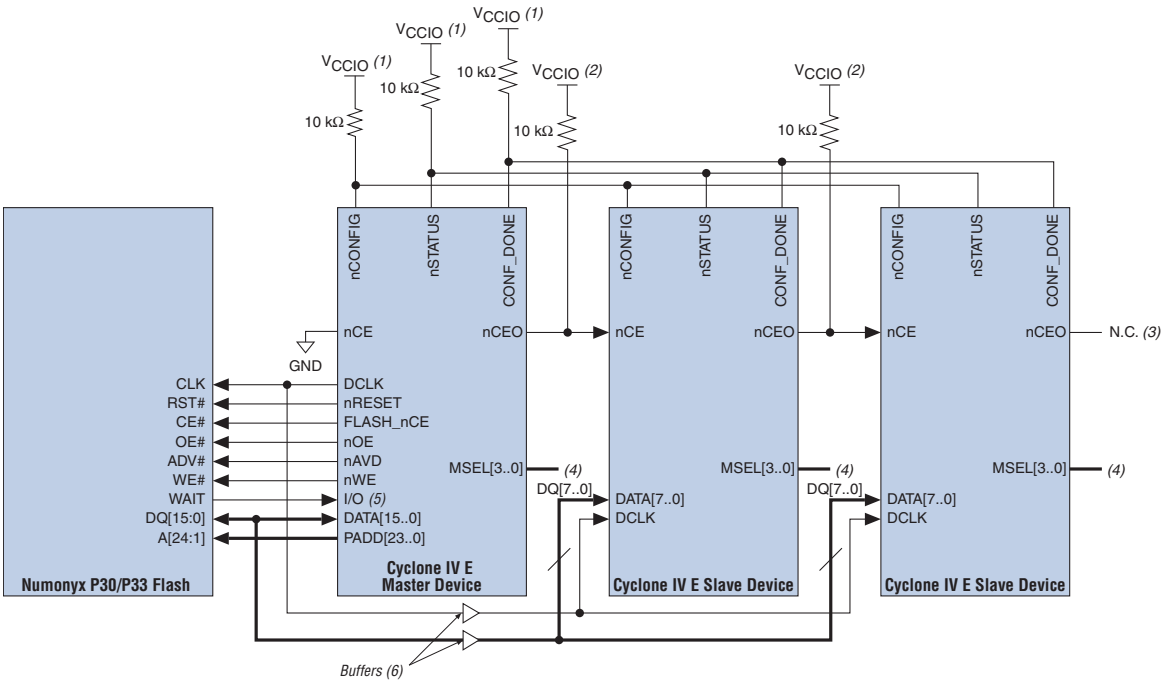


图 8–8 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 将上拉电阻连接到 nCE 管脚所在的 I/O bank 上的 V_{CCIO} 电源。

(3) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。您必须在 AP 模式中设置主器件和在 FPP 模式中设置从器件。要连接 MSEL[3..0] 于 AP 模式中的主器件和 FPP 模式中的从器件，请参考第 8–9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(5) AP 配置在配置模式期间忽略了 WAIT 信号。然而，如果您在用户模式下以用户逻辑访问闪存，您可以可选地使用普通 I/O 监测 Numonyx P30 或 P33 闪存中的 WAIT 信号。

(6) 为 DATA[15..0] 和 DCLK 连接 Cyclone IV E 主器件和从器件之间的中继缓冲器。所有的 I/O 输入必须保持 4.1 V 的最大 AC 电压。中继缓冲器的输出电阻必须符合最大过冲方程概括于 “配置和 JTAG 管脚的 I/O 要求” 第 8–5 页。

字宽多器件 AP 配置

更有效的设置是将其中的一些从器件连接到 LSB 的 DATA[7..0]，而其余的从器件连接到 MSB 的 DATA[15..8]。在字宽多器件 AP 配置中，主器件的 nCEO 管脚启用两个独立的从器件菊花链，允许两个链同时被编程，如图 8–9 所示。

图 8-9. 字宽多器件 AP 设置

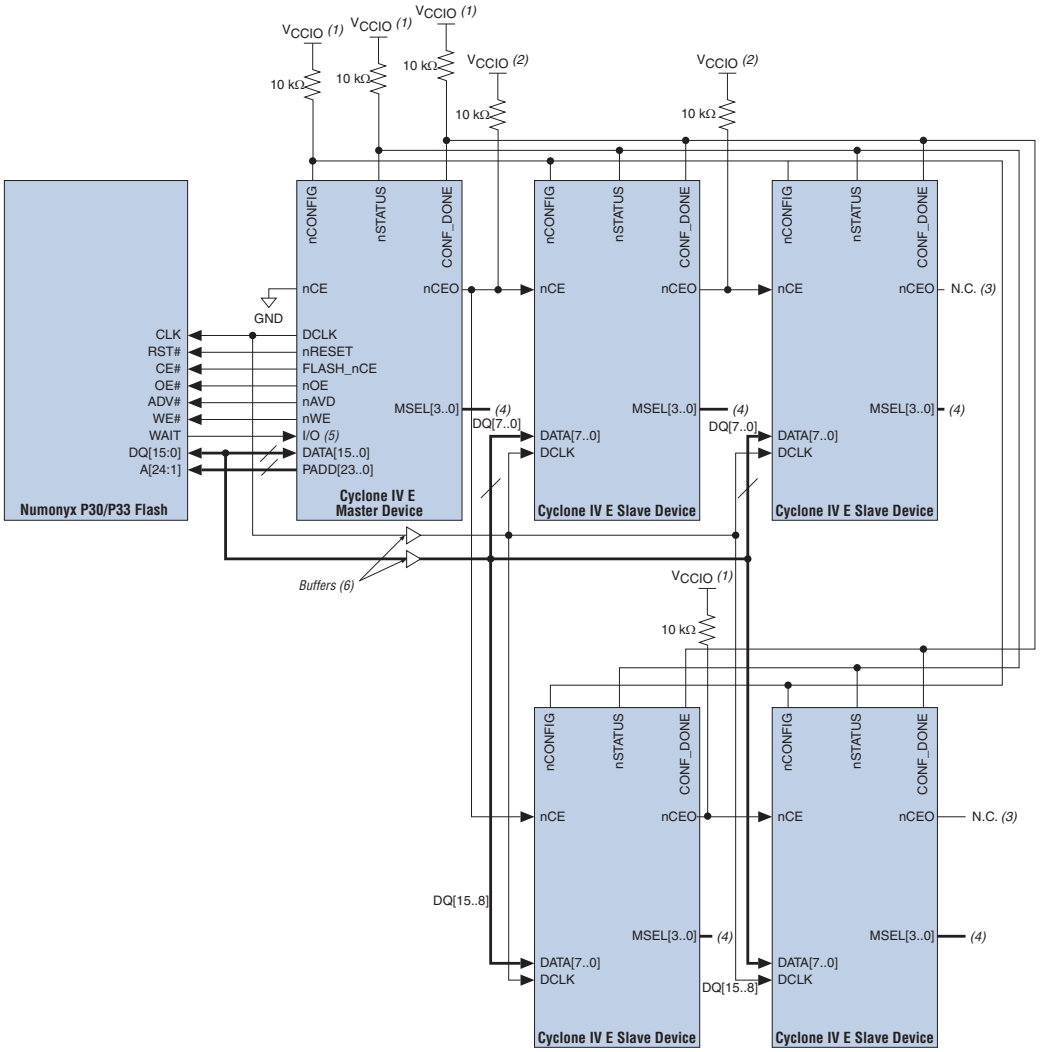


图 8-9 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 将上拉电阻连接到 nCE 管脚所在的 I/O bank 上的 V_{CCIO} 电源。

(3) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。您必须在 AP 模式中设置主器件和在 FPP 模式中设置从器件。要连接 MSEL[3..0] 于 AP 模式中的主器件和 FPP 模式中的从器件，请参考第 8-9 页表 8-5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(5) AP 配置在配置模式期间忽略了 WAIT 信号。然而，如果您在用户模式下以用户逻辑访问闪存，您可以可选地使用普通 I/O 监测 Numonyx P30 或 P33 闪存中的 WAIT 信号。

(6) 为 DATA[15..0] 和 DCLK 连接 Cyclone IV E 主器件和从器件之间的中继缓冲器。所有的 I/O 输入必须保持 4.1 V 的最大 AC 电压。中继缓冲器的输出电阻必须符合最大过冲方程概括于 “ 配置和 JTAG 管脚的 I/O 要求 ” 第 8-5 页。

在一个多器件 AP 配置中，并行闪存和主器件之间的电路板走线长度必须遵循表 8-10 列出的建议。

所有目标器件的 nSTATUS 和 CONF_DONE 管脚与外部上拉电阻连接在一起，如第 8-26 页图 8-8 和第 8-27 页图 8-9 所示。这些管脚是器件中的开漏双向管脚。当第一个器件置 nCEO 有效（在完成接收其所有的配置数据后），它释放其 CONF_DONE 管脚。然而，链中的随后的器件保持此共享 CONF_DONE 线低电平，直到它们接收到各自的配置数据。当链中的所有目标器件接收各自的配置数据和释放 CONF_DONE 时，在这条线上的上拉电阻驱动高电平，并且所有器件同时进入初始化模式。

为 AP 接口连接并行闪存到 Cyclone IV E 器件的指南

对于单器件或多器件的 AP 配置，所支持的并行闪存和 Cyclone IV E 器件之间的电路板走线长度和加载必须遵循表 8-10 列出的建议。这些建议也适用于多个总线器件的 AP 配置。

表 8-10. 对于 AP 配置的最大走线长度和加载

Cyclone IV E AP 管脚	从 Cyclone IV E 器件到闪存器件的最大电路板走线长度（英寸）	最大电路板装载（pF）
DCLK	6	15
DATA[15..0]	6	30
PADD[23..0]	6	30
nRESET	6	30
Flash_nCE	6	30
nOE	6	30
nAVD	6	30
nWE	6	30
I/O *(1)*	6	30

表 8-10 注释：

(1) AP 配置在配置模式闪存期间忽略了 WAIT 信号。然而，如果您在用户模式下以用户逻辑访问闪存，您可以可选地使用普通 I/O 监测 Numonyx P30 或 P33 闪存中的 WAIT 信号。

配置多个总线主器件

与 AS 配置方案相类似，AP 配置方案支持对多个总线主器件的并行闪存。其它主器件要获得 AP 配置总线的控制权时，必须将相关的 Cyclone IV E 器件的 nCONFIG 拉低至少 500 ns，以复位该器件，并且在 nCE 管脚覆盖弱 10-kΩ 下拉电阻。这样复位控制可以使该 Cyclone IV E 器件的 AP 配置总线转为三态，此时其它主器件可以控制该 AP 配置总线。其它主器件完成操作时，先释放该 AP 配置总线，然后释放 nCE 管脚，最后给 nCONFIG 一个低脉冲以重启配置活动。

在 AP 配置方案中，多个主器件共享并行闪存。与 AS 配置方案相类似，总线的控制协商依赖 nCE 管脚。

图 8–10 显示了多个总线主器件的 AP 配置。

图 8–10. 多个总线主器件的 AP 配置

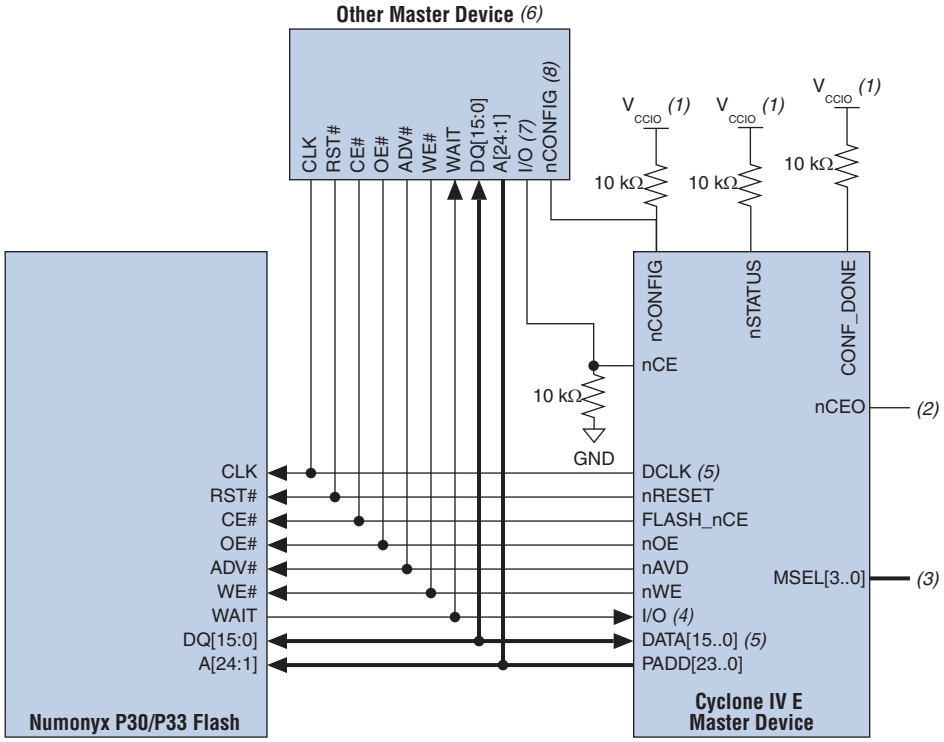


图 8–10 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(3) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL[3..0]，请参考第 8–9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(4) AP 配置在配置模式期间忽略了 WAIT 信号。然而，如果您在用户模式下以用户逻辑访问闪存，您可以可选地使用普通 I/O 监测 Numonyx P30 或 P33 闪存中的 WAIT 信号。

(5) 在一个多器件 AP 配置中级联 Cyclone IV E 器件时，为 DATA[15..0] 和 DCLK 连接主器件和从器件之间的中继缓冲器。所有的 I/O 输入必须保持 4.1 V 的最大 AC 电压。中继缓冲器的输出电阻必须符合最大过冲方程概括于 “ 配置和 JTAG 管脚的 I/O 要求 ” 第 8–5 页。

(6) 其它主器件必须符合最大过冲方程概括于 “ 配置和 JTAG 管脚的 I/O 要求 ” 第 8–5 页。

(7) 其它主器件通过驱动 nCE 高电平和 I/O 管脚上的高输出，可以控制 AP 配置总线。

(8) 其它主器件可以脉冲 nCONFIG，如果它在系统控制之内并且没有连接到 V_{CCIO}。

图 8-11 显示所推荐的多个总线主接口的平衡的星型布线 （balanced star routing），以尽量最小化信号完整性问题。

图 8-11. 布线平衡星 （Balanced Star Routing）

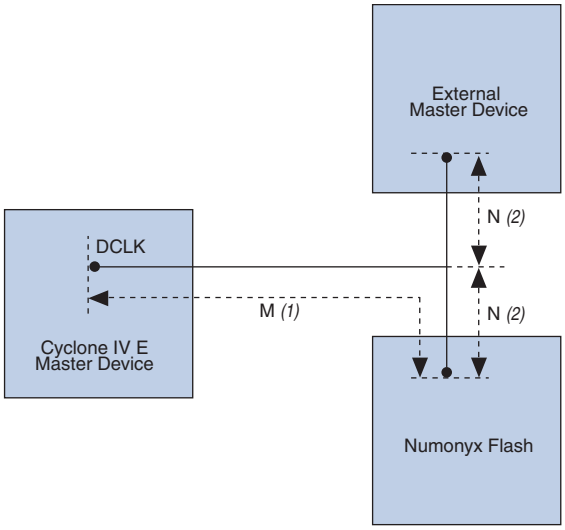


图 8-11 注释：

(1) Altera 建议 *M* 不可超过 6 英寸，如 第 8-28 页表 8-10 列表所示。

(2) Altera 建议使用一个布线平衡星。保持 *N* 长度相等，并尽可能短以尽量降低传输线的反射噪声。*M* 长度可用于这个设置。

估算 AP 配置时间

AP 配置时间是由并行闪存到 Cyclone IV E 器件传输数据所需的时间控制的。这个并行接口是由 Cyclone IV E DCLK 输入 （由一个内部振荡器生成的）的时钟决定。使用 40-MHz 的振荡器时， DCLK 的最小频率为 20 MHz （50 ns）。在字宽级联编程中，DATA[15..0] 总线传输一个 16 位字，本质上节省了约 1/16 的 AS 配置的时间。公式 8-4 和公式 8-5 显示了配置时间的计算。

公式 8-4.

$$\text{RBF Size} \times \left(\frac{\text{maximum DCLK period}}{\text{16 bits per DCLK cycle}}\right) = \text{估算的最大配置时间}$$

公式 8-5.

$$9{,}600{,}000 \text{ bits} \times \left(\frac{50 \text{ ns}}{16 \text{ bit}}\right) = 30 \text{ ms}$$

编程并行闪存

所支持的并行闪存是外部非易失性的配置器件。它们是工业标准的微处理器闪存。要了解关于所支持的商用并行闪存系列，请参考第 8-22 页表 8-9。

Cyclone IV E 器件在单一或者多器件链使用具有闪存加载宏功能的 JTAG 接口支持在系统编程闪存。板上智能主机或下载电缆在 Cyclone IV E 器件上使用 4 个 JTAG 管脚在系统编程并行闪存，即使主机或下载电缆不能访问并行闪存的配置管脚。

要了解关于使用 Cyclone IV E 器件的 JTAG 管脚在系统编程并行闪存的详细信息，请参阅 *AN 478: Using FPGA-Based Parallel Flash Loader (PFL) with the Quartus II Software*.

在 AP 配置方案中，在所支持的并行闪存中代表 16 位字寻址时 （图 8-12），默认的配置启动地址是 0×010000。在 Quartus II 软件中， 默认的配置启动地址是 0×020000，因为它代表一个 8 位字节寻址。Cyclone IV E 器件从字寻址 0×010000 中配置，这相当于字节寻址 0×020000。

Quartus II 软件使用字节寻址为默认的配置启动地址。您必须将起始地址字段设置至 **0×020000**。

默认的配置启动地址允许系统在闪存映射中使用特别的参数模块。参数模块在存储器映射的顶部或者底部。图 8–12 显示了在 AP 配置方案中的配置启动地址。您可以使用 APFC_BOOT_ADDR JTAG 指令，将默认配置的默认启动地址 0×010000 更改至任何所需的地址。要了解关于 APFC_BOOT_ADDR JTAG 指令的更多信息，请参阅 “JTAG 指令 ” 第 8–57 页。

图 8–12. 在 AP 闪存映射中的配置启动地址

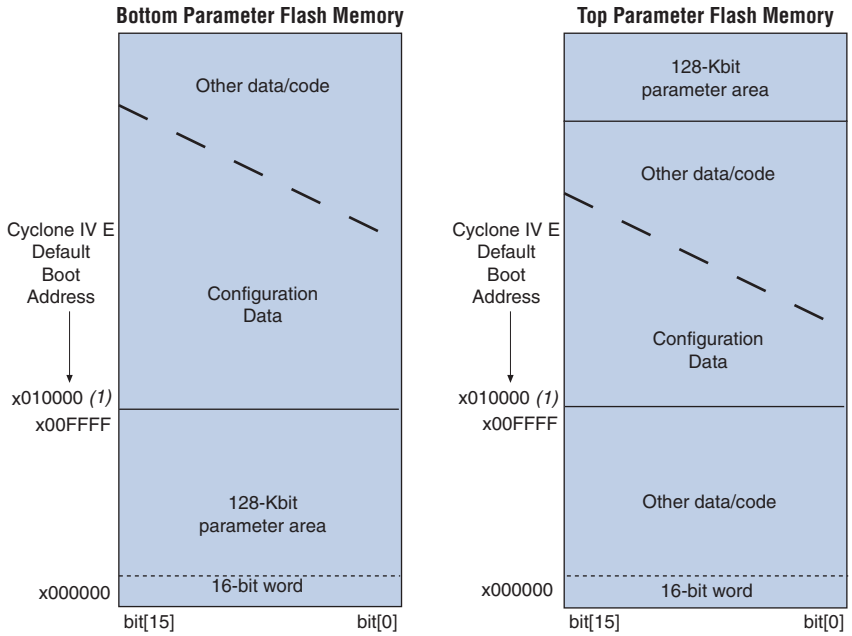


图 8–12 注释：

(1) 当代表 16 位字寻址时，默认的配置启动地址是 x010000。

PS 配置

您可以在 Cyclone IV 器件的一台外部智能主机，例如 MAX® II 器件、闪存微处理器或者下载电缆中执行 PS 配置。在 PS 方案中，一台外部主机控制配置。配置数据通过各个 DCLK 上升沿的 DATA[0] 计时到目标 Cyclone IV 器件中。

如果您的系统中已经包含了一个公共闪存接口 （CFI），您也可以将其使用为 Cyclone IV 器件的配置存储器。MAX II PFL 功能提供一种有效的方法来编程 CFI 闪存器件，通过 JTAG 接口和逻辑控制从闪存器件到 Cyclone IV 器件的配置。

要了解关于 PFL 的详细信息，请参阅 *AN 386: Using the Parallel Flash Loader with the Quartus II Software*。

Cyclone IV 器件不支持为 PS 配置增强配置器件。

使用外部主机的 PS 配置

在 PS 配置方案中，您可以使用一台智能主机，例如 MAX II 器件或者微处理器，控制从存储器件（例如闪存）传输配置数据到目标 Cyclone IV 器件。您可以将配置数据存储为 **.rbf**、**.hex** 或 **.ttf** 的格式。

图 8–13 显示了配置接口在 Cyclone IV 器件与外部主机器件之间的连接。

图 8–13. 使用外部主机进行单器件 PS 配置

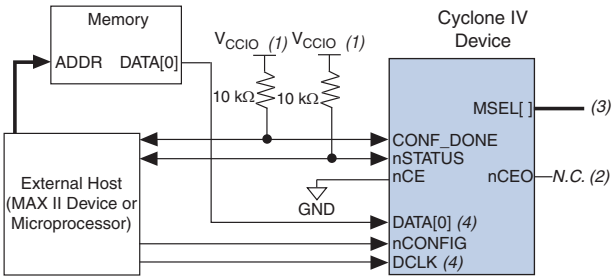


图 8–13 注释：

(1) 将上拉电阻连接到电源，对其器件提供一个可接受的输入信号。V_{CC} 必须足够高以满足器件和外部主机上的 V_{IH} 规范的 I/O。

(2) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(3) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚，请参考第 8–8 页表 8–3、第 8–8 页表 8–4 和第 8–9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(4) 所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。DATA[0] 和 DCLK 必须符合第 8–5 页公式 8–1 所概述的最大过冲方程。

要开始配置，外部主机器件必须在 nCONFIG 管脚中产生一个由低至高的跳变。当拉高 nSTATUS 时，外部主机器件必须一次一个位地将配置数据放置在 DATA[0] 上。如果您使用的配置数据格式为 **.rbf**、**.ttf** 或 **.hex**，您必须首先发送每个数据字节的 LSB。例如，如果 **.rbf** 包含的字节序列为 02 1B EE 01 FA，那么您必须发送到器件的串行比特流是：

0100-0000 1101-1000 0111-0111 1000-0000 0101-1111

Cyclone IV 器件在 DATA[0] 上接收配置数据，时钟在 DCLK 上被接收。在 DCLK 的上升沿，数据被锁存到器件中。数据不断送入目标器件，直到 CONF_DONE 变高以及器件进入初始化状态。

在 CONF_DONE 变高后，需要两个 DCLK 的下降沿以开始初始化器件。

当初始化完成后，INIT_DONE 被释放和拉高。外部主机器件必须能够检测由低至高的跳变，其标志着器件已进入用户模式。当初始化完成后，器件进入用户模式。在用户模式下，用户 I/O 管脚不再有弱上拉电阻和功能分配在您的设计中。

要确保 DCLK 和 DATA[0] 在配置的最后没有被悬空，MAX II 器件必须驱动它们为高或低电平，只要适合您的板级。DATA[0] 管脚在配置后可作为用户 I/O 管脚。在 PS 方案中，DATA[0] 管脚在用户模式下默认为三态，它必须由外部主机器件驱动。要在 Quartus II 软件中更改这种默认选项，选择 **Device and Pin Options** 对话框中的 **Dual-Purpose Pins** 标签。

配置时钟（DCLK）的速度必须低于指定的系统频率，以确保正确的配置。无上限 DCLK 周期的存在，意味着您可以通过停止 DCLK 无限期地暂停配置。

外部主机器件也可以监测 CONF_DONE 和 INIT_DONE 以确保成功配置。CONF_DONE 管脚必须由外部器件监控以便检测错误和确定编程序是否完成。如果所有的配置数据被发送后，但 CONF_DONE 或 INIT_DONE 没有变高，外部器件必须对目标器件进行重配置。

图 8-14 显示了如何使用一个外部主机器件配置多个器件。这个电路与一个单一器件的 PS 配置电路相似，除了 Cyclone IV 器件在多个器件配置中级联。

图 8-14. 使用外部主机进行多器件 PS 配置

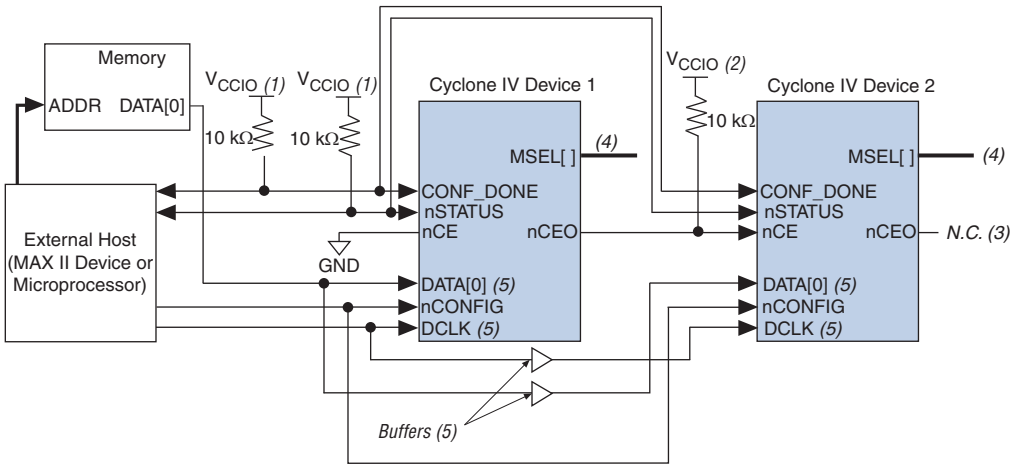


图 8-14 注释：

(1) 将上拉电阻连接到电源，对其链上的所有器件提供一个可接受的输入信号。V_{CC} 必须足够高以满足器件和外部主机上的 V_{IH} 规范的 I/O。

(2) 连接上拉电阻至 nCE 管脚所在的 I/O bank 上的 V_{CCIO} 电源。

(3) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚，请参考第 8-8 页表 8-3、第 8-8 页表 8-4 和第 8-9 页表 8-5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(5) 所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。DATA[0] 和 DCLK 必须符合第 8-5 页公式 8-1 所概述的最大过冲方程。

在多器件配置链中完成第一个器件配置后，其 nCEO 管脚驱动至低电平以激活第二个器件中的 nCE 管脚，提示第二个器件开始进行配置。链中的第二个器件开始在一个时钟周期中的配置。因此，对于外部主机器件，传输的数据的目的地是透明的。 nCONFIG、nSTATUS、 DCLK、 DATA[0] 和 CONF_DONE 配置管脚都连接到链中的每个器件上。为了确保信号的完整性以及防止时钟的偏斜问题，配置信号可能需要缓冲。确保 DCLK 和 DATA 线是缓冲的。所有的器初始化并且同时进入用户模式，因为所有的 CONF_DONE 管脚都是连接在一起的。

如果任何器件检测到一个错误，整条链的配置都将停止，您必须对其进行重配置，因为所有的 nSTATUS 和 CONF_DONE 管脚都是连接在一起的。例如，如果第一个器件在 nSTATUS 上标记一个错误，它将通过拉低 nSTATUS 管脚，重设整条链。这种行为与一个单器件检测错误相似。

在您的系统中您可以有多个器件包含相同的配置数据。为了支持这项配置方案，所有的 nCE 输入都连接到 GND，然而悬空 nCEO 管脚。 nCONFIG、 nSTATUS、 DCLK、 DATA[0] 和 CONF_DONE 配置管脚都连接到链中的每个器件上。为了确保信号的完整性以及防止时钟的偏斜问题，配置信号可能需要缓冲。确保 DCLK 和 DATA 线是缓冲的。器件必须具有相同的密度和封装。所有的器件同时开始和完成配置。

图 8–15 显示了当两个 Cyclone IV 器件同时接收相同的配置数据时的多器件 PS 配置。

图 8–15. 当两个器件接收相同的数据时的多器件 PS 配置

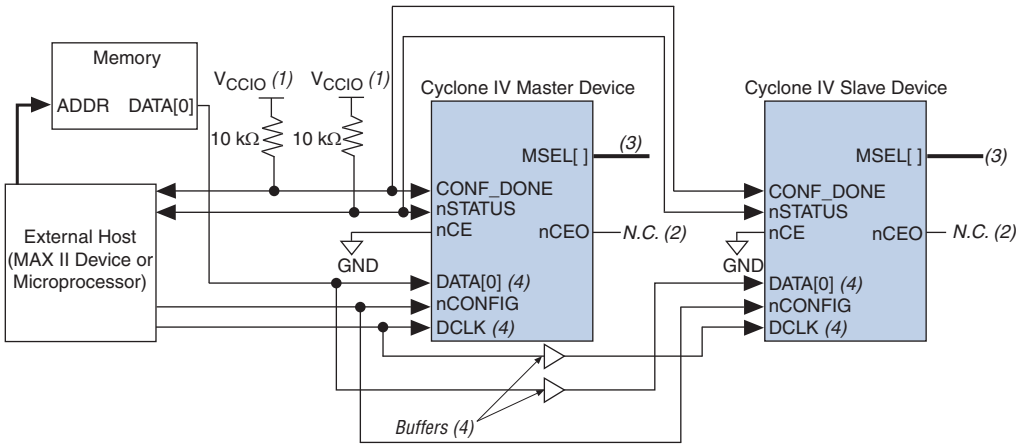


图 8–15 注释：

(1) 您必须将上拉电阻连接到电源，对其链上的所有器件提供一个可接受的输入信号。V_{CC} 必须足够高以满足器件和外部主机上的 V_{IH} 规范的 I/O。

(2) 当配置相同配置数据到多个器件中时，悬空两种器件的 nCEO 管脚或者将其作为用户 I/O 管脚。

(3) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚，请参考第 8–8 页表 8–3、第 8–8 页表 8–4 和第 8–9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(4) 所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。 DATA[0] 和 DCLK 必须符合第 8–5 页公式 8–1 所概述的最大过冲方程。

PS 配置时序

一个 PS 配置必须满足建立和保持时间参数以及最大化时钟频率。当使用一个微处理器或其它智能主机控制 PS 接口时，确保您满足这些时序的要求。图 8–16 显示了当使用一个外部主机器件时，PS 配置的时序波形。

图 8–16. PS 配置时序波形 *(1)*

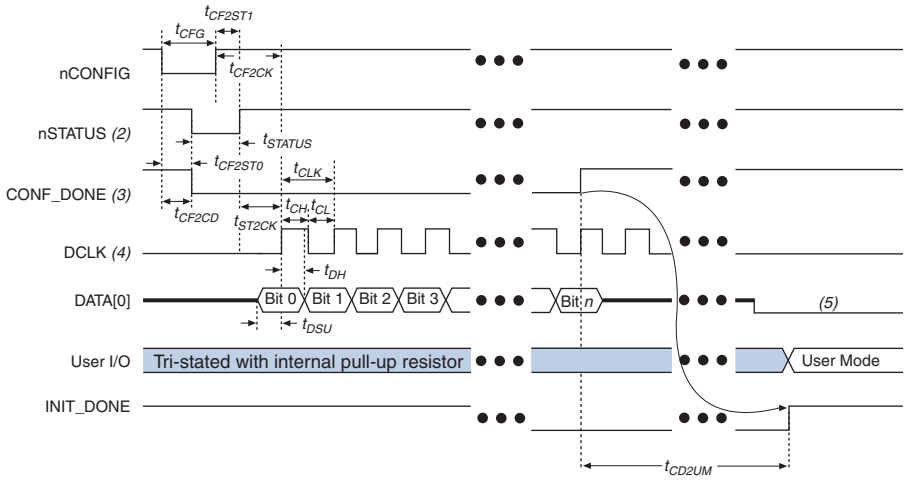


图 8–16 注释：

(1) 这个波形的开始，显示了在用户模式下的器件。在用户模式下，nCONFIG、nSTATUS 和 CONF_DONE 处在逻辑高水平。当 nCONFIG 被拉低时，意味着一个重配置周期的开始。

(2) 上电后，Cyclone IV 器件在 POR 延迟期间保持 nSTATUS 低电平。

(3) 上电后，配置之前和配置期间，CONF_DONE 处于低电平。

(4) 在用户模式下，使用 PS 配置方案时驱动 DCLK 或高或低，取其方便而用。当使用 AS 配置方案时，DCLK 是一个 Cyclone IV 器件的输出管脚并且必须不被外部驱动。

(5) 配置完成后，不可悬空 DATA[0] 管脚。驱动 DATA[0] 或高或低，取其方便而用。

表 8–11 列出了 Cyclone IV 器件的 PS 配置时序参数

表 8–11. Cyclone IV 器件的 PS 配置时序参数 (1/2) *(1)*

符号	参数	最低		最高		单位
		Cyclone IV *(2)*	Cyclone IV E *(3)*	Cyclone IV *(2)*	Cyclone IV E *(3)*	
t_{CF2CD}	nCONFIG 低电平到 CONF_DONE 低电平	—		500		ns
t_{CF2ST0}	nCONFIG 低电平到 nSTATUS 低电平	—		500		ns
t_{CFG}	nCONFIG 低脉冲宽度	500		—		ns
t_{STATUS}	nSTATUS 低脉冲宽度	45		230 *(4)*		µs
t_{CF2ST1}	nCONFIG 高电平到 nSTATUS 高电平	—		230 *(5)*		µs

表 8-11. Cyclone IV 器件的 PS 配置时序参数 (2/2) *(1)*

符号	参数	最低		最高		单位
		Cyclone IV *(2)*	Cyclone IV E *(3)*	Cyclone IV *(2)*	Cyclone IV E *(3)*	
t_{CF2CK}	nCONFIG 高电平到 DCLK 的上升沿	230 *(4)*		—		µs
t_{ST2CK}	nSTATUS 高电平到 DCLK 的上升沿	2		—		µs
t_{DH}	DCLK 的上升沿后，数据保持时间	0		—		ns
t_{CD2UM}	CONF_DONE 高电平到用户模式 *(6)*	300		650		µs
t_{CD2CU}	CONF_DONE 高电平到启用 CLKUSR	4 × 最大 DCLK 周期		—		—
t_{CD2UMC}	CONF_DONE 高电平到用户模式，打开 **CLKUSR** 选项	t_{CD2CU} + (3,192 × CLKUSR 周期)		—		—
t_{DSU}	DCLK 的上升沿之前，数据建立时间	5	8	—	—	ns
t_{CH}	DCLK 高时间	3.2	6.4	—	—	ns
t_{CL}	DCLK 低时间	3.2	6.4	—	—	ns
t_{CLK}	DCLK 周期	7.5	15	—	—	ns
f_{MAX}	DCLK 频率 *(7)*	—	—	133	66	MHz

表 8-11 注释：

(1) 这些是初始信息。
(2) 应用于 1.2-V 核心电压的 Cyclone IV GX 和 Cyclone IV E 器件。
(3) 应用于 1.0-V 核心电压的 Cyclone IV E 器件。
(4) 如果您没有延迟通过延长 nCONFIG 或 nSTATUS 低脉冲宽度的配置，这个值是适用的。
(5) 如果您没有延迟保持外部 nSTATUS 低电平的配置，这个值是适用的。
(6) 最低和最高的数量，仅在您选择内部振荡器作为启动器件的时钟源时适用。
(7) 1.0-V 核心电压的 Cyclone IV E 器件与 1.2-V 核心电压的 Cyclone IV GX 器件相比具有较慢的 F_{MAX}。

使用下载电缆的 PS 配置

这一部分中，通用术语 “ 下载电缆 ” 包括了 Altera 的 USB-Blaster 的 USB 端口下载电缆，MasterBlaster™串行和 USB 通讯电缆，ByteBlaster II 并口下载电缆，ByteBlasterMV™并口下载电缆以及 EthernetBlaster 通讯电缆。

在使用下载电缆的 PS 配置中，一台智能主机 （例如一台 PC）通过下载电缆，从储存器件传输数据到 Cyclone IV 器件。

编程硬件或下载电缆，然后一次一个位地将配置数据放置在器件的 DATA[0] 管脚上。配置数据被计入目标器件，直到 CONF_DONE 变高。 CONF_DONE 管脚必须有一个 10-kΩ 的外部上拉电阻器以便对器件进行初始化。

当您使用下载电缆时，对 **Auto-restart configuration after error** 选项的设置不影响配置周期，因为如果发生错误，您必须在 Quartus II 软件中手动重启配置。此外，**Enable user-supplied start-up clock (CLKUSR)** 选项不影响器件的初始化，因为用 Quartus II 编程器和下载电缆编程此器件时，这一选项在 **.sof** 中被被禁用。因此，如果您打开 **CLKUSR** 选项，当您用 Quartus II 编程器和下载电缆配置此器件时，您不用为 CLKUSR 提供时钟。

图 8–17 显示了 Cyclone IV 器件使用下载电缆的 PS 配置

图 8–17. 使用下载电缆的 PS 配置

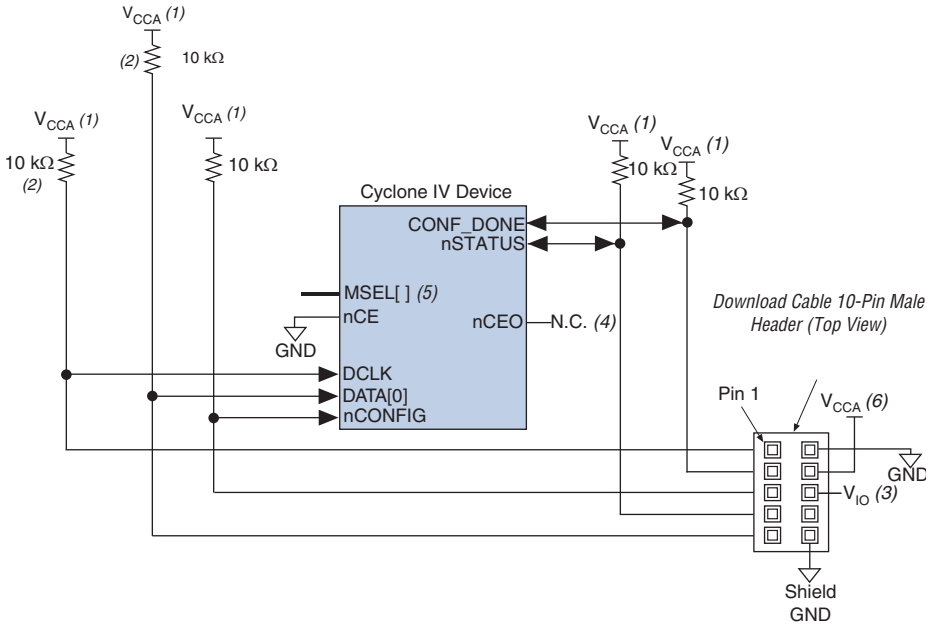


图 8–17 注释：

(1) 您必须将上拉电阻连接到与 V_{CCA} 相同的电源上。

(2) 仅需要 DATA[0] 和 DCLK 中的上拉电阻，如果下载电缆是使用在您电路板上唯一的配置方案。这保证了 DATA[0] 和 DCLK 在配置完成后不被悬空。例如，如果您也使用一个配置器件，DATA[0] 和 DCLK 中的上拉电阻是不需要的。

(3) 管脚 6 插头对于 MasterBlaster 的输出驱动是一个 V_{IO} 参考电压。V_{IO} 必须与器件 V_{CCA} 相匹配。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。与 USB-Blaster、ByteBlaster II、ByteBlaster MV 和 EthernetBlaster，这个管脚是不连接的。

(4) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(5) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要为 PS 配置方案连接 MSEL 管脚，请参考第 8-8 页表 8–3、第 8-8 页表 8–4 和第 8-9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(6) 利用 V_{CCA} 上 2.5-V 的供电上电 ByteBlaster II、USB-Blaster 或者 ByteBlasterMV 电缆的 V_{CCA} 的。第三方编程员必须切换到 2.5 V。管脚 4 插头是 MasterBlaster 电缆的 V_{CC} 供电电源。MasterBlaster 电缆可以接收电路板上 5.0-或 3.3-V 的电源，DC 供电电源或者 USB 电缆上的 5.0 V 电源。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。

您可以使用一条下载电缆配置多个 Cyclone IV 器件的配置管脚。nCONFIG、nSTATUS、DCLK、DATA[0] 和 CONF_DONE 连接链中的每个器件。因为所有 CONF_DONE 管脚都连接在一起，所以链上所有的器件同时使用和进入用户模式。

此外，如果任何器件检测到错误，整条链将停止配置，这是由于 nSTATUS 管脚都连接在一起。图 8–18 显示了多个 Cyclone IV 器件，使用 MasterBlaster、USB-Blaster、ByteBlaster II 或者 ByteBlasterMV 电缆进行的 PS 配置。

图 8–18. 使用下载电缆的多器件 PS 配置

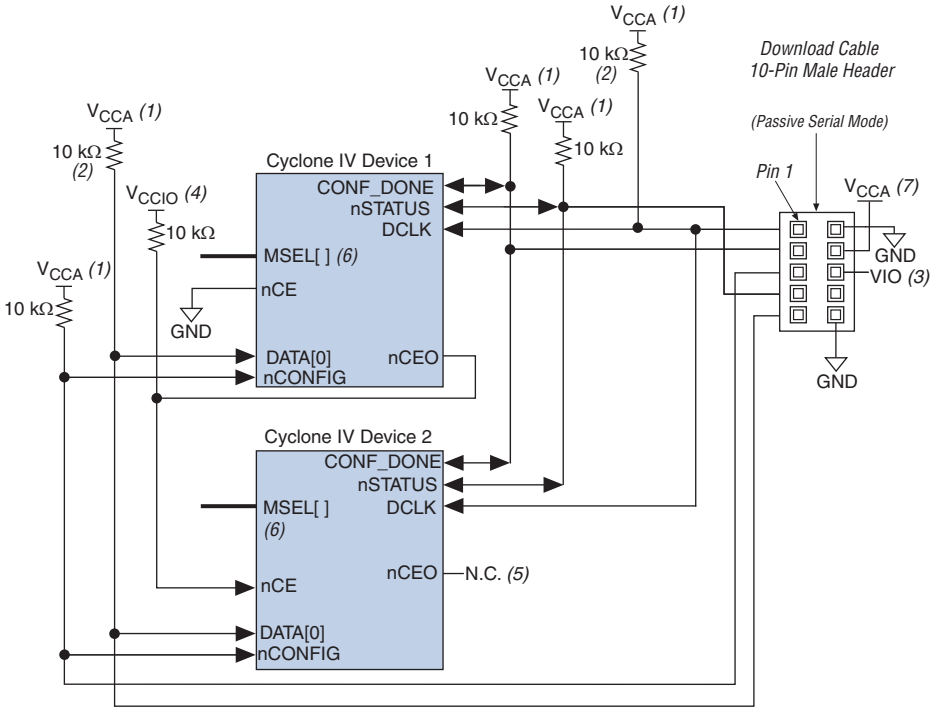


图 8–18 注释：

(1) 您必须将上拉电阻连接到与 V_{CCA} 相同的电源上。

(2) 仅需要 DATA[0] 和 DCLK 中的上拉电阻，如果下载电缆是使用在您电路板上唯一的配置方案。这保证了 DATA[0] 和 DCLK 在配置完成后不被悬空。例如，如果您也使用一个配置器件，DATA[0] 和 DCLK 中的上拉电阻是不需要的。

(3) 管脚 6 插头对于 MasterBlaster 的输出驱动是一个 V_{IO} 参考电压。V_{IO} 必须与器件 V_{CCA} 相匹配。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。当使用 ByteBlasterMV 下载电缆时，这个管脚是不连接的。当使用 USB-Blaster、ByteBlaster II 和 EthernetBlaster 电缆时，这个管脚连接到 nCE，当它用于 AS 编程时。否则，它是不相连接的。

(4) 将上拉电阻连接到 nCE 管脚所在的 I/O bank 上的 V_{CCIO} 电源。

(5) 将链中最后一个器件上的 nCEO 管脚悬空或作为用户 I/O 管脚。

(6) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要为 PS 配置方案连接 MSEL 管脚，请参考第 8-8 页表 8–3、第 8-8 页表 8–4 和第 8-9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(7) 利用 V_{CCA} 上 2.5-V 的供电上电 ByteBlaster II、USB-Blaster 或者 ByteBlasterMV 电缆的 V_{CC}。第三方编程员必须切换到 2.5 V。管脚 4 插头是 MasterBlaster 电缆的 V_{CC} 供电电源。MasterBlaster 电缆可以接收电路板上 5.0-或 3.3-V 的电源，DC 供电电源或者 USB 电缆上的 5.0 V 电源。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。

FPP 配置

设计 Cyclone IV 器件的 FPP 配置的目的是满足日益增加的对于加快配置时间的需求。Cyclone IV 器件与每个时钟周期接收字宽的配置数据的能力一起被设计。

您可以利用同一台智能主机（如：一台 MAX II 器件或具有闪存的微处理器）执行 Cyclone IV 器件的 FPP 配置。如果您的系统已包含一个 CFI 闪存，您也可以把它用在 Cyclone IV 器件配置的存储上。MAX II 器件中的 MAX II PFL 的功能为编程 CFI 闪存器件提供一种有效的方法，通过 JTAG 接口和逻辑以控制从闪存器件到 Cyclone IV 器件的配置。

要了解关于PFL的详细信息，请参考 *AN 386: Using the Parallel Flash Loader with the Quartus II Software*。

FPP 配置支持 EP4CGX30（仅适用于 F484 封装）、EP4CGX50、EP4CGX75、EP4CGX110、EP4CGX150 和所有的 Cyclone IV E 器件。

FPP 配置不支持 Cyclone IV E 器件的 E144 封装。

Cyclone IV 器件不支持为 FPP 配置增强配置器件。

使用外部主机进行 FPP 配置

使用一台外部主机进行 FPP 配置，提供了一种快速的方法来配置 Cyclone IV 器件。在 FPP 配置方案中，您可以使用一台外部主机器件来控制从存储器件（例如：闪存）到目标 Cyclone IV 器件的配置数据的传输。您可以存储 **.rbf**、**.hex** 或 **.ttf** 格式的配置数据。当使用外部主机时，控制配置过程的设计，例如从闪存中获取数据并且把它发送到器件，必须存储于外部主机的器件中。图 8–19 显示了 Cyclone IV 器件和单器件配置的外部器件之间对于配置接口的连接。

图 8–19. 使用外部主机进行单器件 FPP 配置

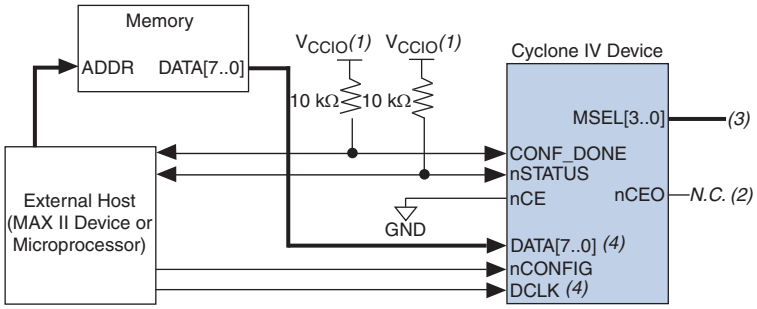


图 8–19 注释：

(1) 将上拉电阻连接到电源，对器件提供一个可接受输入信号的电源。V_{CC} 必须足够高以满足器件和外部主机上的 V_{IH} 规范的 I/O。

(2) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(3) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要为 PS 配置方案连接 MSEL 管脚，请参考第 8-8 页表 8–4 和第 8-9 页表 8–5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(4) 所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。DATA[7..0] 和 DCLK 必须符合第 8-5 页公式 8–1 所概述的最大过冲方程。

当 nSTATUS 被释放后，器件准备接收配置数据，配置阶段开始。当 nSTATUS 拉高时，外部主机器件一次一个位地将配置数据放置在 DATA[7..0] 管脚上。

Cyclone IV 器件接收 DATA[7..0] 管脚的配置数据和 DCLK 管脚的时钟。数据被锁存在 DCLK 上升沿的器件中。数据不断锁定到目标器件，直到 CONF_DONE 变高。CONF_DONE 管脚在 FPP 配置模式中提早变高一个字节。最后一个字节对于串行配置 （AS 和 PS）模式是必需的。



在 CONF_DONE 变高后，需要两个 DCLK 下降沿，以开始器件的初始化。

在 CLKUSR 提供一个时钟，不影响配置的过程。在 CONF_DONE 管脚变高后， CLKUSR 在时间指定为 t_{CD2CU} 后被启用。经过这段时间后，Cyclone IV 器件需要 3,192 个时钟周期以正确进行初始化和进入用户模式。要了解关于支持 Cyclone IV 器件的 CLKUSR f_{MAX} 值的详细信息，请参考第 8-44 页表 8-12。

当初始化完成后， INIT_DONE 管脚被释放和拉高。外部主机必须能检测到这种从低至高的跳变，其暗示器件已进入到用户模式。当初始化完成后，器件进入用户模式。在用户模式下，用户 I/O 管脚不再有弱上拉电阻和分配的功能于您的设计中。

为了确保 DCLK 和 DATA[0] 在配置的最后没有被悬空，MAX II 器件必须驱动其或高或低，只要适合您的板级。 DATA[0] 管脚在配置完成后可用为用户 I/O 管脚。当您在 Quartus II 软件中选择 FPP 方案时， DATA[0] 管脚在用户模式下默认为三态，并且必须由外部主机器件驱动。要在 Quartus II 软件中改变这一默认选项，选择 **Device and Pin Options** 对话框中的 **Dual-Purpose Pins** 标签。

DCLK 的速度必须低于指定的系统频率，以确保正确的配置。无上限 DCLK 周期的存在，意味着您可以通过中止 DCLK 的不定时间量来暂停配置。

外部主机器件也可以监测 CONF_DONE 和 INIT_DONE 管脚，以确保成功配置。CONF_DONE 管脚必须由外部器件监控以检测错误，并确定编程的完成时间。如果所有的配置数据发送后，但 CONF_DONE 或者 INIT_DONE 没有变高，外部器件必须重配置目标器件。

图 8-20 显示了如何利用一个 MAX II 器件配置多个器件。这个电路与单器件的 FPP 配置电路相类似，除了 Cyclone IV 器件级联的多器件配置。

图 8-20. 使用外部主机的多器件 FPP 配置

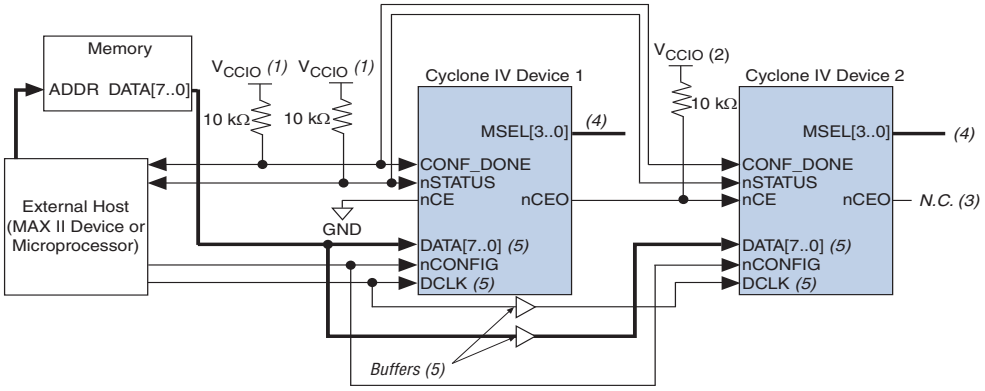


图 8-20 注释：

(1) 您必须将上拉电阻连接到电源，对其链上的所有器件提供一个可接受的输入信号。V_{CC} 必须足够高以满足器件和外部主机上的 V_{IH} 规范的 I/O。

(2) 将上拉电阻连接到 nCE 管脚所在的 I/O bank 上的 V_{CCIO} 电源。

(3) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚，请参考第 8-8 页表 8-4 和第 8-9 页表 8-5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(5) 所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。DATA[7..0] 和 DCLK 必须符合第 8-5 页公式 8-1 所概述的最大过冲方程。

在多器件配置链中完成第一个器件配置后，其 nCEO 管脚驱动至低电平以激活第二个器件中的 nCE 管脚，提示第二个器件开始进行配置。链中的第二个器件开始在一个时钟周期中的配置；因此，对于 MAX II 器件，传输的数据的目的地是透明的。所有其它的配置管脚（nCONFIG、nSTATUS、DCLK、DATA[7..0] 和 CONF_DONE）都连接到链中的每个器件上。配置信号可能需要缓冲，以确保信号的完整性和防止时钟的偏斜问题。确保 DCLK 和 DATA 线是缓冲的。所有的器件初始化并且同时进入用户模式，因为所有器件的 CONF_DONE 管脚都是连接在一起的。

所有的 nSTATUS 和 CONF_DONE 管脚都是连接在一起的，如果任何器件检测到一个错误，整条链的配置都将停止并必须进行重配置。例如，如果第一个器件在 nSTATUS 上标记一个错误，它将通过拉低 nSTATUS 管脚，重设整条链。这种行为与一个单器件检测错误相似。

图 8-21 显示了当两个 Cyclone IV 器件接收相同的配置数据时的多器件 FPP 配置。配置管脚 （nCONFIG、nSTATUS、DCLK、DATA[7..0] 和 CONF_DONE）被连接到链中的每个器件上。配置信号可能需要缓冲，以确保信号的完整性和防止时钟的偏斜问题。确保 DCLK 和 DATA 线是缓冲的。器件必须具有相同的密度和封装。所有的器件同时开始和完成配置。

图 8-21. 当两个器件接收相同的数据时，使用外部主机的多器件 FPP 配置

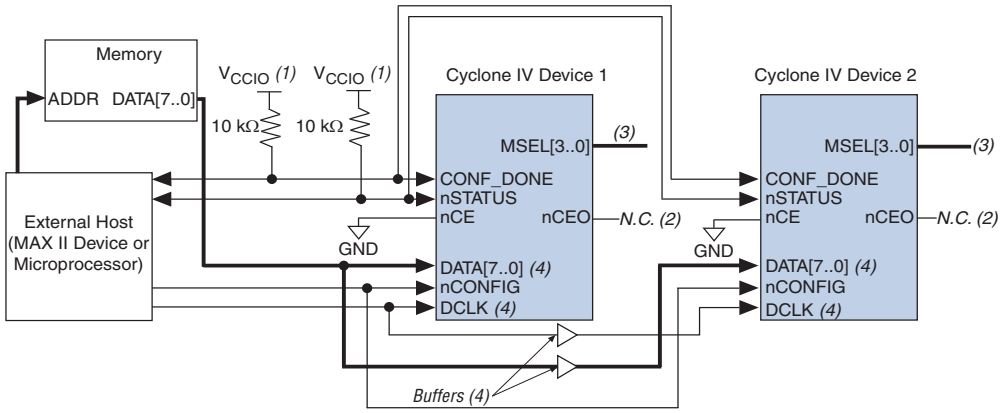


图 8-21 注释：

(1) 您必须将上拉电阻连接到电源，对其链上的所有器件提供一个可接受的输入信号。V_{CC} 必须足够高以满足器件和外部主机上的 V_{IH} 规范的 I/O。

(2) 悬空两个器件上的 nCEO 管脚或者将其作为用户 I/O 管脚，当配置相同的配置数据到多器件中时。

(3) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚，请参考第 8-8 页表 8-4 和第 8-9 页表 8-5。将 MSEL 管脚直接连接到 V_{CCA} 或者 GND。

(4) 所有的 I/O 输入必须保持最高 4.1 V 的 AC 电压。DATA[7..0] 和 DCLK 必须符合第 8-5 页公式 8-1 所概述的最大过冲方程。

您可以使用一个单配置链，对 Cyclone IV 器件与其它支持 FPP 配置的 Altera 器件进行配置。要确保链上所有的器件同时完成配置，或者一个器件上标记的错误开始对所有器件进行重配置，将所有的 CONF_DONE 和 nSTATUS 管脚连接在一起。

要了解关于在相同配置链中配置多个Altera器件的详细信息，请参阅*配置手册*第2卷中的 *Configuring Mixed Altera FPGA Chains* 。

FPP 配置时序

图 8–22 显示了当使用一个外部主机时，FPP 配置的时序波形。

图 8–22. FPP 配置时序波形 *(1)*

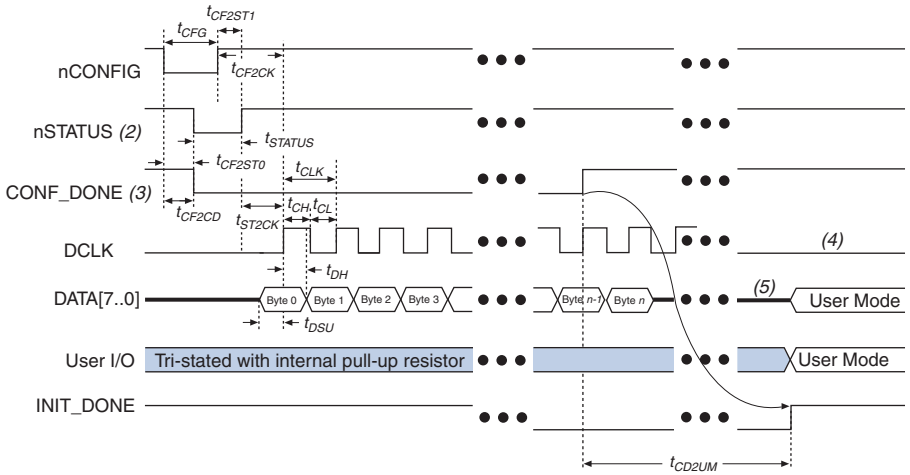


图 8–22 注释：

(1) 这个波形的开始，显示了在用户模式下的器件。在用户模式下，nCONFIG、nSTATUS 和 CONF_DONE 处在逻辑高水平。当 nCONFIG 被拉低时，意味着一个重配置周期的开始。
(2) 上电后，Cyclone IV 器件在 POR 延迟期间保持 nSTATUS 低电平。
(3) 上电后，配置之前和配置期间，CONF_DONE 处于低电平。
(4) 配置完成后，不可悬空 DCLK。驱动其至高或低，取其方便而用。
(5) DATA[7..0] 在配置完成后可用为用户 I/O 管脚，管脚的状态取决于复用管脚的设置。

表 8–12 列出了 Cyclone IV 器件的 FPP 配置时序参数。

表 8–12. Cyclone IV 器件的 FPP 时序参数 (1/2) *(1)*

符号	参数	最低		最高		单位
		Cyclone IV *(2)*	Cyclone IV E *(3)*	Cyclone IV *(2)*	Cyclone IV E *(3)*	
t_{CF2CD}	nCONFIG 低电平到 CONF_DONE 低电平	—		500		ns
t_{CF2ST0}	nCONFIG 低电平到 nSTATUS 低电平	—		500		ns
t_{CFG}	nCONFIG 低脉冲宽度	500		—		ns
t_{STATUS}	nSTATUS 低脉冲宽度	45		230 *(4)*		µs
t_{CF2ST1}	nCONFIG 高电平到 nSTATUS 高电平	—		230 *(5)*		µs
t_{CF2CK}	nCONFIG 高电平到 DCLK 的上升沿	230 *(4)*		—		µs

表 8-12. Cyclone IV 器件的 FPP 时序参数 (2/2) *(1)*

符号	参数	最低		最高		单位
		Cyclone IV *(2)*	Cyclone IV E *(3)*	Cyclone IV *(2)*	Cyclone IV E *(3)*	
t_{ST2CK}	nSTATUS 高电平到 DCLK 的上升沿	2		—		µs
t_{DH}	DCLK 的上升沿后，数据保持时间	0		—		ns
t_{CD2UM}	CONF_DONE 高电平到用户模式 *(6)*	300		650		µs
t_{CD2CU}	CONF_DONE 高电平到启用 CLKUSR	4 × 最大 DCLK 周期		—		—
t_{CD2UMC}	CONF_DONE 高电平到用户模式，打开 **CLKUSR** 选项	t_{CD2CU} + (3,192 × CLKUSR 周期)		—		—
t_{DSU}	DCLK的上升沿之前，数据建立时间	5	8	—	—	ns
t_{CH}	DCLK 高时间	3.2	6.4	—	—	ns
t_{CL}	DCLK 低时间	3.2	6.4	—	—	ns
t_{CLK}	DCLK 周期	7.5	15	—	—	ns
f_{MAX}	DCLK 频率 *(7)*	—	—	133	66	MHz

表 8-12 注释：

(1) 这些是初始信息。
(2) 应用于 1.2-V 核心电压的 Cyclone IV GX 和 Cyclone IV E 器件。
(3) 应用于 1.0-V 核心电压的 Cyclone IV E 器件。
(4) 如果您没有延迟通过延长 nCONFIG 或 nSTATUS 低脉冲宽度的配置，这个值是适用的。
(5) 如果您没有延迟保持外部 nSTATUS 低电平的配置，这个值是适用的。
(6) 最低和最高的数量，仅在您选择内部振荡器作为启动器件的时钟源时适用。
(7) 1.0-V 核心电压的 Cyclone IV E 器件与 1.2-V 核心电压的 Cyclone IV GX 器件相比具有较慢的 F_{MAX}。

JTAG 配置

JTAG 为边界扫描测试（BST）开发了一种规范。BST 架构所提供的性能，有效地测试了 PCB 上组件的引线间距的严密性。在器件正常操作的情况下，BST 架构可以测试管脚的连接，无需使用物理测试探针和采集功能数据。您也可以使用 JTAG 电路把配置数据移位到器件中。Quartus II 软件在 Quartus II 软件编程中使用下载电缆为 JTAG 配置自动生成 .sof 文件。

要了解关于 JTAG 边界扫描测试的详细信息，请参阅 *JTAG Boundary-Scan Testing for Cyclone IV Devices* 章节。

JTAG 指令优先于其它任何的配置模式。因此，JTAG 配置可以发生，无需等待其它配置模式的完成。例如，如果您尝试在 PS 配置期间，对 Cyclone IV 器件进行 JTAG 配置，PS 配置终止，JTAG 配置开始。如果 MSEL 管脚被设置在 AS 模式中，Cyclone IV 器件在 JTAG 配置发生时，不会输出一个 DCLK 信号。

对于在 JTAG 模式中的器件操作所需的四个管脚为 TDI、TDO、TMS 和 TCK。所有的 JTAG 输入管脚都由 V_{CCIO} 管脚供电并且仅支持 LVTTL I/O 标准。所有用户 I/O 管脚在 JTAG 配置期间均处于三态。表 8-13 说明了每个 JTAG 管脚的功能。

表 8-13. 专用的 JTAG 管脚

管脚名称	管脚类型	说明
TDI	测试数据输入	串行输入管脚的说明以及测试和编程数据。数据移入到 TCK 的上升沿。如果在电路板上不需要 JTAG 接口，JTAG 电路被禁用连接此管脚至 V_{CC}。TDI 管脚具有内部弱上拉电阻（通常为 25 kΩ）。
TDO	测试数据输出	串行数据输出管脚的说明以及测试和编程数据。数据在 TCK 的下降沿移出。如果数据没有从器件中被移出，此管脚处于三态。如果在电路板上不需要 JTAG 接口，悬空此管脚以禁用 JTAG 电路。
TMS	测试模式选择	输入管脚所提供的控制信号，以确认 TAP 控制状态机的跳变。状态机上的跳变发生在 TCK 的上升沿。因此，TMS 必须设置在 TCK 的上升沿之前。TMS 在 TCK 的上升沿中被评估。如果在电路板上不需要 JTAG 接口，JTAG 电路被禁用连接此管脚至 V_{CC}。TMS 管脚具有内部弱上拉电阻（通常为 25 kΩ）。
TCK	测试时钟输入	时钟输入至 BST 电路。一些操作发生在上升沿，而其它的则发生在下降沿。如果在电路板上不需要 JTAG 接口，JTAG 电路被禁用连接此管脚至 GND。TCK 管脚具有内部弱下拉电阻。

您可以通过使用 USB-Blaster、MasterBlaster、ByteBlaster II 或 ByteBlasterMV 下载电缆，或者在 JTAG 配置期间的 EthernetBlaster 通信电缆下载数据到器件上。利用电缆配置器件与在系统编程器件相类似。图 8-23 和图 8-24 显示了一个单一的 Cyclone IV 器件的 JTAG 配置。

对于器件使用 2.5、3.0 和 3.3 V 的 V_{CCIO}，请参考图 8-23。所有 I/O 输入必须保持最高 4.1 V 的 AC 电压，因为 JTAG 管脚不具有内部 PCI 钳位二极管，以防止使用 2.5、3.0 和 3.3 V 的 V_{CCIO} 时的电压过冲。您必须利用 V_{CCA} 上 2.5-V 的电源上电下载电缆的 V_{CC}。对于器件使用 1.2、1.5 和 1.8 V 的 V_{CCIO}，请参考图 8-24。您可以利用 V_{CCIO} 的电源上电下载电缆的 V_{CC}。

图 8-23. 使用下载电缆 （2.5、3.0 和 3.3-V 的 V_{CCIO} 供电 JTAG 管脚）的单器件的 JTAG 配置

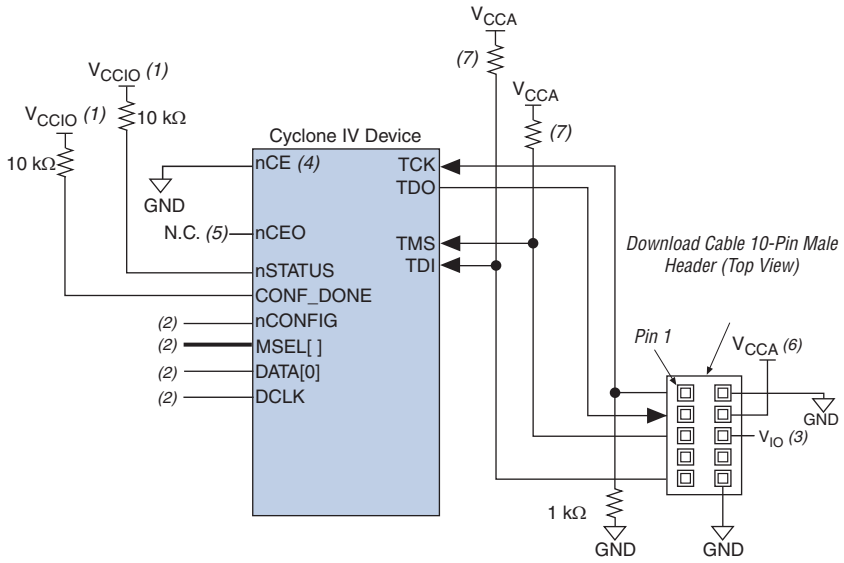


图 8-23 注释：

(1) 将这些上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 连接 nCONFIG 和 MSEL 管脚以支持一个非 JTAG 配置方案。如果您只使用 JTAG 配置，连接 nCONFIG 管脚至逻辑高 （logic-high）和 MSEL 管脚至 GND。此外，拉 DCLK 和 DATA[0] 至高或低，只要适合您的板级。

(3) 管脚 6 插头对于 MasterBlaster 的输出驱动是一个 V_{IO} 参考电压。V_{IO} 必须与器件 V_{CCA} 相匹配。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。当使用 USB-Blaster、ByteBlaster II、ByteBlaster MV 和 EthernetBlaster 电缆时，这个管脚是不连接的。

(4) nCE 管脚必须连接到 GND 或驱动低电平以实现成功的 JTAG 配置。

(5) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(6) 利用 V_{CCA} 上 2.5-V 的供电上电 EthernetBlaster、ByteBlaster II、USB-Blaster 或 ByteBlasterMV 电缆的 V_{CC}。第三方编程员必须切换到 2.5 V。管脚 4 插头是 MasterBlaster 电缆的一个 V_{CC} 供电电源。MasterBlaster 电缆可以接收电路板上 5.0-或 3.3-V 的电源，DC 供电电源或者 USB 电缆上的 5.0 V 电源。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。

(7) 电阻值可以从 1 kΩ 到 10 kΩ 不等。

图 8-24. 使用下载电缆 （1.5-V 或 1.8-V 的 V_{CCIO} 供电 JTAG 管脚）的单器件的 JTAG 配置

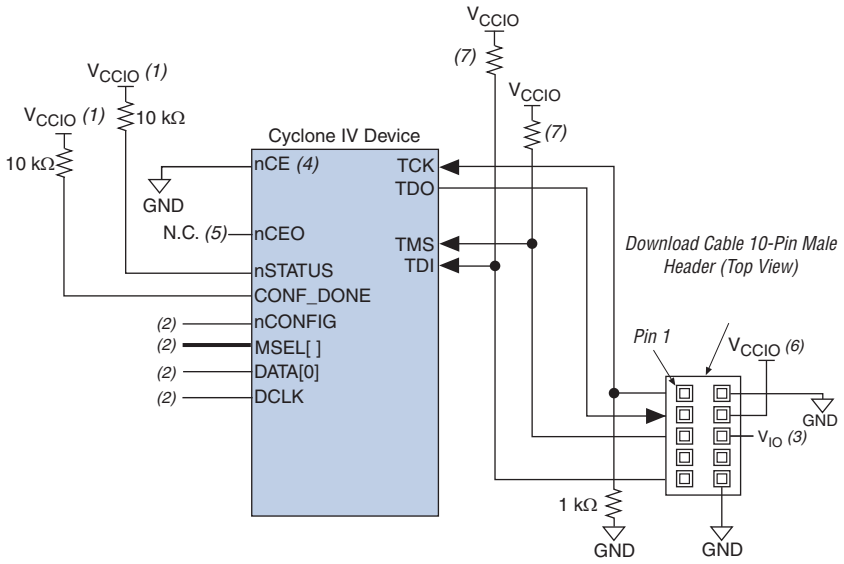


图 8-24 注释：

(1) 将这些上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 连接 nCONFIG 和 MSEL 管脚以支持一个非 JTAG 配置方案。如果您只使用 JTAG 配置，连接 nCONFIG 管脚至逻辑高 （logic-high）和 MSEL 管脚至 GND。此外，拉 DCLK 和 DATA[0] 至高或低，只要适合您的板级。

(3) 在 USB-Blaster 和 ByteBlaster II 电缆中，此管脚连接到 nCE，仅当它用于 AS 编程时，否则，它是不相连接的。

(4) nCE 管脚必须连接到 GND 或驱动低电平以实现成功的 JTAG 配置。

(5) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(6) 利用 V_{CCIO} 上的供电上电 EthernetBlaster、ByteBlaster II 或 USB-Blaster 电缆的 V_{CC}。Ethernet-Blaster、ByteBlaster II 和 USB-Blaster 电缆不支持 1.2 V 的目标供电电压。对于目标供电电压，请参阅 *ByteBlaster II Download Cable User Guide*， *USB-Blaster Download Cable User Guide*，和 *EthernetBlaster Communications Cable User Guide*。

(7) 电阻值可以从 1 kΩ 到 10 kΩ 不等。

要在一个 JTAG 链中配置一个单器件，编程软件将所有其它的器件放在旁路模式下。在旁路模式下，器件通过一个单旁路寄存器从 TDI 管脚传递编程数据至 TDO 管脚，而不被此影响内部。这项方案启用编程软件以编程或校验目标器件。驱动到器件的配置数据一个时钟周期后出现在 TDO 管脚上。

Quartus II 软件在完成配置后验证成功的 JTAG 配置。在配置结束后，软件通过 JTAG 端口检查 CONF_DONE 的状态。当 Quartus II 为一个多器件链生成一个 **.jam** 文件时，它包含的指令使链上所有的器件同时被初始化。如果 CONF_DONE 不高，那么 Quartus II 软件表明配置是失败的。如果 CONF_DONE 是高的，软件表明配置是成功的。在使用 JTAG TDI 端口连续发送配置比特流之后， TCK 端口计入一个额外的时钟周期以执行器件的初始化。

您可以在 Cyclone IV 器件配置之前，期间和之后执行 JTAG 测试。Cyclone IV 器件在配置期间支持 BYPASS、 IDCODE 和 SAMPLE 指令，而无需打断配置。所有其它的 JTAG 指令只能由第一个中继配置和重编程 I/O 管脚利用 ACTIVE_DISENGAGE 和 CONFIG_IO 的指令发出。

CONFIG_IO指令允许您通过JTAG端口配置I/O缓冲器以及在发出ACTIVE_DISENGAGE指令后中断配置。这一指令允许您在配置 Cyclone IV 器件之前或等待配置器件完成配置时执行板级测试。在发出 CONFIG_IO 指令之前，您必须发出 ACTIVE_DISENGAGE 指令。这是因为在 Cyclone IV 器件中， CONFIG_IO 指令没有保持 nSTATUS 低电平直到重配置，因此当活动配置被中断时，您必须脱离活动配置模式控制器。 ACTIVE_DISENGAGE 指令在 JTAG 编程之前，置位活动配置模式控制器于空闲状态下。此外， ACTIVE_ENGAGE 指令允许您重新接入一个脱离的活动配置模式控制器。

☞ 当在Cyclone IV器件中操作ACTIVE_DISENGAGE、CONFIG_IO和ACTIVE_ENGAGE的JTAG配置时，您必须按照特定的流程。

全芯片复位 （DEV_CLRn）和全芯片输出使能 （DEV_OE）管脚在 Cyclone IV 器件不影响 JTAG 边界扫描或编程操作。触发这些管脚不会影响 JTAG 操作 （除了通常的边界扫描操作）。

当为 Cyclone IV 器件的 JTAG 配置设计一个电路板时，考虑专用的配置管脚。表 8-14 介绍了您如何在 JTAG 配置期间必须连接这些管脚。

表 8-14. JTAG 配置期间的专用配置管脚连接

信号	说明
nCE	在链上所有的 Cyclone IV 器件， nCE 必须驱动至低电平，通过它连接到 GND，通过一个电阻将其拉低，或经由一些控制电路驱动它。对同在多器件 AS、AP、PS 或 FPP 的配置链中的器件，您必须将 nCE 管脚连接到 JTAG 配置期间或与配置链具有相同顺序的 JTAG 配置的 GND 中。
nCEO	在链上所有的 Cyclone IV 器件，悬空 nCE 或连接到下一个器件的 nCE。
MSEL	这些管脚必须不能被悬空。这些管脚支持任何一个您在产品中使用的非 JTAG 配置。如果您仅使用 JTAG 配置，将这些管脚连接到 GND。
nCONFIG	通过连接到管脚所在的 bank 上的 V_{CCIO} 电源驱动高电平并且通过一个电阻器或由一些控制电路驱动高电平拉高电平。
nSTATUS	通过一个 10-kΩ 的电阻器上拉管脚所在的 bank 上的 V_{CCIO} 电源。当在同一个 JTAG 链中配置多器件时，每个 nSTATUS 管脚必须上拉至各自的 V_{CCIO} 电源。
CONF_DONE	通过一个 10-kΩ 的电阻器上拉管脚所在的 bank 上的 V_{CCIO} 电源。当在同一个 JTAG 链中配置多器件时，每个 CONF_DONE 管脚必须上拉至各自管脚所在的 bank 上的 V_{CCIO} 电源。CONF_DONE 在 JTAG 配置后变高表明配置成功。
DCLK	不能被悬空。驱动至高或低，只要适合您的板级。

当编程 JTAG 器件链时，一个可兼容的 JTAG 插头被连接到多个器件上。JTAG 链上的器件数量受下载电缆的驱动能力的限制。当四个或更多的器件连接在 JTAG 链时，Altera 建议利用板上缓冲器缓冲 TCK、 TDI 和 TMS 管脚。

JTAG 链器件在系统包含多器件，或利用 JTAG BST 电路测试您的系统时，编程是理想的。图 8-25 和图 8-26 显示了多器件的 JTAG 配置。

对于器件使用 2.5-、3.0- 和 3.3- V 的 V_{CCIO} 电源，请参考图 8–25。所有 I/O 输入必须保持最高 4.1 V 的 AC 电压，因为 JTAG 管脚不具内部 PCI 钳位二极管，以防止使用 22.5-、3.0- 和 3.3- V 的 V_{CCIO} 电源时的电压过冲。您必须利用 V_{CCA} 上 2.5-V 的 V_{CCA} 电源上电下载电缆的 V_{CC}。对于器件使用 1.2、1.5 和 1.8 V 的电压，请参考图 8–26。您可以利用 V_{CCIO} 的电源上电下载电缆的 V_{CC}。

图 8–25. 使用下载电缆 （2.5、3.0 和 3.3-V 的 V_{CCIO} 供电 JTAG 管脚）的多器件的 JTAG 配置

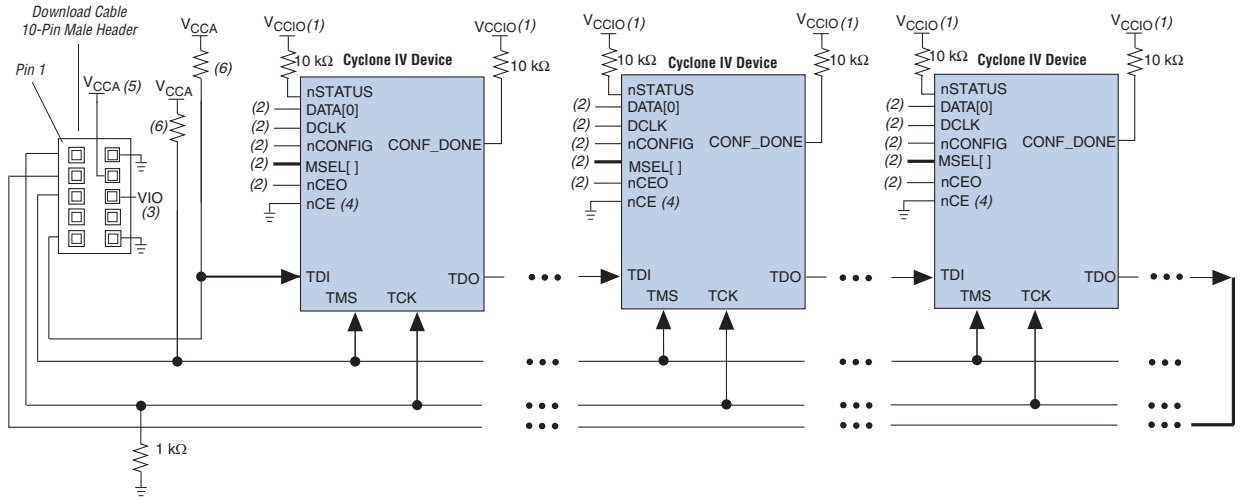


图 8–25 注释：

(1) 将这些上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 连接 nCONFIG 和 MSEL 管脚以支持一个非 JTAG 配置方案。如果您只使用 JTAG 配置，连接 nCONFIG 管脚至逻辑高 （logic-high）和 MSEL 管脚至 GND。此外，拉 DCLK 和 DATA[0] 至高或低，只要适合您的板级。

(3) 管脚 6 插头对于 MasterBlaster 的输出驱动是一个 V_{IO} 参考电压。V_{IO} 必须与器件 V_{CCA} 相匹配。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。在 ByteBlasterMV 电缆中，这个管脚是不连接的。在 USB-Blaster 和 ByteBlaster II 电缆中，此管脚连接到 nCE，仅当它用于 AS 编程时，否则，它是不相连接的。

(4) 您必须连接 nCE 管脚至 GND 或驱动低电平以实现成功的 JTAG 配置。

(5) 利用 V_{CCA} 上 2.5-V 的供电上电 ByteBlaster II、USB-Blaster 或 ByteBlasterMV 电缆的 V_{CC}。第三方编程员必须切换到 2.5 V。管脚 4 插头是 MasterBlaster 电缆的一个 V_{CC} 供电电源。MasterBlaster 电缆可以接收电路板上 5.0-或 3.3-V 的电源，DC 供电电源或者 USB 电缆上的 5.0 V 电源。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。

(6) 电阻值可以从 1 kΩ 到 10 kΩ 不等。

图 8-26. 使用下载电缆 （1.2、1.5 和 1.8-V 的 V_{CCIO} 供电 JTAG 管脚）的多器件的 JTAG 配置

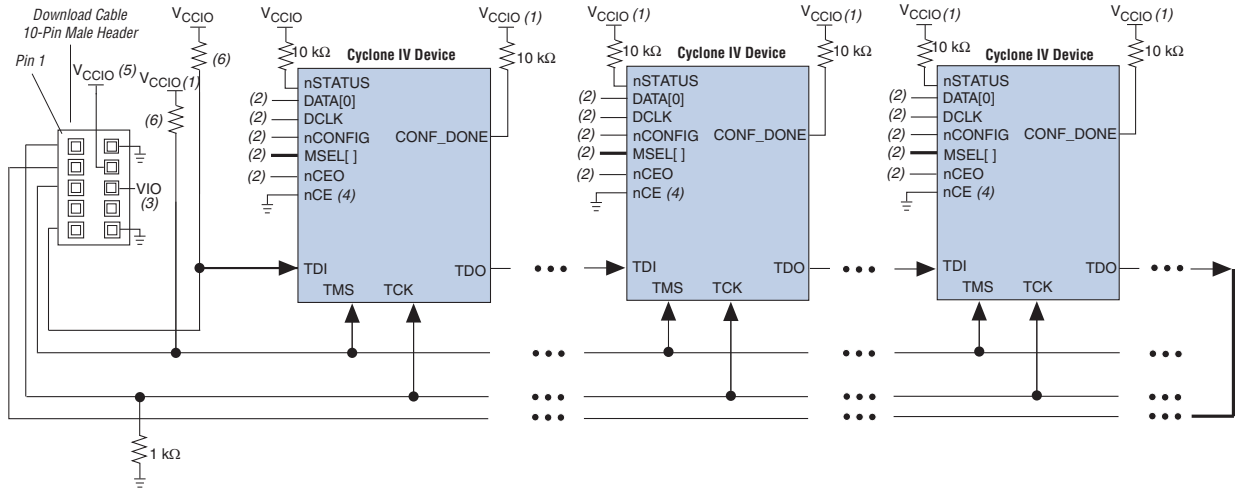


图 8-26 注释：

(1) 将这些上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 连接 nCONFIG 和 MSEL 管脚以支持一个非 JTAG 配置方案。如果您只使用 JTAG 配置，连接 nCONFIG 管脚至逻辑高 （logic-high）和 MSEL 管脚至 GND。此外，拉 DCLK 和 DATA[0] 至高或低，只要适合您的板级。

(3) 在 USB-Blaster 和 ByteBlaster II 电缆中，此管脚连接到 nCE，仅当它用于 AS 编程时，否则，它是不相连接的。

(4) 您必须连接 nCE 管脚至 GND 或驱动低电平以实现成功的 JTAG 配置。

(5) 利用 V_{CCIO} 上的供电上电 ByteBlaster II 或 USB-Blaster 电缆的 V_{CC}。ByteBlaster II 和 USB-Blaster 电缆不支持 1.2 V 的目标供电电压。对于目标供电电压值，请参阅 *ByteBlaster II Download Cable User Guide* 和 *USB-Blaster Download Cable User Guide*。

(6) 电阻值可以从 1 kΩ 到 10 kΩ 不等。

如果一个非Cyclone IV器件在JTAG链中级联，非Cyclone IV器件的TDO进入Cyclone IV器件的 TDI 必须符合第 8-5 页公式 8-1 所概述的最大过冲方程。

CONF_DONE和nSTATUS在多器件AP、PS和FPP配置链中共享信号，以确保器件在完成配置后同时进入用户模式。当 CONF_DONE 和 nSTATUS 在所有器件中共享信号时，在执行 JTAG 配置时您必须配置每个器件。

如果您只是使用 JTAG 配置，Altera 建议您连接电路，如图 8-25 或图 8-26 所示，隔离每个 CONF_DONE 和 nSTATUS 信号，以便器件可以各自进入用户模式。

在多器件配置链中完成第一个器件配置后，其 nCEO 管脚驱动至低电平以激活第二个器件中的 nCE 管脚，提示第二个器件开始进行配置。因此，如果这些器件也在 JTAG 链中，确保 nCE 管脚在 JTAG 配置期间连接到 GND，或器件与配置链一样被相同顺序地 JTAG 配置。只要器件与多器件配置链一样被相同顺序地 JTAG 配置，之前器件在成功的 JTAG 配置之后其 nCEO 驱动下一个器件的 nCE 管脚至低电平。您可以在同一个 JTAG 链中放置另一个支持 JTAG 器件编程配置的 Altera 器件。

JTAG 配置允许在一条 JTAG 链中级联无限数量的 Cyclone IV 器件。

要了解关于在相同配置链中配置多个 Altera 器件的详细信息，请参阅*配置手册*第 2 卷中的 *Configuring Mixed Altera FPGA Chains* 章节。

图 8–27 显示了利用 Cyclone IV 器件和微处理器的 JTAG 配置。

图 8–27. 使用一台微处理器的单器件的 JTAG 配置

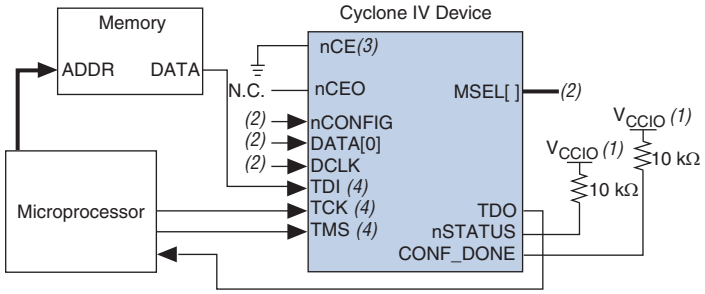


图 8–27 注释：

(1) 您必须将上拉电阻连接到电源，对其链上的所有器件提供一个可接受的输入信号。

(2) 连接 nCONFIG 和 MSEL 管脚以支持一个非 JTAG 配置方案。如果您只使用 JTAG 配置，连接 nCONFIG 管脚至逻辑高 （logic-high）和 MSEL 管脚至 GND。此外，拉 DCLK 和 DATA[0] 至高或低，只要适合您的板级。

(3) 您必须连接 nCE 管脚至 GND 或驱动低电平以实现成功的 JTAG 配置。

(4) 所有 I/O 输入必须保持 4.1 V 的最大 AC 电压。信号进入 TDI、TMS 和 TCK 必须符合最大过冲方程概括于第 8-5 页公式 8-1。

利用 Jam STAPL 配置 Cyclone IV

Jam™ STAPL，JEDEC 标准 JESD-71，是一种用于在系统编程 （ISP）的标准文件格式。Jam STAPL 使用 IEEE 1149.1 JTAG 接口，支持可编程器件的编程或配置和电子系统的测试。Jam STAPL 是一种免费授权的开放标准。Jam Player 提供了一个操纵 IEEE Std. 1149.1 JTAG TAP 状态机的接口。

要了解关于 JTAG 和在嵌入式环境中的 Jam STAPL 的详细信息，请参阅 *AN 425: Using Command-Line Jam STAPL Solution for Device Programming*。要下载 Jam Player，请访问 Altera 网站 （www.altera.com）。

利用 JRunner 软件驱动配置 Cyclone IV 器件

JRunner 软件驱动允许您在 JTAG 模式中通过 ByteBlaster II 或 ByteBlasterMV 电缆配置 Cyclone IV 器件。所支持的编程输入文件为 **.rbf** 格式。JRunner 软件驱动也需要一个由 Quartus II 软件生成的链描述文件 （**.cdf**）。JRunner 软件驱动主要针对嵌入式 JTAG 配置。源代码为 Windows NT 操作系统 （OS）而开发。您可以定制代码，使其运行在您的嵌入式平台上。

用于 JRunner 软件驱动的 **.rbf** 文件不能为压缩的 **.rbf** 文件，因为 JRunner 软件驱动使用基于 JTAG 的配置。在基于 JTAG 配置期间，实时解压缩功能不可用。

要了解关于 JRunner 软件驱动的详细信息，请参阅 *AN 414: JRunner Software Driver: An Embedded Solution for PLD JTAG Configuration* 和 Altera 网站上（www.altera.com）的源文件。

结合 JTAG 和 AS 的配置方案

您可以结合 AS 配置方案与基于 JTAG 的配置（图 8-28）。这一设置在板上使用两个 10 管脚的下载电缆插头。其中一条下载电缆用于 JTAG 模式，通过 JTAG 接口直接配置 Cyclone IV 器件。另一条下载电缆用于 AS 模式，通过 AS 编程接口在系统编程串行配置器件。如果您尝试同时使用这两个方案配置器件，那么 JTAG 配置优先，而 AS 配置终止。

图 8-28. 结合 JTAG 和 AS 的配置方案

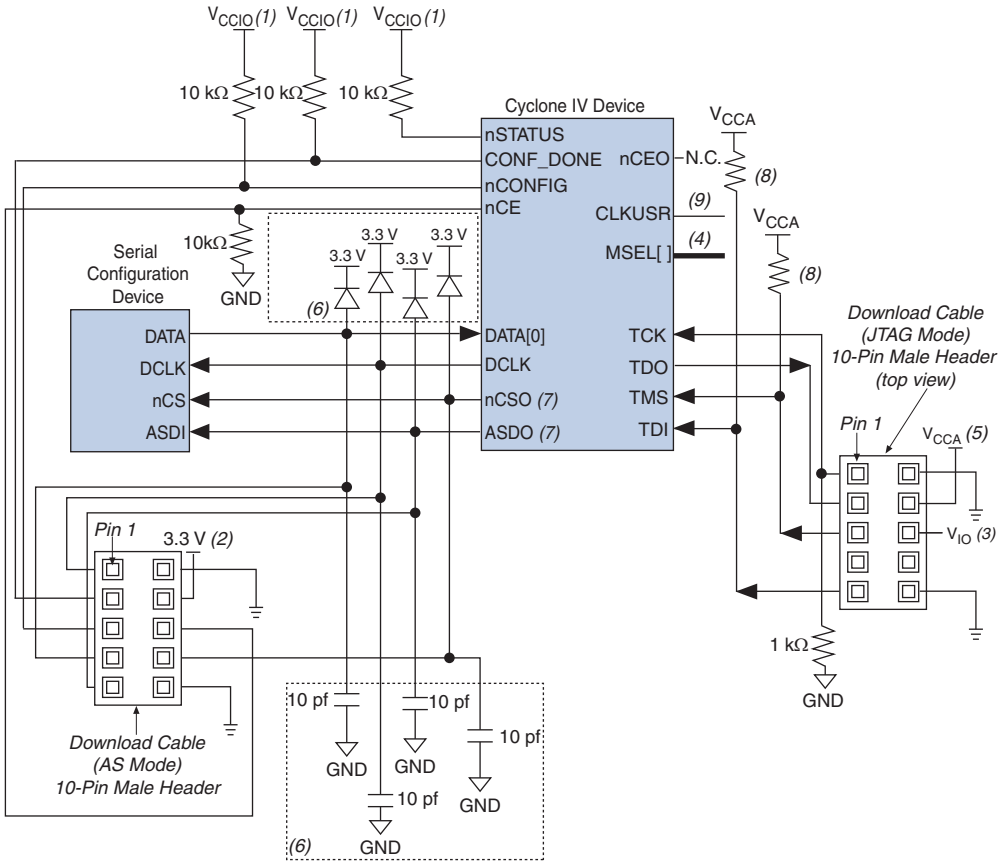


图 8-28 注释：

(1) 将这些上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) 利用 3.3-V 的供电上电 EthernetBlaster、ByteBlaster II 或 USB-Blaster 电缆的 V_{CC}。

(3) 管脚 6 插头对于 MasterBlaster 的输出驱动是一个 V_{IO} 参考电压。V_{IO} 必须与器件 V_{CCA} 相匹配。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。当使用 ByteBlasterMV 下载电缆时，这个管脚是不连接的。当使用 USB-Blaster 和 ByteBlaster II 电缆时，此管脚连接到 nCE，仅当它用于 AS 编程时，否则它是不相连接的。

(4) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚于 AS 配置方案，请参考第 8-8 页表 8-3、第 8-8 页表 8-4 和第 8-9 页表 8-5。直接连接 MSEL 管脚到 V_{CCA} 或 GND。

(5) 利用 V_{CCA} 上 2.5-V 的供电上电 EthernetBlaster、ByteBlaster II、USB-Blaster 或 ByteBlasterMV 电缆的 V_{CC}。第三方编程员必须切换到 2.5 V。管脚 4 插头是 MasterBlaster 电缆的一个 V_{CC} 供电电源。MasterBlaster 电缆可以接收电路板上 5.0-或 3.3-V 的电源，DC 供电电源或者 USB 电缆上的 5.0 V 电源。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。

(6) 您必须将二极管和电容尽可能地放置在接近 Cyclone IV 器件的地方。Altera 建议使用 Schottky 二极管，它具有比切换和 Zener 二极管相对较低的正向二极管 （VF），用于有效的钳位电压。

(7) 这些管脚为复用 I/O 管脚。nCSO 管脚在 AP 模式中作为 FLASH_nCE 管脚的功能。ASDO 管脚在 AP 和 FPP 模式中作为 DATA[1] 管脚的功能。

(8) 电阻值可以从 1 kΩ 到 10 kΩ 不等。

(9) 仅在 Cyclone IV GX 器件具有一个选项以选择 CLKUSR （最高在 40 MHz）作为 DCLK 的外部时钟源。

利用 JTAG 接口在系统编程串行配置器件

Cyclone IV 器件在单器件或多器件链中支持通过 SFL 设计利用 JTAG 接口在系统编程串行配置器件。智能主机或板上下载电缆可以使用 Cyclone IV 器件上的四个 JTAG 管脚，在系统编程串行配置器件，即使主机或下载电缆不能进入到配置管脚（DCLK、DATA、ASDI 和 nCS 管脚）。

SFL 设计是 Altera 串行配置器件的一种基于 JTAG 的在系统编程解决方案。SFL 是 Cyclone IV 器件的桥梁设计，使用它们的 JTAG 接口进入 EPCS JTAG 间接配置器件编程（.jic）文件，而后使用 AS 接口以编程 EPCS 器件。JTAG 接口和 AS 接口桥接在 SFL 设计内。

在多器件链中，您必须只配置控制串行配置器件的主器件。由串行配置器件配置的多器件链中的从器件，在使用这项功能时不必被配置。要成功使用这项功能，设置主器件中的 MSEL 管脚，选择 AS 配置方案（第 8-8 页表 8-3、第 8-8 页表 8-4 和第 8-9 页表 8-5）。通过 Cyclone IV 器件的 JTAG 接口的串行配置器件在系统编程有三个阶段，在接下来的部分进行介绍：

- “载入 SFL 设计”
- “配置器件的 ISP” 第 8-56 页
- “重配置” 第 8-57 页

载入 SFL 设计

SFL 设计是 Cyclone IV 器件内部的一个设计，其利用胶合逻辑桥接 JTAG 接口和 AS 接口。

智能主机使用 JTAG 接口，利用一个 SFL 设计配置主器件。SFL 设计允许主器件通过 JTAG 接口控制对四个串行配置器件管脚的访问，也称为主动串行内存接口（ASMI）管脚。ASMI 管脚是串行时钟输入（DCLK）、串行数据输出（DATA）、AS 数据输入（ASDI）和低电平有效芯片选择（nCS）管脚。

如果您利用一个 SFL 设计配置主器件，即使从器件在多器件链中没有被配置，主器件也进入用户模式。利用一个 SFL 设计主器件进入用户模式，即使 CONF_DONE 信号被链中的另一个从器件外部拉低。图 8–29 显示了利用 SFL 设计的单 Cyclone IV 器件的 JTAG 配置。

图 8–29. 使用 JTAG 接口在系统编程串行配置器件

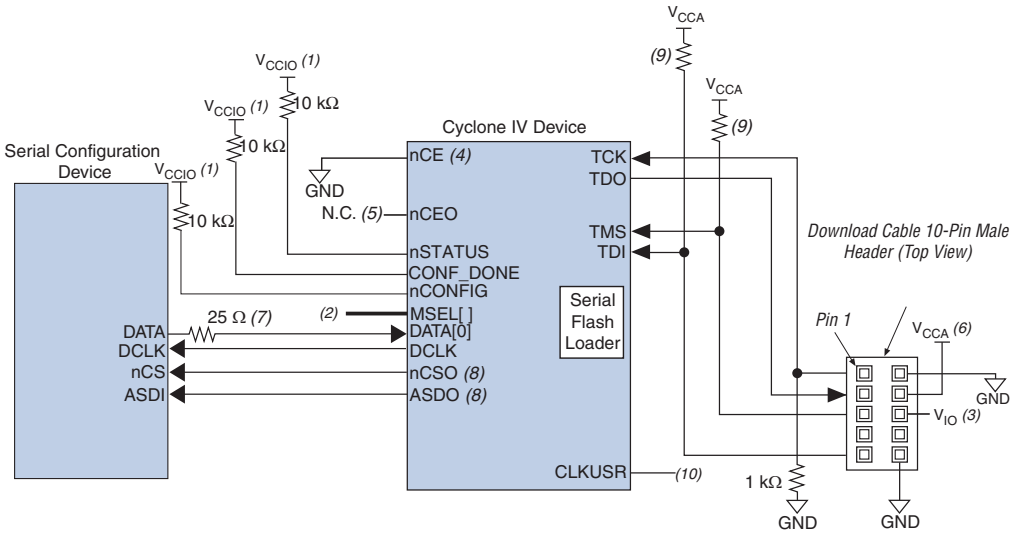


图 8–29 注释：

(1) 将上拉电阻连接到管脚所在的 bank 上的 V_{CCIO} 电源。

(2) MSEL 管脚设置针对不同的配置电压标准和 POR 时间而有所不同。要连接 MSEL 管脚于 AS 配置方案，请参考第 8-8 页表 8–3、第 8-8 页表 8–4 和第 8-9 页表 8–5。直接连接 MSEL 管脚到 V_{CCA} 或 GND。

(3) 管脚 6 插头对于 MasterBlaster 的输出驱动是一个 V_{IO} 参考电压。V_{IO} 必须与器件 V_{CCA} 相匹配。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。当使用 ByteBlasterMV 下载电缆时，这个管脚是不连接的。当使用 USB-Blaster、ByteBlaster II 和 EthernetBlaster 电缆时，此管脚连接到 nCE，仅当它用于 AS 编程时，否则它是不相连接的。

(4) 您必须连接 nCE 管脚至 GND 或驱动低电平以实现成功的 JTAG 配置。

(5) 悬空 nCEO 管脚或者将其作为用户 I/O 管脚，在它不能为其它器件提供 nCE 管脚的情况下。

(6) 利用 V_{CCA} 上 2.5-V 的供电上电 EthernetBlaster、ByteBlaster II、USB-Blaster 或 ByteBlasterMV 电缆的 V_{CC}。第三方编程员必须切换到 2.5 V。管脚 4 插头是 MasterBlaster 电缆的一个 V_{CC} 供电电源。MasterBlaster 电缆可以接收电路板上 5.0-或 3.3-V 的电源，DC 供电电源或者 USB 电缆上的 5.0 V 电源。对于这个值，请参阅 *MasterBlaster Serial/USB Communications Cable User Guide*。

(7) 将串行电阻器连接到串行配置器件的近端。

(8) 这些管脚为复用 I/O 管脚。nCSO 管脚在 AP 模式中作为 FLASH_nCE 管脚的功能。ASDO 管脚在 AP 和 FPP 模式中作为 DATA[1] 管脚的功能。

(9) 电阻值可以从 1 kΩ 到 10 kΩ 不等。

(10) 仅在 Cyclone IV GX 器件具有一个选项以选择 CLKUSR （最高在 40 MHz）作为 DCLK 的外部时钟源。

配置器件的 ISP

在第二个阶段，主器件的 SFL 设计允许您利用 Cyclone IV 器件的 JTAG 接口为器件链写入配置数据到串行配置器件上。JTAG 接口为串行配置器件先发送编程数据到 Cyclone IV 器件。然后 Cyclone IV 器件使用 ASMI 管脚将数据发送到串行配置器件上。

重配置

在成功写入配置数据到串行配置器件后，Cyclone IV 器件不会自动开始重配置。智能主机发出 PULSE_NCONFIG JTAG 指令以初始化重配置过程。在重配置期间，主器件复位，SFL 设计不再存在于 Cyclone IV 器件，并且串行配置器件利用用户设计配置链上所有的器件。

要了解关于 SFL 的详细信息，请参阅 *AN 370: Using the Serial FlashLoader with Quartus II Software*。

JTAG 指令

要了解关于 JTAG 二进制操作指令的详细信息，请参阅 *JTAG Boundary-Scan Testing for Cyclone IV Devices* 章节。

I/O 重配置

使用 CONFIG_IO 指令对 I/O 配置移位寄存器 （IOCSR）链进行重配置。这一指令允许您在配置 Cyclone IV 器件之前或等待配置器件完成配置时执行板级测试。在配置被中断和 JTAG 测试完成后，您必须重配置通过 PULSE_NCONFIG JTAG 指令或脉冲 nCONFIG 管脚拉低的部分。

您可以在用户模式期间的任何时候发出 CONFIG_IO 指令。

当使用 CONFIG_IO 指令时，您必须满足以下的时间限制：

- 在 nCONFIG 管脚为低电平时不可以发出 CONFIG_IO 指令。
- 在以下任何条件之后，您必须观察最少 230 µs 的等待时间：
  - nCONFIG 管脚变高电平
  - 发出 PULSE_NCONFIG 指令
  - 发出 ACTIVE_ENGAGE 指令，在发出 CONFIG_IO 指令之前
- 上电后，您必须等待 230 µs，与在发出 CONFIG_IO 指令之前的高 nCONFIG 管脚（或等待 nSTATUS 管脚变高电平）

使用 ACTIVE_DISENGAGE 指令与 CONFIG_IO 指令中断配置。表 8-15 列出了用于各种 CONFIG_IO 的指令序列的使用情形。

表 8-15. JTAG CONFIG_IO （不具有 JTAG_PROGRAM）的指令流程 (1/2) *(1)*

JTAG 指令	配置方案和 Cyclone IV 器件的电流状态											
	用户模式之前 （中断配置）				用户模式				上电			
	PS	FPP	AS	AP	PS	FPP	AS	AP	PS	FPP	AS	AP
ACTIVE_DISENGAGE	0	0	0	0	0	0	0	0	—	—	—	—
CONFIG_IO	R	R	R	R	R	R	R	R	NA	NA	NA	NA

表 8-15. JTAG CONFIG_IO（不具有 JTAG_PROGRAM）的指令流程 (2/2) *(1)*

JTAG 指令	配置方案和 Cyclone IV 器件的电流状态											
	用户模式之前（中断配置）				用户模式				上电			
	PS	FPP	AS	AP	PS	FPP	AS	AP	PS	FPP	AS	AP
JTAG 边界扫描指令（无 JTAG_PROGRAM）	0	0	0	0	0	0	0	0	—	—	—	—
ACTIVE_ENGAGE	A	A	R *(2)*	R *(2)*	A	A	R *(2)*	R *(2)*	—	—	—	—
PULSE_NCONFIG			A *(3)*	A *(3)*			0	0	—	—	—	—
Pulse nCONFIG pin			A *(3)*	A *(3)*			0	0	—	—	—	—
JTAG TAP 复位	R	R	R	R	R	R	R	R	—	—	—	—

表 8-15 注释：

(1) “R” 表明指令在下一个指令之前您必须执行、“0” 表明可选的指令、“A” 表明指令必须被执行，和 “NA” 表明在这个模式中不允许该指令。

(2) 如果您使用 ACTIVE_DISENGAGE 是需要的。

(3) 如果您使用 ACTIVE_ENGAGE，任何指令都不需要。

CONFIG_IO 指令没有保持 nSTATUS 低电平直到重配置。当主动配置被中断时，您必须通过发出 ACTIVE_DISENGAGE 和 ACTIVE_ENGAGE 指令，脱离 AS 或 AP 配置控制器。您必须单独发出 ACTIVE_DISENGAGE 指令或在 CONFIG_IO 指令之前，如果 JTAG_PROGRAM 指令将被稍后发送（表 8-16）。这使得主动配置控制器进入空闲状态。主动配置控制器在到达用户模式后通过 JTAG 编程重新建立。（表 8-16）。

当执行 CONFIG_IO 指令时，所有的用户 I/O 处于三态。

如果执行中断后使用配置模式进行重配置（而非使用 JTAG_PROGRAM），没有必要在 CONFIG_IO 之前发出 ACTIVE_DISENGAGE 指令。您可以开始重配置，通过拉低 nCONFIG 至少 500 ns 或发出 PULSE_NCONFIG 指令。如果 ACTIVE_DISENGAGE 指令发出后而 JTAG_PROGRAM 指令未能进入用户模式，您必须发出 ACTIVE_ENGAGE 指令以重新激活主动配置控制器。发出 ACTIVE_ENGAGE 信号也触发配置模式的重配置，因此，没有必要拉低 nCONFIG 或发出 PULSE_NCONFIG 指令。

ACTIVE_DISENGAGE

ACTIVE_DISENGAGE 指令在 JTAG 编程之前置主动配置控制器（AS 和 AP）于空闲状态。置主动控制器于空闲状态的两个目的是：

- 要确保它不是在 JTAG 编程过程中试图配置器件
- 要实现控制器正确识别产生于器件到达用户模式的成功的 JTAG 编程

如果 MSEL 管脚被设置到 AS 或 AP 配置方案中，不管 Cyclone IV 器件的当前状态如何，在 JTAG 编程之前需要 ACTIVE_DISENGAGE 指令。如果在被动配置方案（PS 或 FPP）过程中发出 ACTIVE_DISENGAGE 指令，它对 Cyclone IV 器件没有影响。同样，在 ACTIVE_DISENGAGE 指令之后发出 CONFIG_IO 指令，但对于正确停止配置已不再需要。表 8-16 列出了每种配置模式需要的，推荐的和可选的指令。所需指令的顺序是一项硬性的要求并且必须满足以确保功能的实现。

表 8-16. JTAG 编程指令流程 *(1)*

JTAG 指令	配置方案和 Cyclone IV 器件的当前状态											
	在用户模式之前（中断配置）				用户模式				上电			
	PS	FPP	AS	AP	PS	FPP	AS	AP	PS	FPP	AS	AP
ACTIVE_DISENGAGE	0	0	R	R	0	0	0	R	0	0	R	R
CONFIG_IO	Rc	Rc	0	0	0	0	0	0	NA	NA	NA	NA
Other JTAG 指令	0	0	0	0	0	0	0	0	0	0	0	0
JTAG_PROGRAM	R	R	R	R	R	R	R	R	R	R	R	R
CHECK_STATUS	Rc	Rc	Rc	Rc	Rc	Rc	Rc	Rc	Rc	Rc	Rc	Rc
JTAG_STARTUP	R	R	R	R	R	R	R	R	R	R	R	R
JTAG TAP 复位 / 其它指令	R	R	R	R	R	R	R	R	R	R	R	R

表 8-16 注释：

(1) “R” 表明指令在下一个指令之前必须被执行、“0” 表明可选的指令、“Rc” 表明推荐的指令，和 “NA” 表明在这个模式中不允许该指令。

在 AS 或 AP 配置方案中，ACTIVE_DISENGAGE 指令置主动配置控制器于空闲状态。如果一个成功的 JTAG 编程被执行后，主动控制器在用户模式到达后通过 JTAG 编程自动重新建立。这导致主动控制器跳变到它们各自的用户模式状态。

如果 JTAG 编程未能使得 Cyclone IV 器件进入用户模式并且重新建立主动编程，有可用的方法来实现它：

- 在 AS 配置方案中，您可以重新建立 AS 控制器，通过将 JTAG TAP 控制器移到重置状态或发出 ACTIVE_ENGAGE 指令。
- 在 AP 配置方案中，重新建立 AP 控制器的唯一方法是发出 ACTIVE_ENGAGE 指令。在这种情况下，置 nCONFIG 管脚有效不会重新建立任何一个主动控制器。

ACTIVE_ENGAGE

ACTIVE_ENGAGE 指令允许您重新建立一个脱离的主动控制器。您可以在配置期间或用户模式的任何时候发出这一指令以重新建立一个已经脱离的主动控制器，以及触发在主动配置方案中的 Cyclone IV 器件的重配置。

当器件在 PS 或 FPP 配置方案中时， ACTIVE_ENGAGE 指令用作 PULSE_NCONFIG 指令。当发出 ACTIVE_ENGAGE 指令时， nCONFIG 管脚被禁用。

Altera 不建议使用 ACTIVE_ENGAGE 指令，但它为重新建立主动配置控制器 （AS 和 AP）提供了故障安全指令。

覆盖内部振荡器

此功能允许您在主动配置方案过程中覆盖内部振荡器。AS 和 AP 配置控制器使用内部振荡器作为时钟源。您可以通过 JTAG 指令将时钟源更改为 CLKUSR。

EN_ACTIVE_CLK 和 DIS_ACTIVE_CLK JTAG 指令不论打开或关闭，主动时钟都源自 CLKUSR 管脚或内部配置振荡器。要从 CLKUSR 管脚发源主动时钟，发出 EN_ACTIVE_CLK 指令。这导致 CLKUSR 管脚成为主动时钟源。当使用 EN_ACTIVE_CLK 指令时，您必须启用内部振荡器以发生时钟的改变。默认的情况，配置振荡器在完成配置和初始化后被禁用以及器件已进入用户模式。

然而，内部振荡器在以下任何条件下被启用于用户模式中：

- 重配置事件 （例如，驱动 nCONFIG 管脚变为低电平）
- 启用远程更新
- 启用错误检测

当使用 EN_ACTIVE_CLK 和 DIS_ACTIVE_CLK JTAG 指令以覆盖内部振荡器时，您必须两倍计入 CLKUSR 管脚乘以预期的 DCLK 频率。 CLKUSR 管脚允许的最大频率为 80 MHz （40 MHz DCLK）。

通常情况下，一个测试指令，在其希望驱动自身的时钟以控制 AS 状态机时，使用 CLKUSR 管脚。

要恢复时钟源至配置振荡器，发出 DIS_ACTIVE_CLK 指令。在您发出 DIS_ACTIVE_CLK 指令后，您必须继续计入 10 个时钟周期的 CLKUSR 管脚。否则，即使触发 nCONFIG 管脚也不会恢复时钟源和不会发生重配置。一个 POR 恢复时钟源至配置振荡器。触发 nCONFIG 管脚或驱动 JTAG 状态机以复位没有恢复的时钟源的状态。

EN_ACTIVE_CLK

EN_ACTIVE_CLK 指令促使 CLKUSR 管脚信号，替代内部振荡器作为时钟源。当使用 EN_ACTIVE_CLK 指令时，您必须启用内部振荡器以发生时钟的改变。在发出该指令后，其它的 JTAG 指令在 CLKUSR 管脚信号保持为时钟源时可以发出。时钟源仅通过发出 DIS_ACTIVE_CLK 指令或 POR 才恢复到内部振荡器。

DIS_ACTIVE_CLK

DIS_ACTIVE_CLK指令打断了CLKUSR由EN_ACTIVE_CLK指令设置的启用锁存器，并且导致时钟源恢复到内部振荡器。在发出 DIS_ACTIVE_CLK 指令后，您必须继续对 CLKUSR 管脚提供 10 个时钟周期的时钟。

更改 AP 闪存的启动地址

在 AP 配置方案中 （仅对 Cyclone IV E 器件），您可以使用 APFC_BOOT_ADDR JTAG 指令更改并行闪存中的默认配置的启动地址至任何所需的地址。

APFC_BOOT_ADDR

APFC_BOOT_ADDR 指令仅对 Cyclone IV E 器件有效，并且允许您在 AP 配置方案中为并行闪存定义一个启动地址。

此指令为 AP 闪存移入启动地址。当这个指令成为主动指令时， TDI 和 TDO 管脚通过一个 22 位的主动启动地址移位寄存器连接。移入启动地址位载入到 22 位 AP 启动地址更新寄存器，注入 AP 控制器。AP 启动地址更新寄存器的内容可以被采用并从 TDO 移出主动启动地址移位寄存器。

启动地址移位寄存器和更新寄存器中的启动地址被移到右边 （在 LSB 方向）的两个位，与预期的启动地址对抗。这样做的原因是，两个 LSB 的地址是不可被访问的。当这个启动地址进入 AP 控制器时，两个 0 被附到末端作为 LSB，从而推动移入启动地址到左边的两个位，成为 AP 控制器获取的实际 AP 启动地址。

如果您已经启用远程更新功能， APFC_BOOT_ADDR 指令仅设置工厂配置的启动地址。



当系统板级仍然上电的时候， APFC_BOOT_ADDR 指令在完成重配置后被保留。然而，每当您重启系统板级时，您必须重新编程指令。

器件配置管脚

表 8-17 至表 8-20 介绍了 Cyclone IV 器件的所有配置相关管脚的连接和功能。表 8-17 和表 8-18 分别列出了 Cyclone IV GX 和 Cyclone IV E 器件的管脚配置。

表 8-17. Cyclone IV GX 器件配置管脚一览 (1/2)

Bank	说明	输入 / 输出	专用	供电支持	配置模式
8	Data[4:2]	输入	—	V_{CCIO}	FPP
3	Data[7:5]	输入	—	V_{CCIO}	FPP
9	nCSO *(2)*	输出	—	V_{CCIO}	AS
3	CRC_ERROR	输出	—	V_{CCIO}/ 上拉 *(1)*	可选的，所有模式
9	DATA[0] *(2)*	输入	是	V_{CCIO}	PS, FPP, AS
9	DATA[1]/ASDO *(2)*	输入	—	V_{CCIO}	FPP
		输出		V_{CCIO}	AS
3	INIT_DONE	输出	—	上拉	可选的，所有模式

表 8-17. Cyclone IV GX 器件配置管脚一览 (2/2)

Bank	说明	输入 / 输出	专用	供电支持	配置模式
3	nSTATUS	双向	是	上拉	所有模式
9	nCE	输入	是	V_{CCIO}	所有模式
9	DCLK *(2)*	输入	是	V_{CCIO}	PS, FPP
		输出		V_{CCIO}	AS
3	CONF_DONE	双向	是	上拉	所有模式
9	TDI	输入	是	V_{CCIO}	JTAG
9	TMS	输入	是	V_{CCIO}	JTAG
9	TCK	输入	是	V_{CCIO}	JTAG
9	nCONFIG	输入	是	V_{CCIO}	所有模式
8	CLKUSR	输入	—	V_{CCIO}	可选的
3	nCEO	输出	—	V_{CCIO}	可选的，所有模式
3	MSEL	输入	是	V_{CCINT}	所有模式
9	TDO	输出	是	V_{CCIO}	JTAG
6	DEV_OE	输入	—	V_{CCIO}	可选的
6	DEV_CLRn	输入	—	V_{CCIO}	可选的

表 8-17 注释：

(1) CRC_ERROR 管脚默认为专用输出管脚。或者，您可以启用 **Device and Pin Options** 对话框中的 **CRC Error Detection** 标签上的 CRC_ERROR 管脚作为开漏输出管脚。

(2) 要在 AS 配置方案中三态 AS 配置管脚，从 **Device and Pin Options** 对话框中，打开 **Enable input tri-state on active configuration pins in user mode** 选项。三态 DCLK、nCSO、Data[0] 和 Data[1]/ASDO 管脚。这些管脚的两用管脚设置将被忽略。要设置这些管脚到不同的设定中，关闭 **Enable input tri-state on active configuration pins in user mode** 选项并且从两用管脚设置菜单中设置所需的设定。

表 8-18. Cyclone IV E 器件配置管脚一览 (1/2)

Bank	说明	输入 / 输出	专用	供电支持	配置模式
1	nCSO *(1)* FLASH_nCE *(2)*	输出	—	V_{CCIO}	AS, AP
6	CRC_ERROR *(3)*	输出	—	V_{CCIO}/ 上电 *(4)*	可选的，所有模式
1	DATA[0] *(1)*, *(2)*	输入	是	V_{CCIO}	PS, FPP, AS
		双向		V_{CCIO}	AP
1	DATA[1] *(2)* /ASDO *(1)*	输入	—	V_{CCIO}	FPP
		输出		V_{CCIO}	AS
		双向		V_{CCIO}	AP
8	DATA[7..2] *(2)*	输入	—	V_{CCIO}	FPP
		双向		V_{CCIO}	AP
8	DATA[15..8] *(2)*	双向	—	V_{CCIO}	AP
6	INIT_DONE	输出	—	上电	可选的，所有模式
1	nSTATUS	双向	是	上电	所有模式
1	nCE	输入	是	V_{CCIO}	所有模式
1	DCLK *(1)*, *(2)*	输入	是	V_{CCIO}	PS, FPP
		输出		V_{CCIO}	AS, AP

表 8-18. Cyclone IV E 器件配置管脚一览 (2/2)

Bank	说明	输入 / 输出	专用	供电支持	配置模式
6	CONF_DONE	双向	是	上电	所有模式
1	TDI	输入	是	V_{CCIO}	JTAG
1	TMS	输入	是	V_{CCIO}	JTAG
1	TCK	输入	是	V_{CCIO}	JTAG
1	nCONFIG	输入	是	V_{CCIO}	所有模式
6	CLKUSR	输入	—	V_{CCIO}	可选的
6	nCEO	输出	—	V_{CCIO}	可选的，所有模式
6	MSEL[]	输入	是	V_{CCINT}	所有模式
1	TDO	输出	是	V_{CCIO}	JTAG
7	PADD[14..0]	输出	—	V_{CCIO}	AP
8	PADD[19..15]	输出	—	V_{CCIO}	AP
6	PADD[23..20]	输出	—	V_{CCIO}	AP
1	nRESET	输出	—	V_{CCIO}	AP
6	nAVD	输出	—	V_{CCIO}	AP
6	nOE	输出	—	V_{CCIO}	AP
6	nWE	输出	—	V_{CCIO}	AP
5	DEV_OE	输入	—	V_{CCIO}	可选的，AP
5	DEV_CLRn	输入	—	V_{CCIO}	可选的，AP

表 8-18 注释：

(1) 要在 AS 配置方案中三态 AS 配置管脚，从 **Device and Pin Options** 对话框中，打开 **Enable input tri-state on active configuration pins in user mode** 选项。三态 DCLK、nCSO、Data[0] 和 Data[1]/ASDO 管脚。这些管脚的两用管脚设置将被忽略。要设置这些管脚到不同的设定中，关闭 **Enable input tri-state on active configuration pins in user mode** 选项并且从两用管脚设置菜单中设置所需的设定。

(2) 要在 AP 配置方案中三态 AP 配置管脚，从 **Device and Pin Options** 对话框中，打开 **Enable input tri-state on active configuration pins in user mode** 选项。三态 DCLK、Data[0..15]、FLASH_nCE 和其它 AP 管脚。这些管脚的两用管脚设置将被忽略。要设置这些管脚到不同的设定中，关闭 **Enable input tri-state on active configuration pins in user mode** 选项并且从两用管脚设置菜单中设置所需的设定。

(3) CRC_ERROR 管脚不可用于 1.0-V 核心电压的 Cyclone IV E 器件。

(4) 管脚默认为专用输出管脚。或者，您可以启用 **Device and Pin Options** 对话框中的 **CRC Error Detection** 标签上的 CRC_ERROR 管脚作为开漏输出管脚。

表 8–19 介绍了专用的配置管脚。您必须正确地连接板级上的这些管脚以成功进行配置。您可能不需要其中的一些管脚用于您的配置方案。

表 8–19. 在 Cyclone IV 器件上的专用配置管脚 (1/5)

管脚名称	用户模式	配置方案	管脚类型	说明
MSEL	N/A	所有	输入	设置 Cyclone IV 器件配置方案的配置输入。您必须硬线连接这些管脚至 V_{CCA} 或 GND。MSEL 管脚含有始终有效的 9-kΩ 内部下拉电阻。
nCONFIG	N/A	所有	输入	配置控制输入。在用户期间利用外部电路下拉此管脚将导致 Cyclone IV 器件的配置数据丢失，进入复位状态，并且三态所有的 I/O 管脚。将这些管脚返回至逻辑高水平以开始一个重配置。
nSTATUS	N/A	所有	双向开漏	Cyclone IV 器件在上电后立即驱动 nSTATUS 至低水平并且在 POR 时间后释放它。 ■ 状态输出 — 如果在配置期间出现错误，目标器件将拉低 nSTATUS。 ■ 状态输入 — 如果一个外部源 （例如，另一种 Cyclone IV 器件）在配置或初始化期间驱动 nSTATUS 管脚至低电平，目标器件进入错误状态。 完成配置和初始化后驱动 nSTATUS 至低电平不影响所配置的器件。如果您使用一种配置器件，驱动 nSTATUS 至低电平将导致配置器件试图对器件进行配置，但由于器件忽略用户模式中的 nSTATUS 跳变，器件不会进行重配置。要开始重配置，您必须下拉 nCONFIG。
CONF_DONE	N/A	所有	双向开漏	■ 状态输出 — 目标 Cyclone IV 器件在配置之前和配置期间驱动 CONF_DONE 管脚至低电平。在准确无误的接收所有的配置数据后，初始化周期开始，目标器件释放 CONF_DONE。 ■ 状态输入 — 接收所有数据和 CONF_DONE 变高后，目标器件初始化和进入用户模式。CONF_DONE 管脚必须具有 10-kΩ 外部上拉电阻以便器件进行初始化。 ■ 完成配置和初始化后驱动 CONF_DONE 至低电平不影响所配置的器件。不可连接总线保持或 ADC 到 CONF_DONE 管脚。

表 8-19. 在 Cyclone IV 器件上的专用配置管脚 (2/5)

管脚名称	用户模式	配置方案	管脚类型	说明
nCE	N/A	所有	输入	低电平有效芯片使能。 nCE 管脚利用一个低电平信号激活 Cyclone IV 器件以实现配置。您必须在配置、初始化和用户模式下保持 nCE 管脚低电平。在一个单器件配置中，您必须保持 nCE 管脚为低电平。在一个多器件配置中， 保持第一个器件中的 nCE 为低电平，而将 nCEO 管脚连接至链中下一个器件的 nCE 上。您必须保持 nCE 管脚为低电平以成功进行器件的 JTAG 编程。
nCEO	N/A （如果选项打开时）。I/O（如果选项关闭时）。	所有	输出开漏	完成配置时，输出驱动至低电平。在一个单器件配置中， 您可以在完成配置后悬空这个管脚或作为用户 I/O 管脚使用。在一个多器件配置中，此管脚注入下一个器件的 nCE。链中最后一个器件的 nCEO 在完成配置后悬空或作为用户 I/O 管脚使用。 如果您使用 nCEO 管脚注入下一个器件的 nCE 管脚，使用 10-kΩ 的外部上拉电阻拉高 nCEO 管脚至 I/O bank 上的 V_{CCIO} 电压以帮助内部弱上拉电阻。 如果您在配置完成后使用 nCEO 管脚作为用户 I/O 管脚，在 **Dual-Purpose Pin** 设置上设定管脚的状态。
nCSO, FLASH_nCE *(1)*	I/O	AS, AP *(2)*	输出	从 Cyclone IV 器件至 AS 模式中的串行配置器件的输出控制信号启用配置器件。此管脚作为 AS 模式中的 nCSO 和 AP 模式中的 FLASH_nCE。 从 Cyclone IV 器件至 AP 模式中的并行闪存的输出控制信号启用闪存。将 CE# 管脚连接在 Numonyx P30 或 P33 闪存。 *(2)* 此管脚有一个始终有效的内部上拉电阻。

表 8-19. 在 Cyclone IV 器件上的专用配置管脚 (3/5)

管脚名称	用户模式	配置方案	管脚类型	说明
DCLK *(1)*	N/A	PS, FPP, AS, AP *(2)*	输入（PS、FPP）。输出（AS、AP）*(2)*	在 PS 和 FPP 配置中，DCLK 是用于从外部源计入数据至目标 Cyclone IV 器件的时钟输入。数据锁存于器件的 DCLK 上升沿。 在 AS 模式中，DCLK 是 Cyclone IV 器件上的一个输出，为配置接口提供时间。它有一个始终有效的内部上拉电阻（通常为 25 kΩ）。 在 AP 模式中，DCLK 是 Cyclone IV E 器件上的一个输出，为配置接口提供时间。*(2)* 在 AS 或 AP 配置方案中，此管脚在完成配置后驱动进入无效状态。另外，在主动方案中，您可以使用此管脚作为用户模式中的用户 I/O。在 PS 或 FPP 方案中使用一台控制主机，您必须驱动 DCLK 至高或低，取其方便而用。在被动方案中，您不可以使用 DCLK 作为用户模式中的用户 I/O。完成配置后触发此管脚不影响所配置的器件。

表 8-19. 在 Cyclone IV 器件上的专用配置管脚 (4/5)

管脚名称	用户模式	配置方案	管脚类型	说明
DATA[0] *(1)*	I/O	PS, FPP, AS, AP *(2)*	输入（PS、FPP、AS）。双向（AP）*(2)*	数据输入。在串行配置模式下，位宽配置数据被介绍到目标 Cyclone IV 器件的 DATA[0] 管脚上。 在 AS 模式中，DATA[0] 有一个始终有效的内部上拉电阻。完成 AS 配置后，DATA[0] 是一个具可选用户控制的专用输入管脚。 完成 PS 或 FPP 配置后，DATA[0] 作为用户 I/O 管脚有效。此管脚的状态取决于 Dual-Purpose Pin 的设置。 完成 AP 配置后，DATA[0] 是一个具有可选用户控制的专用双向管脚。*(2)*
DATA[1]/ ASDO *(1)*	I/O	FPP, AS, AP *(2)*	输入（FPP）。输出（AS）。双向（AP）*(2)*	DATA[1] 管脚在 AS 模式中作为 ASDO 管脚。数据输入在非 AS 模式中。控制从 Cyclone IV 器件至 AS 模式中的串行配置器件的信号用于读取配置数据。 在 AS 模式中，DATA[1] 有一个始终有效的内部上拉电阻。完成 AS 配置后，DATA[1] 是一个具可选用户控制的专用输出管脚。 在 PS 配置方案中，DATA[1] 在配置过程中作为用户 I/O 管脚，意味它处于三态。 完成 FPP 配置后，DATA[1] 作为用户 I/O 管脚有效，此管脚的状态取决于 Dual-Purpose Pin 的设置。 在 AP 配置方案中，仅对于 Cyclone IV E 器件，字节宽和字宽的配置数据分别被介绍于目标 Cyclone IV E 器件的 DATA[7..0] 或 DATA[15..0] 上。完成 AP 配置后，DATA[1] 是一个具有可选用户控制的专用双向管脚。*(2)*
DATA[7..2]	I/O	FPP, AP *(2)*	输入（FPP）。双向（AP）*(2)*	在 AS 或 PS 配置方案中，DATA[7..2] 在配置过程中作为用户 I/O 管脚，意味着它们处于三态。 完成 FPP 配置后，DATA[7..2] 作为用户 I/O 管脚有效，这些管脚的状态取决于 Dual-Purpose Pin 的设置。 在 AP 配置方案中，仅对 Cyclone IV E 器件，字节宽和字宽配置数据分别被介绍于目标 Cyclone IV E 器件的 DATA[7..0] 或 DATA[15..0] 上。完成 AP 配置后，DATA[7..2] 为具有可选用户控制的专用双向管脚。*(2)*
DATA[15..8]	I/O	AP *(2)*	双向	数据输入。字宽配置数据被介绍于目标 Cyclone IV E 器件的 DATA[15..0] 上。 在 PS、FPP 或 AS 配置方案中，DATA[15:8] 在配置过程中作为用户 I/O 管脚，意味着它们处于三态。 完成 AP 配置后，DATA[15:8] 为具有可选用户控制的专用双向管脚。
PADD[23..0]	I/O	AP *(2)*	输出	在 AP 模式，它是一个从 Cyclone IV E 器件到并行闪存的 24 位地址总线。连接 Numonyx P30 或 P33 闪存上的 A[24:1] 总线。
nRESET	I/O	AP *(2)*	输出	低电平复位输出。驱动 nRESET 管脚至低电平复位并行闪存。连接 Numonyx P30 或 p33 闪存上的 RST# 管脚。

表 8-19. 在 Cyclone IV 器件上的专用配置管脚 (5/5)

管脚名称	用户模式	配置方案	管脚类型	说明
nAVD	I/O	AP *(2)*	输出	低电平地址有效输出。读写操作期间驱动 nAVD 管脚至低电平表明在并行闪存上一个有效的地址被介绍于 PADD[23..0] 地址总线上。连接 Numonyx P30 或 p33 闪存上的 ADV# 管脚。
nOE	I/O	AP *(2)*	输出	低电平输出使能并行闪存。在读取操作过程中，驱动 nOE 管脚低电平使能并行闪存输出（DATA[15..0]）。连接 Numonyx P30 或 P33 闪存上的 OE# 管脚。
nWE	I/O	AP *(2)*	输出	低电平写入使能并行闪存。在写入操作过程中，驱动 nWE 管脚至低电平表明并行闪存在 DATA[15..0] 总线上的数据是有效的。连接 Numonyx P30 或 P33 闪存上的 WE# 管脚。

表 8-19 注释：

(1) 如果您利用 ALTASMI_PARALLEL 宏功能访问 EPCS 器件或者用户模式中您自己的用户逻辑，在 Quartus II 软件的 **Device and Pin Options** 窗口的 **Dual-Purpose Pins** 类别中，为此管脚选择 **Use as regular I/O**。

(2) AP 配置方案仅对 Cyclone IV E 器件有效。

表 8–20 列出了可选的配置管脚。如果您在 Quartus II 软件中不启用这些可选的配置管脚，它们将作为通用的用户 I/O 管脚。因此，在配置期间，这些管脚作为用户 I/O 管脚并且利用弱上拉电阻三态。

表 8–20. 可选的配置管脚

管脚名称	用户模式	管脚类型	说明
CLKUSR	N/A（如果选项打开时）。I/O（如果选项关闭时）。	输入	可选用户－提供时钟输入一个或多个器件的同步初始化。此管脚通过打开 Quartus II 软件中的 **Enable user-supplied start-up clock (CLKUSR)** 选项启用。 对于 Cyclone IV GX 器件的 AS 配置，您可以使用此管脚作为外部时钟源，通过更改 Quartus II 软件在 **Device and Pin Options** 对话框中的 **Configuration** 标签上的时钟源，生成 DCLK。
INIT_DONE	N/A（如果选项打开时）。I/O（如果选项关闭时）。	输出开漏	状态管脚用于表明当器件已初始化并在用户模式中。当 nCONFIG 为低电平时，INIT_DONE 管脚处于三态，并且在开始配置期间由于 10-kΩ 外部上拉电阻而拉高。在选项启用 INIT_DONE 被编程到器件（在第一帧配置数据期间）后，INIT_DONE 管脚变为低电平。当初始化完成后，INIT_DONE 管脚被释放和拉高，器件进入用户模式。因此，监控电路必须能够检测一个由低至高的跳变。通过打开 Quartus II 软件中的 **Enable INIT_DONE output** 选项启用此管脚。 如在 Quartus II 软件中启用 **Enable OCT_DONE** 选项，此管脚的功能将被改变。此选项控制 INIT_DONE 信号是否门控 OCT_DONE 信号，这表明完成了片上匹配（OCT）校准的上电。如果此选项是关闭的，INIT_DONE 信号不被 OCT_DONE 信号门控。
DEV_OE	N/A 如果选项打开时）。I/O（如果选项关闭时）。	输入	可选管脚允许您覆盖器件上的所有三态。当此管脚驱动至低电平时，所有 I/O 管脚均为三态；当此管脚驱动至高电平时，所有 I/O 管脚均按编程工作。通过打开 Quartus II 软件中的 **Enable device-wide output enable (DEV_OE)** 选项启用此管脚。
DEV_CLRn	N/A 如果选项打开时）。I/O（如果选项关闭时）。	输入	可选管脚允许您覆盖所有器件寄存器的清零。当此管脚驱动至低电平时，所有寄存器均被清零；当此管脚驱动至高电平时，所有寄存器均按编程工作。您可以通过打开 Quartus II 软件中的 **Enable device-wide reset (DEV_CLRn)** 选项启用此管脚。

远程系统更新

Cyclone IV 器件支持在 AS 和 AP 配置方案中的远程系统更新。您也可以利用高级 Cyclone IV 功能实现远程系统更新，如在 AS 配置方案中进行实时解压缩配置数据。

☞ 在多器件的配置链中，不支持任何配置方案的远程系统更新。

功能描述

在 Cyclone IV 器件中专用的远程系统更新电路管理远程配置和提供错误检测，恢复和状态信息。一个 Nios® II 处理器或者一个用户逻辑在 Cyclone IV 器件执行逻辑阵列提供对远程配置数据源的访问和配置存储器的接口。

☞ 配置存储器参考串行配置器件 （EPCS）或支持并行闪存，取决于使用的配置方案。

Cyclone IV 器件的远程系统更新过程包括以下步骤：

1. 一台 Nios II 处理器 （或用户逻辑）在 Cyclone IV 器件的逻辑阵列执行从一个远程位置接收新的配置数据。连接到远程资源的是一个通信协议，如传输控制协议 / 互联网协议 （TCP/IP），外设组件互联 （PCI），用户数据报协议 （UDP），通用异步接收器 / 发送器 （UART）或一个专用接口。
2. Nios II 处理器 （或用户逻辑）将新配置数据写入到一个配置存储器中。
3. Nios II 处理器 （或用户逻辑）利用一个新的或更新的配置数据开始一个重配置周期。
4. 专用的远程系统更新电路检测和恢复可能发生在重配置期间或之后的任何错误，并且为用户设计提供错误状态信息。

图 8-30 显示了执行远程配置更新所需的步骤 （图 8-30 的数字对应步骤 1 - 3）。

图 8-30. Cyclone IV 器件远程系统更新功能框图

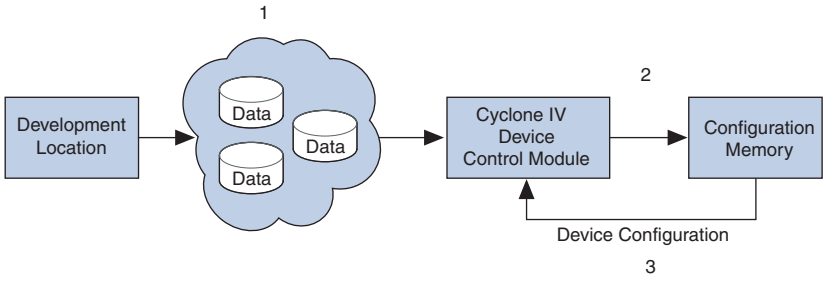
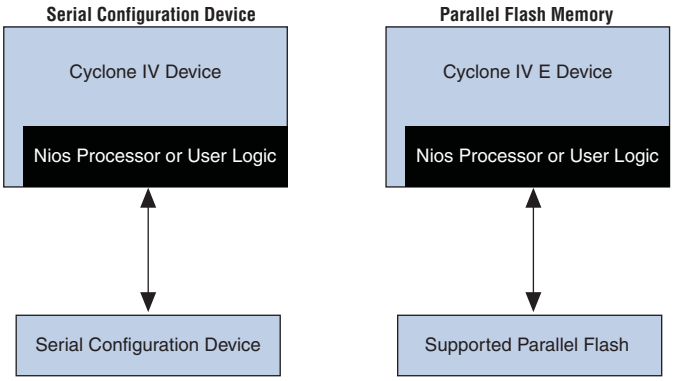


图 8-31 显示了在 Cyclone IV 器件中实现远程系统更新的框图。

图 8-31. AS 和 AP 配置方案的远程系统更新框图



在远程系统更新模式中的 MSEL 管脚设置与标准配置模式相同。标准配置模式指的是不支持远程系统更新 （禁用远程系统更新电路）的普通 Cyclone IV 器件的配置模式。当在 Cyclone IV 器件中使用远程系统更新时，您必须启用 Quartus II 软件中的远程更新模式的选项设置。

启用远程更新

您可以在设计编译 （在 Compiler Settings 菜单中）之前，启用或禁用 Quartus II 软件中的 Cyclone IV 器件的远程更新。要在工程的编译器设置中 （compiler settings of the project）启用远程更新，请执行以下步骤：

1. 在 Assignments 菜单中，单击 **Device**。出现 **Settings** 对话框。
2. 单击 **Device and Pin Options**。出现 **Device and Pin Options** 对话框。
3. 单击 **Configuration** 标签。
4. 在 **Configuration Mode** 列表中，选择 **Remote**。
5. 点击 **OK**。
6. 在 **Settings** 对话框，点击 **OK**。

配置镜像类型

当使用远程系统更新时，Cyclone IV 器件配置的比特流归类为出厂配置镜像或应用配置镜像。镜像，也称为配置，是一个加载到器件执行某些用户定义功能的设计。系统中的每个器件都需要一个出厂镜像，或另外一个或多个应用镜像。出厂镜像是一个用户定义的候补或安全配置，负责利用专用电路管理远程更新。在目标 Cyclone IV 器件中，应用镜像实现用户定义的功能。您可以在出厂镜像中包括默认应用镜像的功能性。

远程系统更新模式

在远程更新模式中， Cyclone IV 设备在上电后加载出厂配置镜像。用户定义的出厂配置确定要加载的应用配置并触发重配置周期。出厂配置也可以包含应用逻辑。

当与配置存储器使用时，远程更新模式允许一个应用配置以开始任何闪存扇形边界。此外，远程更新模式推出用户监视计时器，可以检测出应用配置中的功能错误。

远程更新模式

在 AS 配置方案中，当远程更新更新中首先上电 Cyclone IV 器件后，它加载出厂配置于地址 boot_address[23:0] = 24b'0 上。Altera 建议为您的系统存储出厂配置镜像于启动地址 24b'0，它对应到串行配置器件的起始地址位置 0x000000。一个出厂配置镜像是您系统 Cyclone IV 器件的比特流，它在生产过程中被编程并且作为出现错误时的候补镜像。此镜像存储在非易失性存储器中，并且从不使用远程登录进行更新或更改。

当您在 Cyclone IV E 器件中使用 AP 配置时，Cyclone IV E 器件在远程更新模式完成上电后，加载位于以下地址的默认出厂配置：
boot_address[23:0] = 24'h010000 = 24'b1 0000 0000 0000 0000.

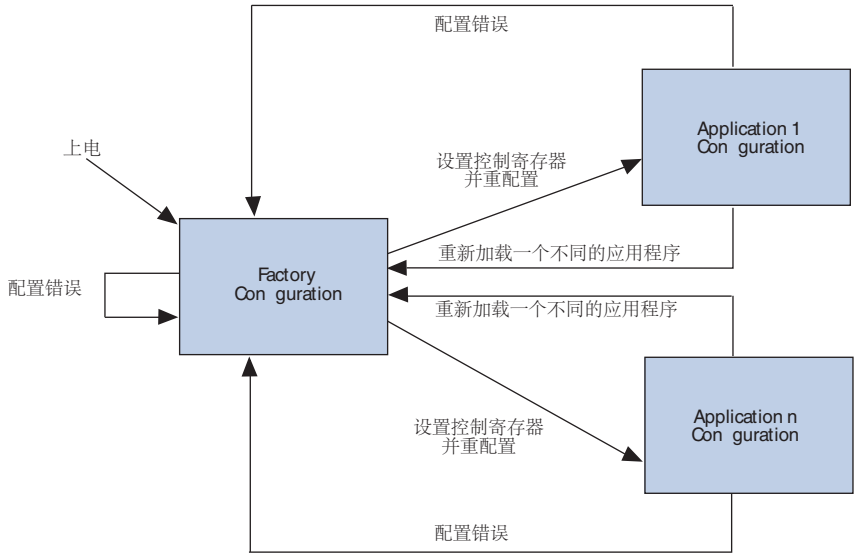
您可以使用 APFC_BOOT_ADDR JTAG 指令将默认配置地址更改到任何所需的地址。出厂配置镜像存储在非易失性的存储器中，并且从不使用远程登录进行更新或更改。这对应到默认起始地址位置 0x010000，代表 16 位字地址 （或更新地址，如果默认地址被更改）在所支持的并行闪存中。要了解关于 APFC_BOOT_ADDR JTAG 指令在 AP 配置方案中的应用的详细信息，请参阅 “JTAG 指令 ” 第 8-57 页。

出厂配置镜像是用户设计的并且包含软逻辑 （Nios II 处理器或状态器和远程通信接口）到：

- 处理基于专用的远程系统更新电路的状态信息的任何错误。
- 与远程主机通信和接收新应用配置并将新配置数据存储在位于非易失性的存储器件中。
- 确定加载到 Cyclone IV 器件的应用配置。
- 启用或禁用用户监视计时器并加载其超时值 （可选）。
- 指示专用的远程系统更新电路以开启重配置周期。

图 8–32 显示了在远程更新模式中，出厂配置和应用配置之间的跳变。

图 8–32. 远程更新模式的配置之间的跳变



在上电或配置错误后，出厂配置逻辑写入远程系统更新控制寄存器以指定要加载的应用配置的地址。出厂配置也指定是否要为应用配置启用用户监视计时器，如果启用，指定时间的设置。

只对为远程更新模式设计的应用配置有效，包括逻辑复位用户模式下的定时器。要了解关于用户监视计时器的详细信息，请参阅 “ 用户监视计时器 ” 第 8–80 页。

如果在加载应用配置过程中有一个错误，远程系统更新状态寄存器由 Cyclone IV 器件专用的远程系统更新电路写入，指定导致重配置的原因。

以下操作促使写入远程系统更新状态寄存器：

- nSTATUS 外部驱动至低电平
- 内部循环冗余校验 （CRC）错误
- 用户监视计时器超时
- 配置复位 （逻辑阵列 nCONFIG 信号或外部 nCONFIG 管脚置位）

Cyclone IV 器件在出现错误时自动加载出厂配置。这种用户设计的出厂配置读取远程系统更新状态寄存器，以确定重配置的原因。出厂配置采取适当的错误恢复步骤，并写入到远程系统更新控制寄存器以确定下一个要加载的应用配置。

当 Cyclone IV 器件成功加载应用配置后，它们进入用户模式。在用户模式下，软逻辑（Nios II 处理器或状态机和远程通信接口）协助 Cyclone IV 器件确定远程系统更新到达的时间。当远程系统更新到达时，软逻辑接收传入数据，将它写入到配置存储器件并触发器件以加载出厂配置。出厂配置读取远程系统更新状态寄存器，确定有效的应用配置的加载，相应地写入远程系统更新控制寄存器，并开始系统的重配置。

专用的远程系统更新电路

本章节介绍了 Cyclone IV 器件远程系统更新专用电路的实现。专用的远程系统更新电路在硬逻辑中实现。此专用电路与用户定义的出厂应用配置接口，在 Cyclone IV 器件的逻辑阵列中实现，以提供完整的远程配置解决方案。远程系统更新电路包含远程系统更新寄存器，一个监视计时器，以及控制这些组件的状态机。图 8–33 显示了远程系统更新模块的数据路径。

图 8–33. 远程系统更新电路的 *(1)*

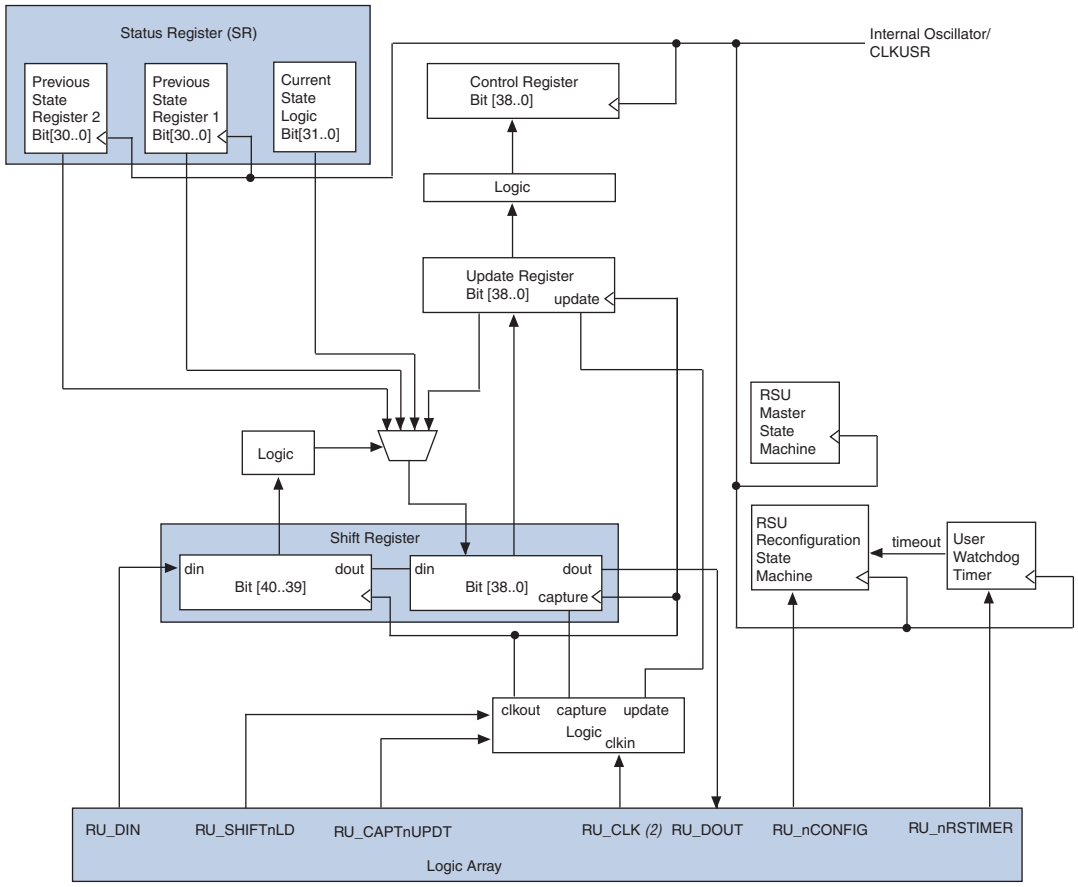


图 8–33 注释：

(1) RU_DOUT、RU_SHIFTnLD、RU_CAPTnUPDT、RU_CLK、RU_DIN,RU_nCONFIG 和 RU_nRSTIMER 信号由 ALTREMOTE_UPDATE 宏功能内部控制。

(2) RU_CLK 指 ALTREMOTE_UPDATE 宏功能模块 “ 时钟 ” 输入。更多的信息，请参阅 *Remote Update Circuitry (ALTREMOTE_UPDATE) Megafunction User Guide*。

远程系统更新寄存器

远程系统更新模块包含了一系列用于存储配置地址，监视计时器设置和状态信息的寄存器。表 8-21 列出了这些寄存器。

表 8-21. 远程系统更新寄存器

寄存器	说明
移位寄存器	这个寄存器可通过逻辑阵列存取，也可以通过用户逻辑对更新寄存器、状态寄存器，和控制寄存器进行写入和采样。对远程更新模式中的出厂配置启用写入访问以允许写入更新寄存器中。对远程更新模式中的所有应用配置禁用写入访问。
控制寄存器	这个寄存器包含当前的配置地址，用户监视计时器设置，一个检查早期 CONF_DONE 的选项位，和一个选择内部振荡器作为启动状态机时钟的选项位。 在应用配置的读取操作过程中，这个寄存器由移位寄存读取。当开始一个重配置周期时，更新寄存器的内容简介被写入到控制寄存器中。
更新寄存器	这个寄存器包含的数据与控制寄存器的相似。然而，它只能由出厂配置通过移入数据到移位寄存器，并发出一个更新操作来进行更新。当出厂配置触发一个重配置周期时，控制寄存器与更新寄存器的内容一起更新。在出厂配置的读取过程中，此寄存器读取到移位寄存器中。
状态寄存器	这个寄存器通过对每个重配置的远程系统更新电路写入以记录重配置的原因。此信息被出厂配置用于确定重配置接下来将采取的适当行动。在采集周期过程中，此寄存器读取到移位寄存器中。

远程系统更新的控制和状态寄存器由 10-MHz 内部振荡器 （与控制用户监视计时器相同的振荡器）或 CLKUSR 提供时钟。然而，远程系统更新的移位和更新寄存器由最大频率为 40-MHz 的用户时钟输入 （RU_CLK）计时。 RU_CLK 没有最小频率。

远程系统更新控制寄存器

远程系统更新控制寄存器为应用配置存储应用配置的地址，用户监视计时器设置，和选项位。在 AS 配置方案的远程更新模式中，控制寄存器地址位在上电时被设置为全零（24'b0）以加载 AS 出厂配置。在 AP 配置方案的远程更新模式中，控制寄存器地址位在上电时被设置为 24'h010000 （24'b1 0000 0000 0000 0000）以加载 AP 默认的出厂配置。然而，在 AP 配置方案中，您可以使用 APFC_BOOT_ADDR JTAG 指令将默认的出厂配置地址更改到任何所需的地址。此外，在远程更新模式中的出厂配置已写入访问到此寄存器。

图 8–34 显示了控制寄存器的位位置。表 8–22 定义了控制寄存器的位内容。在图 8–34 的数量显示了寄存器的位位置的一种设置。例如，位数量 35 是监视计时器的启动位。

图 8–34. 远程系统更新控制寄存器

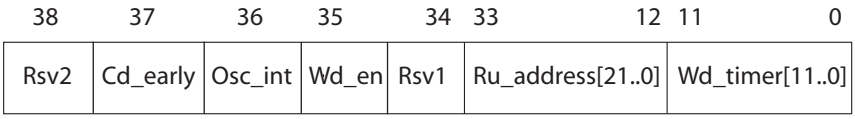


表 8–22. 远程系统更新控制寄存器的内容

控制寄存器位	值	说明
Wd_timer[11..0]	12'b000000000000	用户监视计时器超时值（最重要的 29 位中的 12 位数值：{Wd_timer[11..0],17'b1000}）
Ru_address[21..0]	22'b0000000000000000000000	配置地址（重要的 24 位中的 22 位数值：boot_address[23:0] = {Ru_address[21..0],2'b0}）
Rsv1	1'b0	保留位
Wd_en	1'b1	用户监视计时器启用位
Osc_int *(1)*	1'b1	内部振荡器作为开启状态机时钟启用位
Cd_early *(1)*	1'b1	早期 CONF_DONE 检查
Rsv2	1'b1	保留位

表 8–22 注释：

(1) 应用配置的选项位。

当启用时，早期 CONF_DONE 检查（Cd_early）选项位确保具有一个有效配置，由出厂配置指定的启动地址和适当的大小。如果检测到一个无效的配置或 CONF_DONE 管脚被置有效太早，器件复位并重配置出厂配置镜像。内部振荡器（作为启动状态机的时钟 [Osc_int] 选项位）确保启动时钟的功能以消除挂启动。当打开所有的选项位时，它们提供全面覆盖的编程和启动部分的应用配置。Altera 建议打开 Cd_early 和 Osc_int 选项位。



对于应用配置的 Cd_early 和 Osc_int 选项位必须由出厂配置打开。

远程系统更新状态寄存器

远程系统更新状寄存器指定重配置的触发条件。各种触发和错误条件包括：

- 在应用配置期间的循环冗余校验（CRC）错误
- nSTATUS 由于错误而让外部器件置位
- Cyclone IV 器件的逻辑阵列触发重配置周期，可能是在下载一个新的应用配置镜像之后导致的。
- 外部配置复位（nCONFIG）置位

- 用户监视计时器超时

表 8–23 列出了状态寄存器中的当前状态逻辑的内容，当远程系统更新的主状态机在出厂配置或应用配置中分别访问工厂信息或应用信息时。表 8–23 中的状态寄存器位列出了 32 位逻辑中的位位置。

表 8–23. 远程系统更新状态寄存器中的当前状态逻辑的内容

远程系统更新主状态机	状态寄存器位	定义	说明
工厂信息 *(1)*	31:30	主状态机当前状态	远程系统更新主状态机的当前状态
	29:24	保留位	垫位全设置为 0
	23:0	启动地址	当前 24 位启动地址，被配置方案用为启动地址以加载当前配置
运用信息 1 *(2)*	31:30	主状态机当前状态	远程系统更新主状态机的当前状态
	29	用户监视计时器启用位	用户监视启用的当前状态，其为高电平
	28:0	用户监视计时器超时值	当前整个 29 位监视超时值。
运用信息 2 *(2)*	31:30	主状态机当前状态	远程系统更新主状态机的当前状态
	29:24	保留位	垫位全设置为 0
	23:0	启动地址	当前 24 位启动地址，被用为起始地址以加载当前配置。

表 8–23 注释：

(1) 远程系统更新主状态机在出厂配置中。

(2) 远程系统更新主状态机在应用配置中。

之前的两个应用配置在之前的状态寄存器中有效 （前状态寄存器 1 和前状态寄存 2），但仅用于调试目的。

表 8–24 列出了状态寄存器中的前状态寄存器 1 和前状态寄存器 2 的内容。表 8–24 中的状态寄存器位显示了 3 位寄存器中的位位置。前状态寄存器 1 和前状态寄存器 2 具有相同的位定义。前状态寄存器 1 反映当前的应用配置，而前状态寄存器 2 反映之前的应用配置。

表 8–24. 远程系统更新前状态寄存器 1 和前状态寄存器 2 在状态寄存器中的内容 (1/2)

状态寄存器位	定义	说明
30	nCONFIG 源	一热，高电平领域，介绍了造成 Cyclone IV 器件脱离前应用配置的重配置源。如果有连接，更高的位顺序表示优先。例如，如果 nCONFIG 和远程系统更新 nCONFIG 同时到达重配置状态机， nCONFIG 高于远程系统更新 nCONFIG。
29	CRC 错误源	
28	nSTATUS 源	
27	用户监视计时器源	
26	远程系统更新 nCONFIG 源	

表 8-24. 远程系统更新前状态寄存器 1 和前状态寄存器 2 在状态寄存器中的内容 (2/2)

状态寄存器位	定义	说明
25:24	主状态机当前状态	主状态机在重配置期间的状态导致 Cyclone IV 器件脱离前应用配置。
23:0	启动地址	用于配置方案的地址加载前应用配置。

如果采集不当，当系统在第一次进入远程更新应用配置之前采集之前的状态，从移位寄存器的一个输出值表明采集错误地被访问。

远程系统更新状态机

远程系统更新控制和更新寄存器有相同的定义，但服务于不同的角色 （第 8-76 页表 8-21）。然而这两个寄存器仅可以在器件利用出厂配置镜像加载时更新，更新寄存器的写入由用户逻辑控制，控制寄存器的写入由远程系统更新状态机控制。

在出厂配置中，用户逻辑应该为下一个应用配置发送选项位 （Cd_early 和 Osc_int），配置地址，和监视计时器设置位以更新寄存器。当逻辑阵列配置复位（RU_nCONFIG）变高时，远程系统更新状态机更新控制寄存器，与更新寄存器的内容并从新的应用页面中开始系统的重配置。



为了确保页面之间的成功重配置，置位 RU_nCONFIG 信号至少 250 ns。这相当于频闪至少 250 ns 高的 ALTREMOTE_UPDATE 宏功能的 reconfig 输入。

如果有错误或重配置的触发条件，远程系统更新状态机指示系统，通过设置相应的控制寄存器加载出厂或应用配置 （基于模式和错误条件）。

表 8-25 列出了控制寄存器的内容，在出现所有可能的错误或触发条件的事情后。

远程系统状态寄存器在错误条件后由专用错误监控电路更新，但在加载出厂配置之前。

表 8-25. 控制寄存器在错误和重配置触发条件后的内容

重配置错误 / 触发	在远程更新上的控制寄存器设置
nCONFIG 复位	所有位均为 0
nSTATUS 错误	所有位均为 0
CORE 触发重配置	更新寄存器
CRC 错误	所有位均为 0
Wd 超时	所有位均为 0

用户监视计时器

用户监视计时器防止由于意外停止器件而出现的有错误的应用配置。系统使用计时器以检测功能的错误，在应用配置成功加载到 Cyclone IV 器件上时。

用户监视计时器是一个计数器，通过出厂配置对远程系统更新控制寄存器载入的初始值计数。计数器为 29 位宽，并有 2^{29} 的最大计数值。当指定用户监视器值时，仅指定最高的 12 位。远程系统更新电路追加 17'b1000，为监视计时器形成 29 位值。定时器设置的粒度为 2^{17} 周期。周期时间是基于 10-MHz 内部振荡器的频率或 CLKUSR （最高频率为 40 MHz）。

表 8–26 列出了 10-MHz 内部振荡器的操作范围。

表 8–26. 10-MHz 内部振荡器规格

最小值	典型	最大值	单位
5	6.5	10	MHz

用户监视计时器在应用配置进入器件用户模式后开始计数。此计时器在它终止使 RU_nRSTIMER 信号有效之前，必须周期重新加载或由应用配置复位。如果应用配置没有在计数终止之前重新加载用户监视计时器，远程系统更新专用的电路将生成一个超时信号。超时信号将告诉远程系统更新电路在远程系统更新状态寄存器中设置用户监视计时器的状态位 （wd）并且通过加载出厂配置对器件进行重配置。

为了实现远程系统更新专用的电路对监视计时器的复位，您必须置位 RU_nRSTIMER 信号最少 250 ns。这相当于频闪至少 250 ns 高的 ALTREMOTE_UPDATE 宏功能的 reset_timer 输入。

在配置过程中的错误由 CRC 引擎检测。功能错误不可存在于出厂配置中，因为它在生产过程中被存储和验证，并且它从不远程更新。

用户计时器在出厂配置和应用配置的配置周期过程中被禁用。它在应用配置进入用户模式后启用。

Quartus II 软件支持

实现您的设计，在 Cyclone IV 器件逻辑阵列和远程系统更新电路之间需要一个远程系统更新接口。您还必须为生产和远程编程系统配置存储器生成配置文件。Quartus II 软件提供了这些功能。

两种实现选项，ALTREMOTE_UPDATE 宏功能和远程系统更新原子，是对于远程系统更新电路和器件逻辑阵列接口之间的接口。使用宏功能，而不是创建您自己的逻辑，节省设计的时间并且提供更高效的逻辑综合和器件实现。

要了解关于 ALTREMOTE_UPDATE 宏功能的详细信息，请参阅 *Remote Update Circuitry (ALTREMOTE_UPDATE) Megafunction User Guide*。

文档修订历史

表 8–27 列出了本章节的文档修订历史。

表 8–27. 文档修订历史

日期	版本	修订内容
2011 年 11 月	1.4	■ 添加了关于如何获得 EPCS 管脚控制的信息。 ■ 更新了“复位”、“单器件AS配置”、“单器件AP配置”和“覆盖内部振荡器”章节。 ■ 添加了表 8–7。 ■ 更新了表 8–6 和表 8–19。 ■ 更新了图 8–3、图 8–4 和图 8–5。
2010 年 12 月	1.3	■ 针对 Quartus II 软件版本 10.1 的发布进行的更新。 ■ 添加了 Cyclone IV E 新器件封装信息。 ■ 更新了表 8–7、表 8–10 和表 8–11。 ■ 少许的文本编辑。
2010 年 7 月	1.2	针对 Quartus II 软件版本 10.0 的发布进行的更新： ■ 更新了“上电复位(POR)电路”、“配置和JTAG管脚的I/O要求”和“复位”章节。 ■ 更新了图 8–10。 ■ 更新了表 8–16 和表 8–17。
2010 年 2 月	1.1	针对 Quartus II 软件版本 9.1 SP1 的发布进行的更新： ■ 添加了“覆盖内部振荡器”和“AP 配置（支持闪存）”章节。 ■ 更新了“JTAG 指令”章节。 ■ 添加了表 8–6。 ■ 更新了表 8–2、表 8–3、表 8–4、表 8–6、表 8–11、表 8–13、表 8–14、表 8–15 和表 8–18。 ■ 更新了图 8–4、图 8–5、图 8–6、图 8–13、图 8–14、图 8–15、图 8–17、图 8–18、图 8–23、图 8–24、图 8–25、图 8–26、图 8–27、图 8–28 和图 8–29。
2009 年 11 月	1.0	首次发布。

9. Cyclone IV 器件中的 SEU 缓解

CYIV-51009-1.1

本章介绍了用户模式下的循环冗余检查 （CRC）错误检测功能，并对如何从软错误中恢复作了讲解。

所有的 Cyclone® IV 器件均支持配置错误检测功能，其中包括 Cyclone IV GX 器件、采用 1.0 V 核心电压的 Cyclone IV E 器件和采用 1.2 V 核心电压的 Cyclone IV E 器件。然而，用户模式错误检测功能仅被 Cyclone IV GX 器件以及采用 1.2 V 核心电压的 Cyclone IV E 器件支持。

Cyclone IV 器件中内置的专用电路具有 CRC 错误检测功能，能够有选择性地对单事件干扰 (SEU) 进行连续自动地检查。

在航空电子设备、通讯、系统控制、医疗和军事等领域所使用的关键应用中，要求能够做到以下两点：

- 确认存储在 FPGA 器件中的配置数据的准确性
- 使系统能够警惕配置错误的发生

在 Cyclone IV 器件中使用 CRC 错误检测功能不会对布线及性能产生影响。

本章涵盖以下几方面内容：

- 配置错误检测（第 9-1 页）
- 用户模式错误检测（第 9-2 页）
- 自动化的 SEU 检测（第 9-3 页）
- CRC_ERROR 管脚（第 9-3 页）
- 错误检测模块（第 9-4 页）
- 错误检测时序（第 9-5 页）
- 软件支持（第 9-6 页）
- 从 CRC 错误中恢复（第 9-9 页）

配置错误检测

配置错误检测功能可用于所有的 Cyclone IV 器件，包括 Cyclone IV GX 器件、采用 1.0 V 核心电压的 Cyclone IV E 器件和使用 1.2 V 核心电压的 Cyclone IV E 器件。

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

配置错误检测功能能够确定通过外部存储器件接收的配置数据在配置期间是否损坏。要验证配置数据，Quartus® II 软件使用一个函数来计算每个配置数据帧的 CRC 值，并将基于帧的 CRC 值存储在配置数据中，作为配置比特流的一部分。

配置过程中，Cyclone IV 器件根据接收到的数据帧采用相同的方法来计算 CRC 值，并与数据流中的帧 CRC 值进行比较。配置持续进行，直到器件检测到错误，或者完成了所有值的计算。

除了基于帧的 CRC 值，Quartus II 软件生成一个 32 bit CRC 值，用于整个的配置比特流。这个 32 bit CRC 值在配置的最后被存储在 32-bit 存储寄存器中，并用于 “ 用户模式错误检测 ” 中所介绍的用户模式错误检测。

用户模式错误检测

用户模式错误检测功能可用于Cyclone IV GX和采用1.2 V核心电压的Cyclone IV E器件。采用 1.0 V 核心电压的 Cyclone IV E 器件不支持用户模式错误检测功能。

软错误是指电离粒子所导致的配置随机存取存储器 (CRAM) 位状态上的变化。Cyclone IV 器件内置错误检测电路，通过 CRAM 单元中的软错误来检测数据的损坏。

这种错误检测功能会根据器件内容不断计算已配置 CRAM 位的 CRC 值，并且与配置最后所得到的预计算出的 CRC 值进行比较。如果 CRC 值匹配，则在当前配置 CRAM 位中没有错误。错误检测过程继续，直到器件被重置（将 nCONFIG 设置为低电平）。

Cyclone IV 器件错误检测功能不检查存储器模块和 I/O 缓冲器。这些器件存储器模块支持奇偶校验位，用于检查存储器模块中的数据错误。I/O 缓冲器在错误检测期间不会被验证，因为配置数据使用抗软错误的触发器作为存储器单元。类似的触发器用于存储预计算的 CRC 值以及其它错误检测电路选项位。

Cyclone IV 器件中的错误检测电路使用 32 bit CRC IEEE 802 标准和一个 32 bit 多项式作为 CRC 发生器。因此，器件只执行一个 32 bit CRC 计算。如果没有出现软错误，则产生的 32 bit 签名值为 0x00000000，这将在 CRC_ERROR 输出信号上产生一个 0。如果在器件中出现软错误，则产生的签名值是一个非零值，并且 CRC_ERROR 输出信号为 1。

您可以通过更改 CRC 电路中的 32 bit CRC 存储寄存器，来注入一个软错误。验证引发的故障后， 你可以使用相同的指令将 32 bit CRC 值恢复到正确的 CRC 值，并插入正确的值。

使用已知错误值进行更新前，Altera 建议读出正确的值。

在用户模式中，Cyclone IV 器件支持 CHANGE_EDREG JTAG 指令，使您能够写入 32 bit 存储寄存器。您可以使用 Jam™ STAPL 文件（.jam）来自动化测试及验证过程。只有器件在用户模式下，才能执行这个指令，它是一个强大的设计功能，使您能够动态地验证系统中的 CRC 功能性，而无需重配置器件。您可以接下来使用 CRC 电路来检查由 SEU 引入的真正错误。

表 9-1 说明了 CHANGE_EDREG JTAG 指令。

表 9-1. CHANGE_EDREG JTAG Instruction

JTAG 指令	指令代码	说明
CHANGE_EDREG	00 0001 0101	该指令连接 TDI 与 TDO 之间的 32 bit CRC 存储寄存器。所有预计算出的 CRC 值均加载到 CRC 存储寄存器，以测试 CRC_ERROR 管脚上的错误检测 CRC 电路的操作。



测试完成后，Altera 建议重新启动器件。

自动化的 SEU 检测

Cyclone IV 器件提供了片上电路，实现了 SEU 自动检测。那些要求器件无差错运行在高海拔地区或者接近北极或南极地区的应用需要定期检查，以确保持续的数据完整性。由 Quartus II 软件的 **Device and Pin Options** 对话框控制的错误检测循环冗余代码功能使用一个 32 bit 的 CRC 电路，以确保数据的可靠性。同时，这一功能也是减缓 SEU 的最佳选择之一。

您可以使用 Cyclone IV 器件中现有电路来实现错误检测 CRC 功能，而不再需要外部逻辑。在重配置过程中对 CRC 进行计算，然后在常规操作期间，与自动计算出的 CRC 进行对比检查。当配置 CRAM 数据损坏时，CRC_ERROR 管脚会报告一个软错误。您必须决定是通过选通 nCONFIG 管脚为低电平来重配置 FPGA，还是忽略该错误。

CRC_ERROR 管脚

需要一个特定的 CRC_ERROR 错误检测管脚，以监测用户模式期间错误检测电路的结果。表 9-2 对 CRC_ERROR 管脚进行了说明。

表 9-2. Cyclone IV 器件 CRC_ERROR 管脚说明

CRC_ERROR 管脚类型	说明
专用输出或者开漏输出（可选）	默认情况下，Quartus II 软件将 CRC_ERROR 管脚设置为专用输出管脚。如果 CRC_ERROR 管脚用作专用输出，那么您一定要确保该管脚所在插槽（bank）的 V_{CCIO} 要符合系统接收信号的输入电压规范。另外，您也可以将该管脚设置为开漏输出管脚，通过在 Quartus II 软件中使能 **Device and Pin Options** 对话框的 **Error Detection CRC** 标签中相应选项来实现。将该管脚用作开漏输出，实现了一个在电压电平上的优势。欲将该管脚用作开漏输出管脚，您可以通过一个 10 kΩ 上拉电阻将该管脚置为 bank 1 的 V_{CCIO}。或者，根据系统接收信号的输入电压规范，您也可以将上拉电阻置为不同的上拉电压。

Altera®网站上的Cyclone IV Devices Pin-Outs对Cyclone IV器件的CRC_ERROR管脚信息作了详细的报告。

WYSIWYG(所见即所得)是一种优化技术，在Quartus II软件中对VQM (Verilog Quartus 映射) 网表进行优化。

错误检测模块

表 9-3 列出了用于检查配置位的 CRC 检测类型。

表 9-3. 用于检查配置位的 CRC 检测类型

第一 CRC 检测类型	第二 CRC 检测类型
■ 用户模式期间，CRC_ERROR 管脚所使用的 CRAM 错误检查的能力 (32 bit CRC)。 ■ 仅有一个 32 bit CRC 值。该值涵盖了所有的 CRAM 数据。	■ 内嵌在每一个配置数据帧中 16 bit CRC。 ■ 配置期间，一帧数据加载到器件后，预计算出的 CRC 被移入 CRC 电路。 ■ 与此同时，对被移入数据帧的 CRC 值进行计算。如果预计算出的 CRC 值与计算出的 CRC 值不拼配，则 nSTATUS 被置低。 ■ 每个数据帧均有一个 16 bit CRC。因此，整个配置比特流有多个 16 bit CRC 值。 ■ 每个器件均有一个不同长度的配置数据帧。

这一部分重点放在第一类型 — 用户模式期间的 32 bit CRC。

错误检测寄存器

错误检测电路中有两组 32 bit 寄存器，用于存储计算出的 CRC 签名以及预计算出的 CRC 值。签名寄存器中的一个非零值会导致 CRC_ERROR 管脚被置高。

图 9-1 显示了错误检测模块与两个相关的 32 bit 寄存器 (签名寄存器与存储寄存器) 的结构框图。

图 9-1. 错误检测模块结构框图

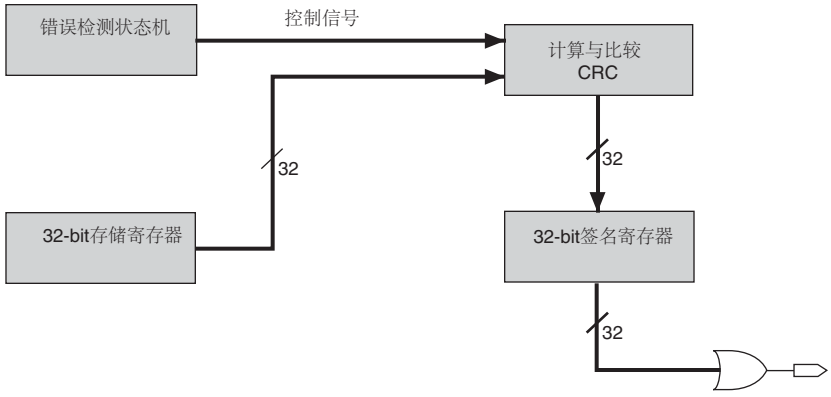


表 9–4 对图 9–1 中所示的寄存器作了定义。

表 9–4. 错误检测寄存器

寄存器	功能
32 bit 签名寄存器	该寄存器包含 CRC 签名。签名寄存器包含用户模式下计算出的 CRC 值与预计算出的 CRC 值的比较结果。如果没有检测到错误，则签名寄存器全部为零。一个非零签名寄存器表明了配置 CRAM 数据中存在错误。 CRC_ERROR 信号的产生取决于该寄存器的数据内容。
32 bit 存储寄存器	在配置阶段的最后，将 32 bit 预计算出的 CRC 签名加载到该寄存器。该签名然后在用户模式期间加载到 32 bit CRC 电路（称为 “ 计算与比较 CRC” 模块，如图 9–1 所示），以计算 CRC 错误。该寄存器在 CHANGE_EDREG JTAG 指令执行期间形成了一个 32 bit 扫描链。CHANGE_EDREG JTAG 指令可以更改存储寄存器的内容。因此，通过在操作期间执行这些指令来注入一个错误，从而对错误检测 CRC 电路进行在系统检查。当发出 CHANGE_EDREG 指令时，器件的操作没有停止。

错误检测时序

通过 Quartus II 软件使能错误检测 CRC 功能时，器件会自动激活 CRC 进程，并在配置和初始化完成后进入用户模式。

在错误检测电路检测到以前的 CRC 计算中的损坏位之前， CRC_ERROR 管脚一直驱动为低电平。 CRC_ERROR 管脚变为高电平后，在下一个 CRC 计算期间一直保持在高电平。该管脚不记录以前的 CRC 计算。如果新的 CRC 计算不包含任何的损坏位，CRC_ERROR 管脚被拉低。错误检测继续运行，直到器件被重置。

错误检测电路通过用于设定最大频率的除数，来关闭内部配置振荡器。

表 9–5 列出了最小和最大错误检测频率。

表 9–5. Cyclone IV 器件的最小和最大错误检测频率

错误检测频率	最大错误检测频率	最小错误检测频率	有效除数 (2^n)
80 MHz/2^n	80 MHz	312.5 kHz	0, 1, 2, 3, 4, 5, 6, 7, 8

通过在 Quartus II 软件中指定一个分频因子，您可以设定一个较低的时钟频率（要了解更多信息，请参考 “ 软件支持 ”）。该除数是 2 的指数，其中 n 介于 0 和 8 之间。除数范围从 1 到 256. 请参考公式 1。

公式 1.

$$\text{Error detection frequency} = \frac{80\ \text{MHz}}{2^n}$$

CRC 计算时间取决于器件与错误检测时钟频率。

表 9–6 列出了 Cyclone IV 中，使用最小和最大时钟频率的每个 CRC 计算所需的估算时间。

表 9–6. CRC 计算时间

器件		最短时间 (ms) *(1)*	最长时间 (s) *(2)*
Cyclone IV E	EP4CE6 *(3)*	5	2.29
	EP4CE10 *(3)*	5	2.29
	EP4CE15 *(3)*	7	3.17
	EP4CE22 *(3)*	9	4.51
	EP4CE30 *(3)*	15	7.48
	EP4CE40 *(3)*	15	7.48
	EP4CE55 *(3)*	23	11.77
	EP4CE75 *(3)*	31	15.81
	EP4CE115 *(3)*	45	22.67
Cyclone IV GX	EP4CGX15	6	2.93
	EP4CGX22	12	5.95
	EP4CGX30	12	5.95
		34 *(4)*	17.34 *(4)*
	EP4CGX50	34	17.34
	EP4CGX75	34	17.34
	EP4CGX110	62	31.27
	EP4CGX150	62	31.27

表 9–6 注释：

(1) 最短时间对应最大错误检测时钟频率，并随着 PVT（工艺、电压和温度）的不同会有相应的变化。
(2) 最长时间对应最小错误检测时钟频率，并随着 PVT（工艺、电压和温度）的不同会有相应的变化。
(3) 仅使用于采用 1.2-V 核心电压的器件。
(4) 仅适用于 F484 器件封装。

软件支持

在 Quartus II 软件中使能 CRC 错误检测功能，将生成可选的两用 CRC_ERROR 管脚上的 CRC_ERROR 输出。

要通过 CRC

使能错误检测功能，需执行下列步骤：

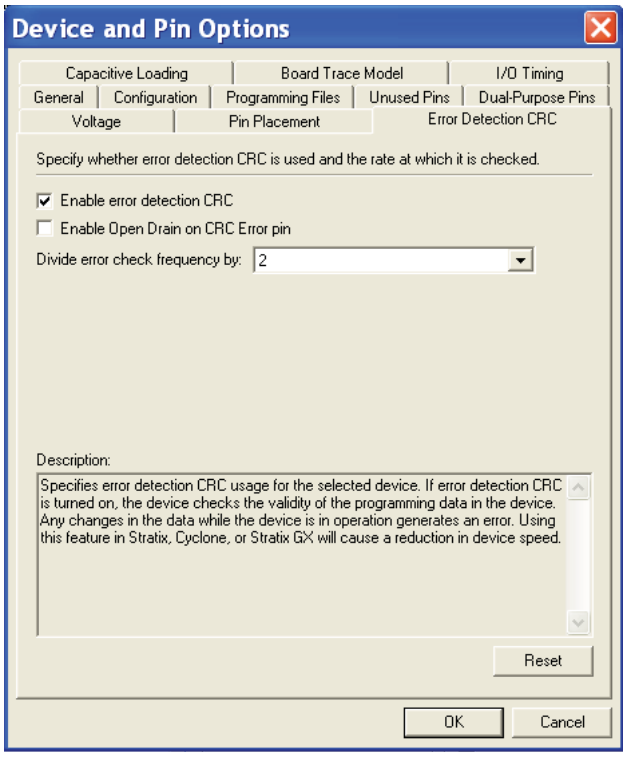
1. 打开 Quartus II 软件，使用 Cyclone IV 器件加载一个工程。
2. 在 Assignments 菜单上，点击 **Settings**。然后出现 **Settings** 对话框。
3. 在 Category 列表中，选择 **Device**。然后出现 **Device** 页面。
4. 点击 **Device and Pin Options**，出现如图 9–2 中所示的 **Device and Pin Options** 对话框。
5. 在 **Device and Pin Options** 对话框中，点击 **Error Detection CRC** 标签。
6. 开启 **Enable error detection CRC**。

7. 在 Divide error check frequency by 设置框中，输入一个有效除数 （如第 9-5 页表 9-5 所示）。

   除数值用于配置振荡器输出时钟的分频。该输出时钟用作错误检测进程的时钟源。

8. 点击 OK。

图 9-2. 在 Quartus II 软件中使能错误检测 CRC 功能

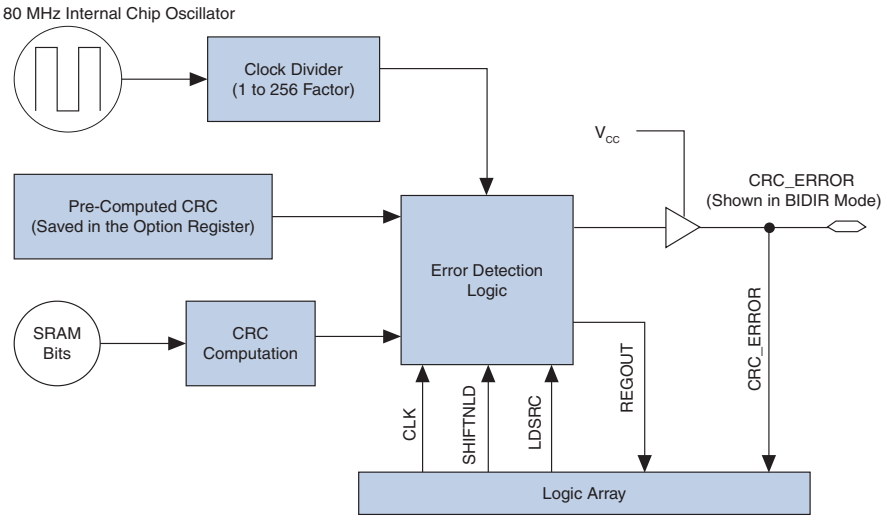


通过用户逻辑访问错误检测模块

错误检测电路将计算后的 32 bit CRC 签名存储在 32 bit 寄存器中，内核中的用户逻辑读出这些 32 bit CRC 签名 。cycloneiv_crcblock 原语是一个 WYSIWYG（所用即所得）组件，用于建立从用户逻辑到错误检测电路的接口。cycloneiv_crcblock 原语组合电路单元包括输入与输出端口 （必须包含在组合电路单元中）。要访问逻辑阵列，cycloneiv_crcblock WYSIWYG 组合电路单元必须加入到您的设计当中。

图 9–3 显示了 FPGA 器件的错误检测结构框图，以及 WYSIWYG 组合电路单元所使能的设计中的接口。

图 9–3. 错误检测结构框图



软错误会对用户逻辑产生影响，所以不应该依赖通过 regout 读出 32 bit CRC 签名来检测软错误，而是依赖 CRC_ERROR 输出信号本身，因为 CRC_ERROR 输出信号不会被软错误影响。

要使能 cycloneiv_crcblock WYSIWYG 组合电路单元，您必须相应地对每一个 Cyclone IV 器件命名组合电路单元。

例 9–1 显示了如何定义 Cyclone IV 器件中 WYSIWYG 组合电路单元的输入与输出端口的实例。

例 9–1. 定义 Cyclone IV 器件中 WYSIWYG 组合电路单元的输入与输出端口的实例

```
cycloneiv_crcblock<crcblock_name>
(
.clk(<clock source>),
.shiftnld(<shiftnld source>),
.ldsrc(<ldsrc source>),
.crcerror(<crcerror out destination>),
.regout(<output destination>),
);
```

表 9-1 列出了必须包含在组合电路单元中的输入与输出端口。

表 9-1. CRC 模块输入与输出端口

端口	输入 / 输出	定义
<crcblock_name>	输入	CRC 模块的唯一标识符，对于给定描述语言（例如：Verilog HDL、VHDL 和 AHDL），代表合法的标识符名称。此字段是必需的。
.clk(<*clock source*>	输入	该信号指定该单元的时钟输入。该单元的所有操作都在时钟的上升沿。无论是加载到单元的数据还是来自单元的数据，该信号始终出现在上升沿。此端口是必需的。
.shiftnld (<*shiftnld source*>)	输入	该信号是到错误检测时钟的一个输入。若 shiftnld=1，则在每一个 clk 的上升沿数据都会从内部移位寄存器移入 regout。若 shiftnld=0，则根据 ldsrc 端口输入，移位寄存器并行加载预计算出的 CRC 值，或者更新寄存器内容。要做到这一点，shiftnld 必须被驱动为低电平至少两个时钟周期。此端口是必需的。
.ldsrc (<*ldsrc source*>)	输入	该信号是到错误检测时钟的一个输入。若 ldsrc=0，则预计算出的 CRC 寄存器被选择用于 shiftnld=0 时，在 clk 的上升沿加载到 32 bit 移位寄存器。若 ldsrc=1，则签名寄存器（CRC 计算的结果）被选择用于 shiftnld=0 时，在 clk 的上升沿加载到移位寄存器。当 shiftnld=1 时，该端口被忽略。该端口是必需的。
.crcerror (<*crcerror indicator output*>)	输出	此信号是单元的输出，同步到器件的内部振荡器（80-MHz 内部振荡器），而不是同步到 clk 端口。如果错误模块检测到 SRAM 位已经翻转，并且对于预计算出的值，内部 CRC 计算显示了与预计算出的值的差异，那么此信号被置高。您必须将此信号连接到一个输出管脚或者一个双向管脚。如果连接到一个输出管脚，那么您只能监控 CRC_ERROR 管脚（内核不能够访问此输出）。如果 CRC_ERROR 信号被内核逻辑用于读取错误检测逻辑，那么您必须将此信号连接到 BIDIR 管脚。通过连接 BIDIR 管脚，该信号被直接提供给内核（BIDIR 管脚具有它本身的，连接到 V_{CC} 的输出使能端口。请参见第 9-8 页图 9-3）。
.regout (<*registered output*>)	输出	此信号是错误检测移位寄存器的输出，该错误检测移位寄存器同步到 clk 端口，以使内核逻辑对其进行读取。此信号在每个周期移动一位，所以您应该同步 clk 信号 31 个周期，以读取移位寄存器的 32 个位。

从 CRC 错误中恢复

Altera FPGA 所存在的系统必须对器件重配置进行控制。在 CRC_ERROR 管脚上检测到错误后，系统可以安全地重配置 FPGA 时，选通 nCONFIG 为低电平将指示系统执行重配置。

当通过重配置器件，使用正确的值写入数据位时，器件正常工作。

当软错误在 Altera 器件中屡见不鲜时，某些高可靠性的应用可能需要一个设计来应对这些错误。

文档修订历史

表 9–2 显示了本章节的修订历史。

表 9–2. 文档修订历史

日期	版本	修订内容
2010 年 2 月	1.1	针对 Quartus II 9.1 SP1 发布的更新： ■ 更新了 “ 配置错误检测 ” 部分。 ■ 更新了表 9–6。 ■ 在表 9–6 中添加 Cyclone IV E 器件。
2009 年 11 月	1.0	首次发布。

10. Cyclone IV器件的JTAG边界扫描测试

CYIV-51010-1.2

本章介绍了 Cyclone® IV 器件所支持的边界扫描测试 (BST) 功能。这些 BST 功能与 Cyclone III 器件中的相类似，除非另有说明。

Cyclone IV 器件 (Cyclone IV E 器件和 Cyclone IV GX 器件) 支持 IEEE Std.1149.1。Cyclone IV GX 器件也支持 IEEE Std.1149.6。IEEE Std.1149.6 (AC JTAG) 仅被 Cyclone IV GX 器件中的高速串行接口 (HSSI) 收发器支持。IEEE Std.1149.6 用于使能 AC 耦合的发送器与接收器之间的板级连接检查。

本章节含盖以下几方面内容：

- IEEE Std.1149.6 边界扫描寄存器（第 10-2 页）
- BST 操作控制（第 10-3 页）
- JTAG 链中 I/O 电压支持（第 10-5 页）
- 边界扫描描述语言支持（第 10-6 页）

欲了解关于 JTAG 指令代码描述以及 IEEE Std.1149.1 BST 指南的详细信息，请参考 *IEEE 1149.1 (JTAG) Boundary-Scan Testing for Cyclone III Devices* 章节。

欲了解以下方面的内容，请参考 *AN 39: IEEE 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices*：

- IEEE Std. 1149.1 BST 体系结构与电路系统
- TAP 控制器状态机
- 指令模式

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

IEEE Std.1149.6 边界扫描寄存器

Cyclone IV GX 器件中的 HSSI 发送器（GXB_TX[p,n]）和接收器（GXB_RX[p,n]）的边界扫描单元（BSC）不同于 I/O 管脚的边界扫描单元（BSC）。

图 10-1 显示了 Cyclone IV GX HSSI 发送器的边界扫描单元。

图 10-1. Cyclone IV GX 器件中内嵌 IEEE Std. 1149.6 BST 电路系统的 HSSI 发送器的边界扫描单元（BSC）

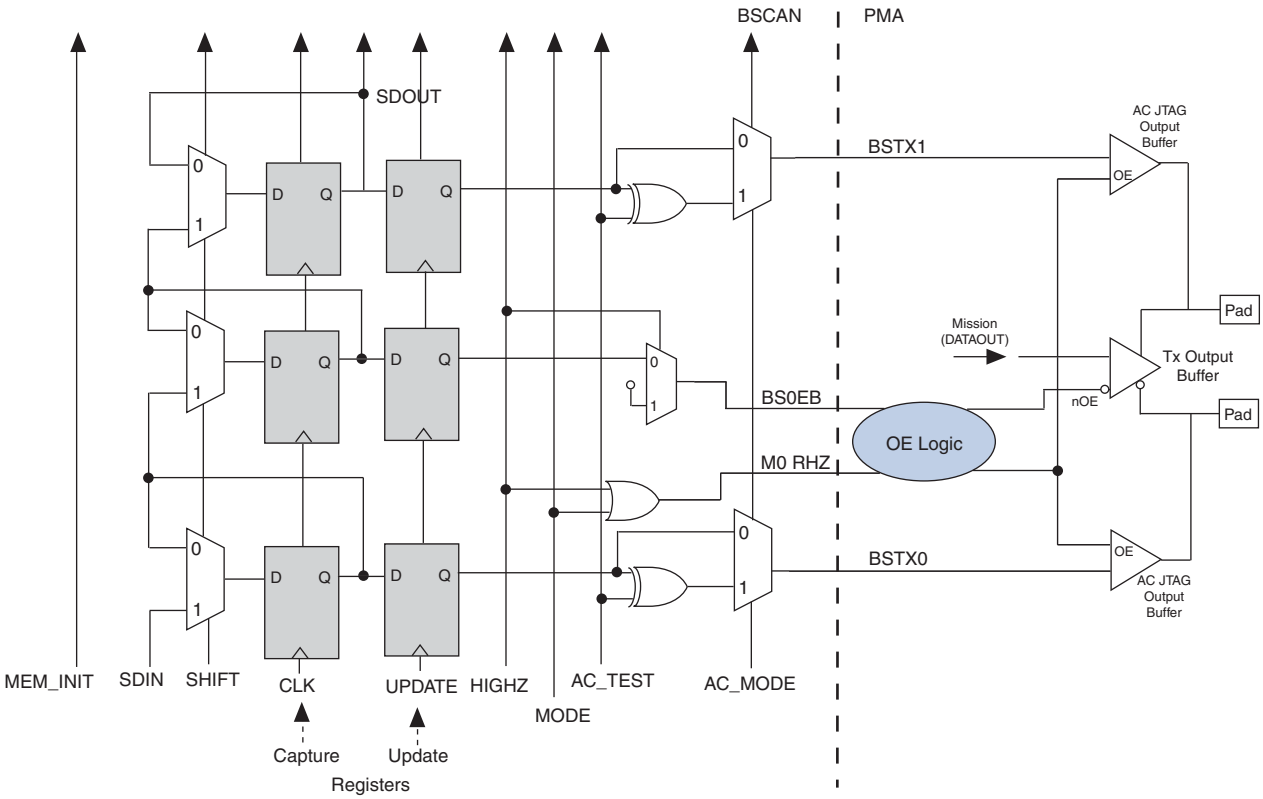
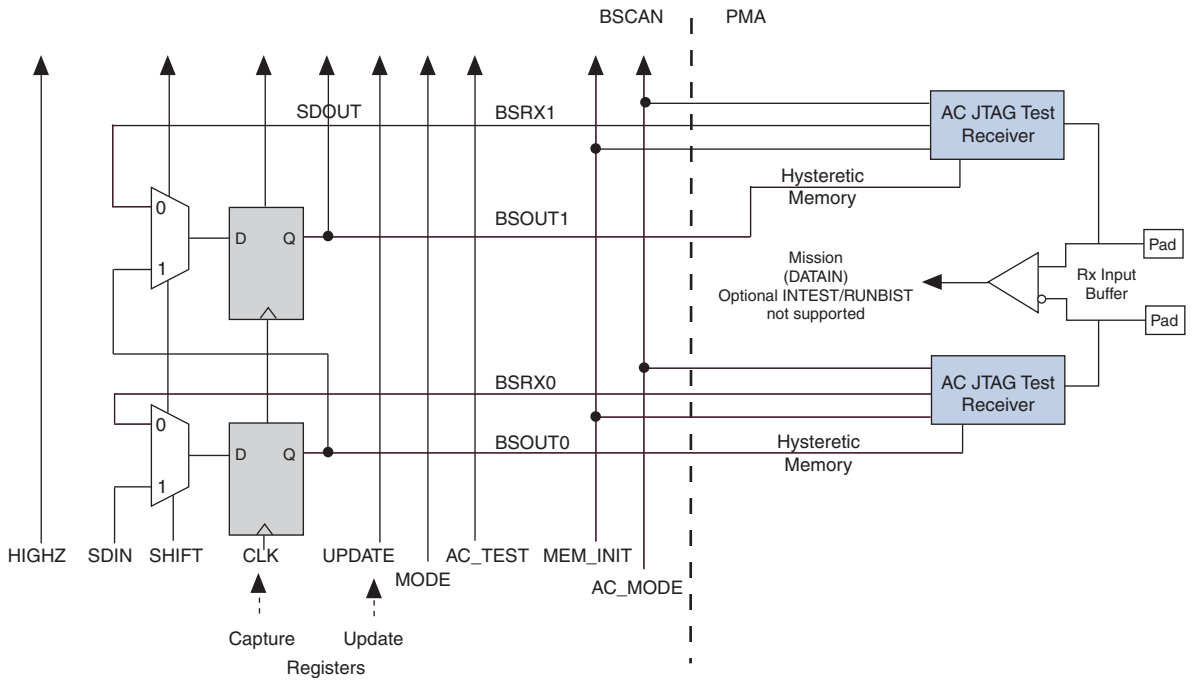


图 10–2 显示了 Cyclone IV GX HSSI 接收器的边界扫描单元 (BSC)。

图 10–2. Cyclone IV GX 器件中内嵌 IEEE Std.1149.6 BST 电路系统的 HSSI 接收器的边界扫描单元 (BSC)



欲了解关于Cyclone IV器件的用户I/O边界扫描单元的详细信息，请参考 *IEEE 1149.1 (JTAG) Boundary-Scan Testing for Cyclone III Devices* 章节。

BST 操作控制

表 10–1 列出了 Cyclone IV 器件的边界扫描寄存器的长度。

表 10–1. Cyclone IV 器件的边界扫描寄存器的长度 (1/2)

器件	边界扫描寄存器的长度
EP4CE6	603
EP4CE10	603
EP4CE15	1080
EP4CE22	732
EP4CE30	1632
EP4CE40	1632
EP4CE55	1164
EP4CE75	1314
EP4CE115	1620
EP4CGX15	260
EP4CGX22	494
EP4CGX30 *(1)*	494
EP4CGX50	1006

表 10-1. Cyclone IV 器件的边界扫描寄存器的长度 (2/2)

器件	边界扫描寄存器的长度
EP4CGX75	1006
EP4CGX110	1495
EP4CGX150	1495

表 10-1 注释：

(1) 对于 F484 封装的 EP4CGX30 器件，边界扫描寄存器的长度为 1006。

表 10-2 列出了 Cyclone IV 器件的 IDCODE 信息。

表 10-2. 32-Bit Cyclone IV 器件的 IDCODE 信息

器件型号	IDCODE (32 位) *(1)*			
	版本 (4 位)	部件编号 (16 位)	制造商识别编号 (11 位)	LSB(1位) *(2)*
EP4CE6	0000	0010 0000 1111 0001	000 0110 1110	1
EP4CE10	0000	0010 0000 1111 0001	000 0110 1110	1
EP4CE15	0000	0010 0000 1111 0010	000 0110 1110	1
EP4CE22	0000	0010 0000 1111 0011	000 0110 1110	1
EP4CE30	0000	0010 0000 1111 0100	000 0110 1110	1
EP4CE40	0000	0010 0000 1111 0100	000 0110 1110	1
EP4CE55	0000	0010 0000 1111 0101	000 0110 1110	1
EP4CE75	0000	0010 0000 1111 0110	000 0110 1110	1
EP4CE115	0000	0010 0000 1111 0111	000 0110 1110	1
EP4CGX15	0000	0010 1000 0000 0001	000 0110 1110	1
EP4CGX22	0000	0010 1000 0001 0010	000 0110 1110	1
EP4CGX30 *(3)*	0000	0010 1000 0000 0010	000 0110 1110	1
EP4CGX30 *(4)*	0000	0010 1000 0010 0011	000 0110 1110	1
EP4CGX50	0000	0010 1000 0001 0011	000 0110 1110	1
EP4CGX75	0000	0010 1000 0000 0011	000 0110 1110	1
EP4CGX110	0000	0010 1000 0001 0100	000 0110 1110	1
EP4CGX150	0000	0010 1000 0000 0100	000 0110 1110	1

表 10-2 注释：

(1) MSB 在左边。

(2) IDCODE LSB 始终为 1。

(3) IDCODE 适用于除了 F484 之外的所有封装。

(4) IDCODE 仅适用于 F484 封装。

IEEE Std.1149.6 增加了两个新的指令：EXTEST_PULSE 和 EXTEST_TRAIN。这两个指令用于使能包含 AC 管脚的信号通路上的边缘检测行为。

EXTEST_PULSE

EXTEST_PULSE 的指令代码为 0010001111。 EXTEST_PULSE 指令生成三个输出跳变：

- 驱动程序在 UPDATE_IR/DR 中的 TCK 下降沿上驱动数据。
- 进入 RUN_TEST/IDLE 状态后，驱动程序在 TCK 下降沿上驱动反向数据。
- 离开 RUN_TEST/IDLE 状态后，驱动程序在 TCK 下降沿上驱动数据。

EXTEST_TRAIN

EXTEST_TRAIN 的指令代码为 0001001111。EXTEST_TRAIN 指令的作用与 EXTEST_PULSE 指令相同，包括一个异常处理。只要测试访问端口 (TAP) 处于 RUN_TEST/IDLE 状态，输出端就会在 TCK 下降沿不断触发。

这两个指令代码仅适用于 Cyclone IV GX 器件的后配置模式下。

当您在配置前执行 JTAG 边界扫描测试时， nCONFIG 管脚必须保持在低电平。

JTAG 链中 I/O 电压支持

BST 模式下运行的 Cyclone IV 器件需要用到四个管脚：TDI、 TDO、 TMS 和 TCK。 TDO 输出管脚和所有的 JTAG 输入管脚都是由 I/O Bank 的 V_{CCIO} 电源来供电 (I/O Bank 9 用于 Cyclone IV GX 器件，I/O Bank 1 用于 Cyclone IV E 器件)。

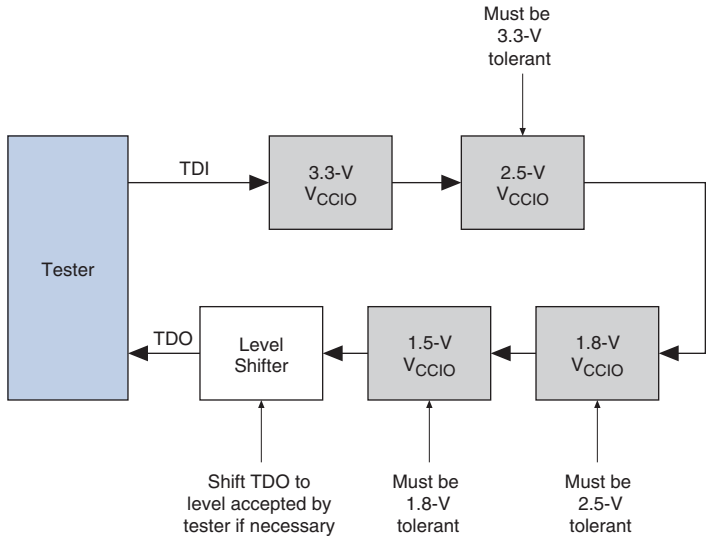
一个 JTAG 链能够包含几种不同的器件。然而，如果链中包含的器件使用不同的 V_{CCIO} 电平，就要特别的注意了。 TDO 管脚的输出电压电平一定要符合它所驱动的 TDI 管脚的规范。例如，内嵌 3.3-V TDO 管脚的器件能够驱动内嵌 5.0-V TDI 管脚的器件，这是因为 3.3 V 满足了 5.0-V TDI 管脚的最小 TTL-level V_{IH}。

对于 JTAG 链中采用 3.0-V/3.3-V I/O 标准的多个器件，您必须在用于驱动 TDI 管脚的 TDO 管脚上连接一个 25-Ω 串联电阻。

您也可以通过在器件之间插入电平转换器，来连接采用不同 V_{CCIO} 电平的器件的 TDI 和 TDO 链路。如果可能，JTAG 链应该包含一个采用更高 V_{CCIO} 电平的器件，来驱动使用相同或更低 V_{CCIO} 电平的器件。这样，可能只需要电平转换器，就能够将 TDO 电平转化成 JTAG 测试仪能够接受的电平。

图 10-3 显示了混合电压的 JTAG 链，以及如何在链中插入一个电平转换器。

图 10-3. 混合电压的 JTAG 链



边界扫描描述语言支持

边界扫描描述语言 (BSDL) 是 VHDL 语言的一个子集，通过一个语法使您能够描述可测试的 IEEE Std. 1149.1/IEEE Std. 1149.6 BST 功能器件的特性。

欲了解关于如何下载IEEE Std.符合1149.1的Cyclone IV E器件所使用的BSDL文件的详细信息，请参考 *IEEE Std. 1149.1 BSDL Files*。

欲了解关于如何下载IEEE Std.符合1149.1的Cyclone IV GX器件所使用的BSDL文件的详细信息，请参考 *IEEE Std. 1149.6 BSDL Files*。

您也可以通过使用 Quartus® II 9.1 SP1 或更新版本，来生成用于 IEEE Std. 1149.1/IEEE Std. 符合 1149.6 的 Cyclone IV 器件的 BSDL 文件（预配置和后配置）。要了解关于使用 Quartus II 来生成 BSDL 文件的具体步骤，请参考 *BSDL Files Generation in Quartus II*。

文档修订历史

表 10-3 列出了本章节的修订历史。

表 10-3. 文档修订历史

日期	版本	修订内容
2011 年 11 月	1.2	■ 更新了 “BST 操作控制 ” 部分。 ■ 更新了表 10-2。
2010 年 2 月	1.1	■ 针对 Quartus II 9.1 SP1 的发布，在表 10-1 和表 10-2 中添加了 Cyclone IV E 器件。 ■ 更新了图 10 – 1 和图 10 – 2。 ■ 少许的文本编辑。
2009 年 11 月	1.0	首次发布。

11. Cyclone IV 器件的电源要求

CYIV-51011-1.2

本章对 Cyclone IV 器件的外部电源要求、热插拔规范、上电复位 (POR) 要求以及它们的实现作了相关的介绍。

本章含盖以下几方面内容：

- 外部电源要求（第 11-1 页）
- 热插拔规范（第 11-2 页）
- 热插拔功能的实现（第 11-3 页）
- 上电复位电路系统（第 11-3 页）

外部电源要求

这一部分介绍了 Cyclone IV 器件供电所需要的各种外部电源。表 11-1 和表 11-2 分别列出了 Cyclone IV GX 和 Cyclone IV E 器件的外部电源管脚的说明。

欲了解关于 Altera 建议的每个电源操作条件的详细信息，请参考 *Cyclone IV Device Datasheet* 章节。

欲了解关于电源管脚连接指南和电源稳压器共享的详细信息，请参考 *Cyclone IV Device Family Pin Connection Guidelines*。

表 11-1. Cyclone IV GX 器件的电源说明 (1/2)

电源管脚	名义电压电平 (V)	说明
VCCINT	1.2	内核电压、PCI Express (PCIe) 硬核 IP 模块和收发器物理编码子层 (PCS) 电源
VCCA *(1)*	2.5	PLL 模拟电源
VCCD_PLL	1.2	PLL 数字电源
VCCIO *(2)*	1.2, 1.5, 1.8, 2.5, 3.0, 3.3	I/O 供电电源
VCC_CLKIN *(3)*, *(4)*	1.2, 1.5, 1.8, 2.5, 3.0, 3.3	差分时钟输入管脚电源
VCCH_GXB	2.5	收发器输出 (TX) 缓冲器电源
VCCA_GXB	2.5	收发器物理介质附加子层 (PMA) 及辅助电源

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

表 11-1. Cyclone IV GX 器件的电源说明 (2/2)

电源管脚	名义电压电平 (V)	说明
VCCL_GXB	1.2	收发器 PMA 及辅助电源

表 11-1 注释：

(1) 即使没有使用锁相环 (PLL)，也必须上电 VCCA。

(2) I/O bank 3、8 和 9 包含配置管脚。您只能将 I/O bank 3 和 9 的 V_{CCIO} 电平上电至 1.5 V、1.8 V、2.5 V、3.0 V 或者 3.3 V。对于快速被动并行 (FPP) 配置模式，您必须将 I/O bank 8 的 V_{CCIO} 电平上电至 1.5 V、1.8 V、2.5 V、3.0 V 或者 3.3 V。

(3) 所有器件封装中的 EP4CGX15、EP4CGX22 和器件封装 F169 和 F324 中的 EP4CGX30 器件均有两个位于 bank 3A 和 8A 上的 VCC_CLKIN 专用时钟输入 I/O。器件封装 F484 中的 EP4CGX30、所有器件封装中的 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件均有四个位于 bank 3A、3B、8A 和 8B 上的 VCC_CLKIN 专用时钟输入 I/O。

(4) 如果 CLKIN 被用作高速串行接口 (HSSI) refclk，那么必须将 VCC_CLKIN 设置成 2.5 V。位于 I/O bank 3B 和 8B 上的 VCC_CLKIN 仅支持 2.5 V 电压的电平，用于 LVDS 输入功能，因为它们专用于 HSSI refclk。对于 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件，单端输入 CLK 支持适用于位于 I/O bank 3B 和 8B 上的专用输入 CLK 管脚。

表 11-2. Cyclone IV E 器件的电源说明

电源管脚	名义电压电平 (V)	说明
VCCINT	1.0, 1.2	内核电压电源
VCCA *(1)*	2.5	PLL 模拟电源
VCCD_PLL	1.0, 1.2	PLL 数字电源
VCCIO *(2)*	1.2, 1.5, 1.8, 2.5, 3.0, 3.3	I/O 供电电源

表 11-2 注释：

(1) 即使没有使用锁相环 (PLL)，也必须上电 VCCA。

(2) I/O bank 1、6、7 和 8 包含配置管脚。

热插拔规范

Cyclone IV 器件支持热插拔的特性，而无需任何的外部组件或特殊的设计要求。Cyclone IV 器件对热插拔的支持具有下面两个优点：

- 您能够在上电前对器件进行驱动，同时又不会对器件造成损坏。
- I/O 管脚在上电期间保持在三态。器件不会在上电前或上电期间驱动信号。因此，它不会对操作中的其它总线产生影响。

上电前驱动器件

您可以在上电或关断之前或期间，将信号驱动至 Cyclone IV E 的普通 I/O 管脚和 Cyclone IV GX 的收发器 I/O 管脚当中。Cyclone IV 器件支持上电或关断排序，以简化系统级设计。

上电期间 I/O 管脚保持在三态

Cyclone IV 器件的输出缓冲器在系统上电或关断期间被关闭。直到器件被配置并在推荐的操作条件下运行时，Cyclone IV 器件才会驱动信号。I/O 管脚在器件进入用户模式前始终处于三态。

用户 I/O 管脚和两用 I/O 管脚均有弱上拉电阻，这些弱上拉电阻在配置前或期间始终处于使能状态（上电复位后），但在上电复位前是禁用的。

半导体器件关于热插拔可能存在的问题是潜在的闩锁效应的发生。当在活动系统中对电气子系统进行热插拔时，会出现闩锁效应。热插拔期间，电源提供电流给器件的 V_{CC} 和接地平面之前，信号管脚可能被活动系统连接并驱动。这一情况能够产生闩锁效应，并导致从器件中 V_{CC} 到 GND 的低阻抗路径。因此，器件产生大量的电流，从而可能会导致电损伤。

I/O 缓冲器与热插拔电路系统的设计确保了 Cyclone IV 器件在热插拔期间避免闩锁效应的发生

要了解关于热插拔规范的详细信息，请参考 *Cyclone IV Device Datasheet* 章节和 *Hot-Socketing and Power-Sequencing Feature and Testing for Altera Devices* 白皮书。

热插拔功能的实现

热插拔电路不包括 CONF_DONE、nCEO 和 nSTATUS 管脚，从而确保这些管脚能够在配置期间正常操作。这些管脚的预期行为是在上电和关断顺序期间驱动信号。

Altera 使用 GND 作为热插拔操作和 I/O 缓冲器设计的参考。为确保正确的操作，Altera 建议在连接电源之前，先连接电路板之间的 GND。这样可以防止通过电路板上的其它组件的电源路径意外地上拉电路板上的 GND。否则，上拉的 GND 能够导致 Altera 器件出现一个规范以外的 I/O 电压或者电流情况。

上电复位电路系统

Cyclone IV 器件包含上电复位 (POR) 电路系统，使器件保持在复位状态，直到上电期间电源电平变得稳定。上电复位期间，在电源到达推荐的操作电平以前，所有的用户 I/O 管脚均处于三态。此外，POR 电路系统也确保了配置管脚触发以前，内嵌配置管脚的 I/O bank 的 V_{CCIO} 电平能够达到一个可接受的电平。

Cyclone IV 器件中的 POR 电路在上电期间监控含有配置管脚的 V_{CCINT}、V_{CCA} 和 V_{CCIO}。您能够以任何顺序上电或关断 V_{CCINT}、V_{CCA} 和 V_{CCIO} 管脚。V_{CCINT}、V_{CCA} 和 V_{CCIO} 管脚必须要有一个达到稳态电平的单调上升。所有的 V_{CCA} 管脚必须供电到 2.5 V（即使是在没有使用 PLL 的情况下），并且必须同时上电及关断。

Cyclone IV 器件进入用户模式后，POR 电路继续监控 V_{CCINT} 和 V_{CCA} 管脚，以便检测用户模式期间掉电情况的发生。如果 V_{CCINT} 或者 V_{CCA} 电压在用户模式期间下降到 POR 跳变点以下，那么 POR 电路将对器件复位。如果 V_{CCIO} 电压在用户模式期间下降，那么 POR 电路不会对器件复位。

在某些应用中，迅速唤醒器件开始运作是非常必要的。Cyclone IV 器件支持快速接通 (Fast-On) 的特性，用于快速唤醒时间的应用。MSEL 管脚的设置决定了器件的 POR 时间 (t_{POR})。

欲了解关于 MSEL 管脚设置的详细信息，请参考 *Configuration and Remote System Upgrades in Cyclone IV Devices* 章节。

欲了解关于 POR 规范的详细信息，请参考 *Cyclone IV Device Datasheet* 章节。

文档修订历史

表 11-3 列出了本章节的修订历史。

表 11-3. 文档修订历史

日期	版本	修订内容
2010 年 7 月	1.2	■ 针对 Quartus II 10.0 的发布所进行的更新。 ■ 更新了 “ 上电期间 I/O 管脚保持在三态 ” 部分。 ■ 更新了表 11-1。
2010 年 2 月	1.1	针对 Quartus II 9.1 SP1 的发布，更新了表 11 - 1 和表 11 - 2。
2009 年 11 月	1.0	首次发布。

1. Cyclone IV 收发器体系结构

CYIV-52001-3.3

在低成本的 FPGA 中，Cyclone® IV GX 器件内嵌多达八个全双工收发器，运行在 600 Mbps 到 3.125 Gbps 的串行数据速率上。表 1-1 列出了 Cyclone IV GX 收发器通道所支持的串行协议信息。

表 1-1. Cyclone IV GX 收发器通道所支持的串行协议 — 初步

协议	数据速率 (Gbps)	F324 以及更小的器件封装	F484 以及更大的器件封装
PCI Express® (PCIe®) *(1)*	2.5	✓	✓
千兆以太网 (GbE)	1.25	✓	✓
通用公共无线接口 (CPRI)	0.6144、1.2288、 2.4576 和 3.072	✓ *(2)*	✓
OBSAI	0.768、1.536 和 3.072	✓ *(2)*	✓
XAUI	3.125	—	✓
串行数字接口 (SDI)	HD-SDI 支持 1.485 和 1.4835 3G-SDI 支持 2.97 和 2.967	—	✓
Serial RapidIO® (SRIO)	1.25、2.5 和 3.125	—	✓
串行高级技术附件 (SATA) *(3)*	1.5 和 3.0	—	✓
V-by-one *(3)*	3.0	—	✓
显示端口 *(3)*	1.62 和 2.7	—	✓

表 1-1 注释：

(1) 提供了兼容 PIPE(PCI Express 物理接口) 的接口，支持 Gen1 ×1、×2 和 ×4 初始通道宽度配置。当实现 ×1 或 ×2 接口时，收发器模块中的其它通道可用于实现其它协议。

(2) 仅支持高达 2.5 Gbps 的数据速率。

(3) 协议规范的兼容性还是一个待定属性。

您可以通过 ALTGX MegaWizard™ Plug-In Manager 来实现这些协议。此外，ALTGX MegaWizard™ Plug-In Manager 也提供了高度灵活的 Basic 功能代码，以实现支持下面串行数据速率的专用串行协议：

- 600 Mbps 到 2.5 Gbps，适用于 F324 以及更小封装中的器件
- 600 Mbps 到 3.125 Gbps，适用于 F484 以及更大封装中的器件

欲了解关于使用 ALTGX 宏功能对收发器进行例化时的可用端口的详细说明信息，请参考第 1-85 页中的 “ 收发器顶层端口列表 ” 。

欲了解关于运行在 ≥2.97 Gbps 数据速率下的 Cyclone IV 收发器的详细信息，请参考 *Cyclone IV Device Family Pin Connection Guidelines*。

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

Cyclone IV GX 器件包含一个 PCIe MegaCore® 功能的硬核知识产权 (IP) 实现，支持在主节点或从节点模式下配置的 Gen1 ×1、×2 和 ×4 初始通道宽度。欲了解更多信息，请参考第 1-46 页中的 “PCI-Express 硬核 IP 模块 ”。

收发器体系结构

根据不同的器件封装，每个 Cyclone IV GX 器件均内嵌一个或两个收发器模块。每个收发器模块均由四个位于器件左侧（上模图）的全双工（发送器和接收器）通道组成。图 1-1 和图 1-2 显示了 Cyclone IV GX 器件中收发器模块的上模图以及相关的资源位置。

图 1-1. Cyclone IV GX 器件中内嵌收发器通道的 F324 及更小器件封装

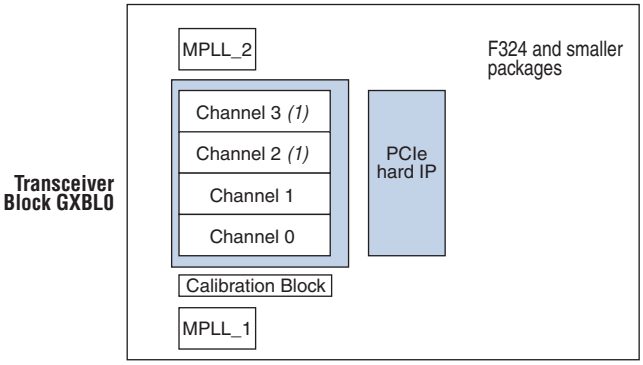
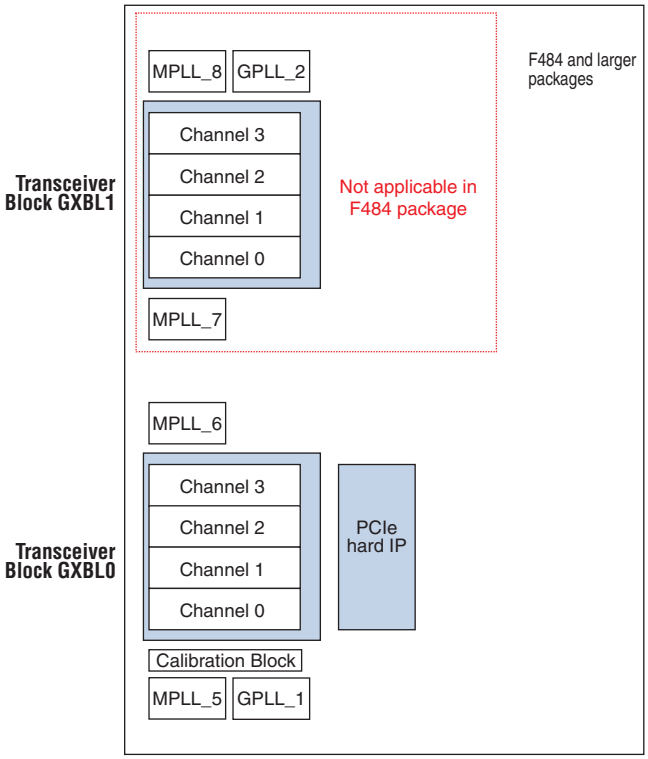


图 1-1 注释：

(1) 在 F169 以及更小的器件封装中，Channel 2 和 Channel 3 是不可用的。

图 1-2. Cyclone IV GX 中内嵌收发器模块的 F484 及更大器件封装



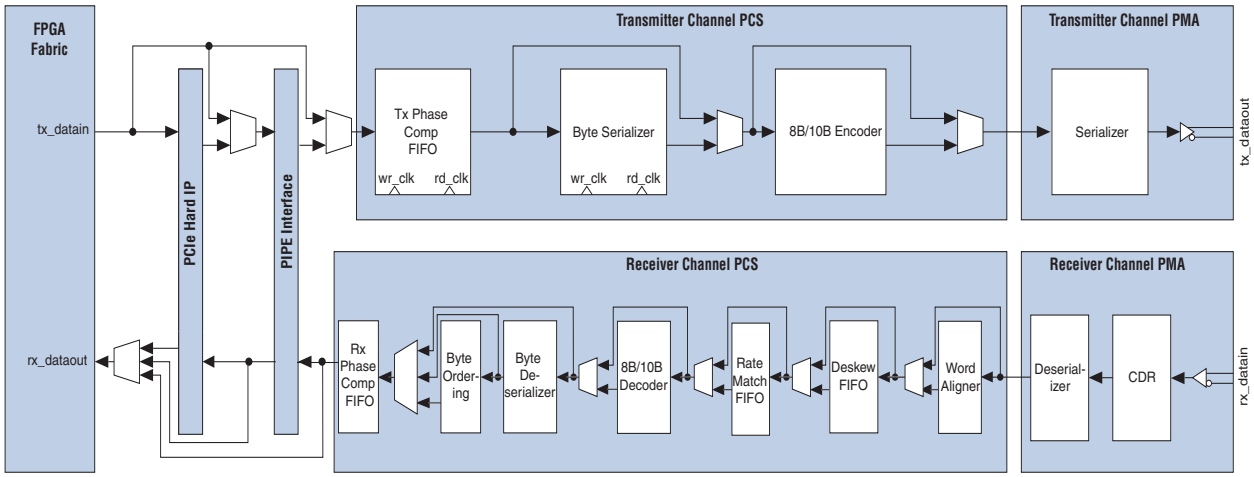
要了解关于收发器体系结构的详细信息，请参考以下部分的内容：

- 体系结构概述（第 1-4 页）
- 发送通道数据通路（第 1-5 页）
- 接收通道数据通路（第 1-11 页）
- 收发器时钟体系结构（第 1-26 页）
- 收发器通道数据通路时钟（第 1-29 页）
- FPGA 架构收发器接口时钟（第 1-43 页）
- 校准模块（第 1-45 页）
- PCI-Express 硬核 IP 模块（第 1-46 页）

体系结构概述

图 1–3 显示了 Cyclone IV GX 收发器通道的数据通路。

图 1–3. Cyclone IV GX 器件中的收发器通道数据通路



每个收发器通道均由一个发送数据通路和一个接收数据通路组成。每个数据通路又由以下两部分构成：

- 物理介质附加子层 (PMA)— 包括 I/O 缓冲器的模拟电路、时钟数据恢复 (CDR)、 串行器 / 解串器 (SERDES) 以及用于优化串行数据通道性能的可编程预加重与均衡。
- 物理编码子层(PCS)—包括兼容所支持协议的收发器中的数字功能的硬核逻辑实现。

FPGA 架构中的输出并行数据通过发送器 PCS 和 PMA 进行传输，并作为串行数据被发送。接收到的输入串行数据通过接收器 PMA 和 PCS 传输到 FPGA 架构中。该收发器支持下面的接口宽度：

- FPGA 架构收发器 PCS—8、10、16 和 20 bit
- PMA-PCS—8 或 10 bit

当对 PCIe 协议的实现配置收发器通道时，该收发器通道通过 PIPE 进行接口连接。 PIPE 兼容 *PHY Interface for the PCI Express Architecture* 规范的 2.00 版本。

发送通道数据通路

接下来的部分介绍了 Cyclone IV GX 发送通道数据通路的体系结构，如图 1-3 所示：

- TX 相位补偿 FIFO
- 字节串行器
- 8B/10B 编码器
- 串行器
- 发送器输出缓冲器

TX 相位补偿 FIFO

当（直接地或通过 PIPE 和 PCIe 硬核 IP）连接发送通道至 FPGA 架构时，TX 相位补偿 FIFO 对低速并行时钟与 FPGA 架构接口时钟之间的相位差异进行补偿。FIFO 为 4 个字深，有 2 到 3 个并行时钟周期间的延迟。图 1-4 显示了 TX 相位补偿 FIFO 的结构框图。

图 1-4. TX 相位补偿 FIFO 结构框图

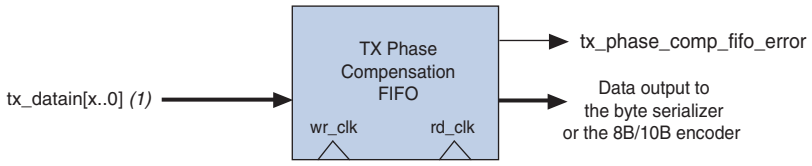


图 1-4 注释：

(1) 这里的 x 指的是所支持的 8、10、16 或者 20-bit 收发器通道宽度。

FIFO 能够运行在寄存的模式中，在确定性延迟功能模式中只能产生一个并行时钟周期的延迟。欲了解更多信息，请参考第 1-73 页的 “ 确定性延迟模式 ”。

欲了解关于 FIFO 时钟的详细信息，请参考第 1-43 页的 “FPGA 架构收发器接口时钟 ”。

字节串行器

字节串行器平分输入数据位宽，在满足最大 FPGA 架构频率限制的同时，实现了发送通道在更高的数据速率下运行。在那些超过最大 FPGA 架构收发器接口时钟频率限制的配置中，该模块是必需的，反之是可选的。

关于 FPGA 架构收发器接口频率规范的更多信息，请参阅第 1-43 页中的 “*Cyclone IV Device Data Sheet*”。

举例说明，在不使用字节串行器的情况下，当一个 EP4CGX150 发送通道运行在 3.125 Gbps 时，FPGA 架构频率为 312.5 MHz (3.125 Gbps/10)。该实现违反了频率限制，从而没有被支持。当使用字节串行器时，3.125 Gbps 的通道操作是被支持的，其中的 FPGA 架构频率为 156.25 MHz (3.125 Gbps/20)。

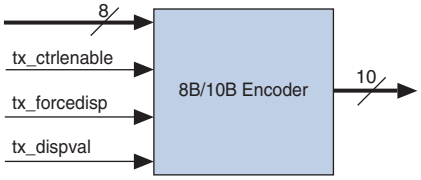
字节串行器首先转发最低有效位，然后转发最高有效位。

8B/10B 编码器

可选的 8B/10B 编码器从 8-bit 数据以及 1-bit 控制标识符中生成具有正确差异的 10-bit 代码组，如图 1-5 所示。

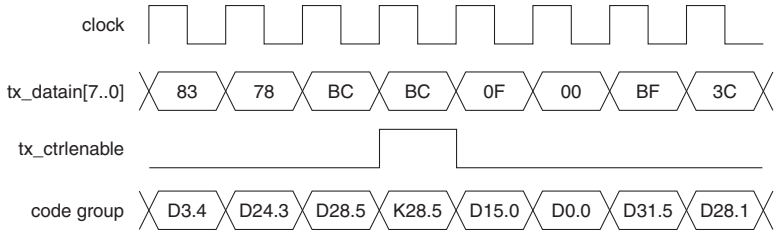
该编码器兼容 *IEEE 802.3 Specification* 中的第 36 条。

图 1-5. 8B/10B 编码器结构框图



1-bit 控制标识符 (tx_ctrlenable) 端口控制 10-bit 数据字 (Dx.y) 或者 10-bit 控制字 (Kx.y) 的 8-bit 转换。图 1-6 显示了使用 tx_ctrlenable 端口的 8B/10B 编码操作， 其中 tx_ctrlenable 端口被置位时，第二个 8'hBC 数据作为控制字被编码，而其它数据作为数据字被编码。

图 1-6. 使用 8B/10B 编码器的控制字与数据字编码

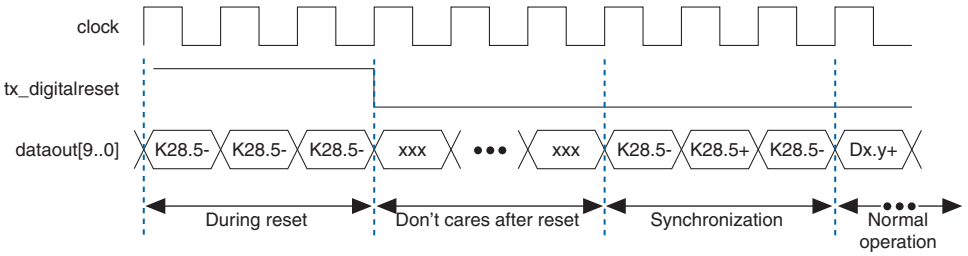


IEEE 802.3 8B/10B 编码规范仅识别一组 8-bit 字符，需要对这组 8-bit 字符置位 tx_ctrlenable 端口。如果对其它组的字符置位 tx_ctrlenable 端口，那么根据输入的值，8B/10B 编码器可能会对作为无效代码或者一个意外有效 Dx.y 代码的输出 10-bit 代码进行编码（它不映射到一个有效的 Dx.y 或 Kx.y 代码）。一个下游 8B/10B 解码器可能会在没有置位任何代码错误标志信号的情况下，将无效的控制字解码成有效的 Dx.y 代码。而无需置位。 Altera 建议不要对未支持的 8-bit 字符置位 tx_ctrlenable 端口。

下面介绍了复位情况下的 8B/10B 编码器行为（如图 1-7 所示）：

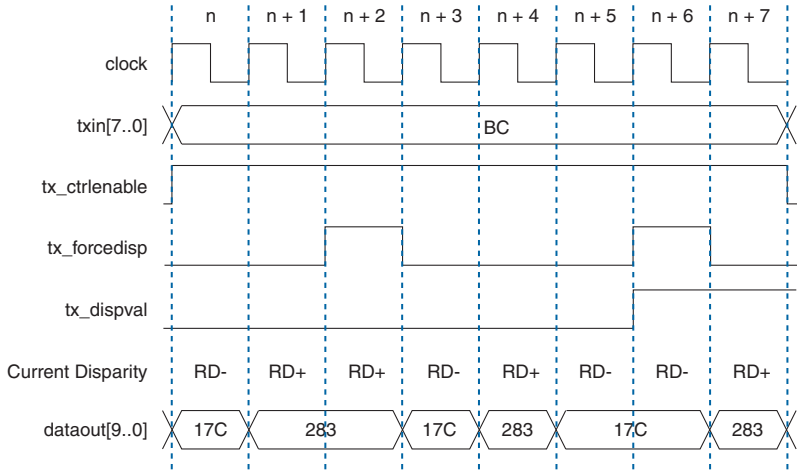
- 复位过程中，8B/10B 编码器忽略来自 FPGA 架构的输入数据（tx_datain 和 tx_ctrlenable 端口），并连续输出 RD 列中的 K28.5 码型，直到 tx_digitalreset 端口被置位。
- 当 tx_digitalreset 端口被置位时，8B/10B 编码器从负差异开始编码。8B/10B 编码器开始编码和在它的输出端发送数据之前，将发送三个 K28.5 代码组，以实现同步。
- 发送器 PCS 的流水线数据处理导致了一些 "don't cares"（10'hxxx）在三个同步的 K28.5 代码组之前被发送。

图 1-7. 复位情况下的 8B/10B 编码器行为



通过 tx_forcedisp 和 tx_dispval 端口，编码器支持将运行差异强制成正或负差异。图 1-8 显示了 tx_forcedisp 和 tx_dispval 端口使用的一个实例，其中的数据表示为十六进制基数。

图 1-8. 强制运行差异操作



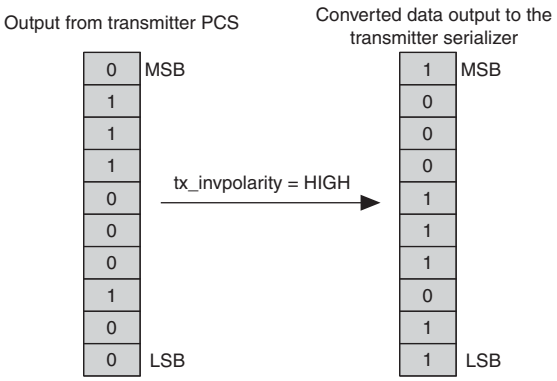
在这一实例中，一系列的 K28.5 代码组被连续发送出去。 数据流在正差异 K28.5 (RD+) 与负差异 K28.5 (RD-) 之间交替变化，从而保持一个中性的总体差异。 time *n* + 1 中的当前运行差异表明 time *n* + 2 中的 K28.5 需要用负差异来编码。由于 tx_forcedisp 在 time *n* + 2 上为高电平，并且 tx_dispval 为低电平 ，因此 time *n* + 2 上的 K28.5 作为正差异代码组被编码。 在相同实例中，time *n* + 5 上的当前运行差异表明 time *n* + 6 上的 K28.5 需要用正差异来编码。由于 tx_forcedisp 在 time *n* + 6 上为高电平， tx_dispval 也为高电平，因此 time *n* + 6 上的 K28.5 作为负差异代码组被编码。

发送器 PCS 的其它特性

发送器 PCS 支持以下其它几种特性：

- 极性倒转 — 通过倒转每个 bit 的极性来纠正电路板布局期间在串行差分链路上意外交换的正负信号。可选的 tx_invpolarity 端口可用于对发送器数据通路中的串行器的 8-bit 或 10-bit 输入数据的每个 bit 的极性进行倒转。 图 1-9 显示了发送器极性倒转功能。

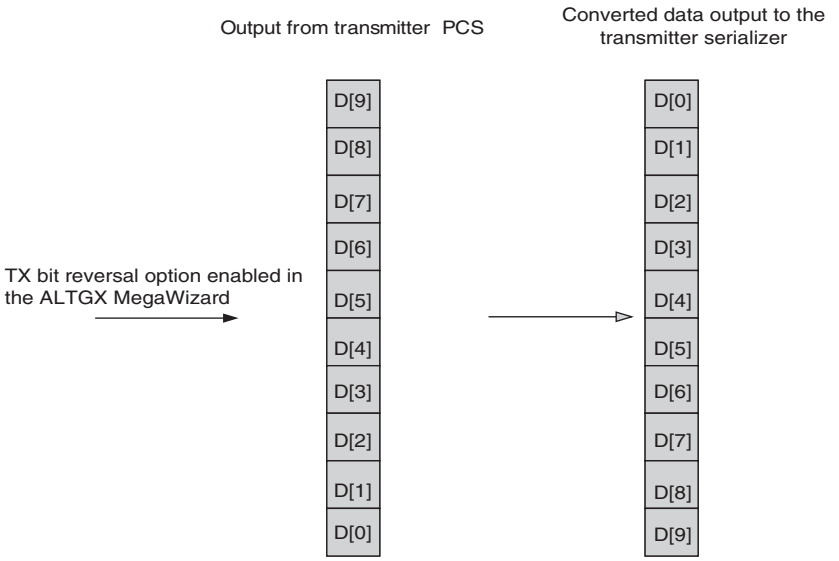
图 1-9. 发送器极性倒转



tx_invpolarity 是一个动态信号，可能会在 8B/10B 编码链的接收端导致初始差异错误。下游系统必须能够承受这些差异错误。

- 位逆转 — 在串行器的输入端，将传输位的顺序从 LSB-to-MSB （默认）逆转成 MSB-to-LSB。例如，串行器的输入数据 D[7..0] 被重新连接成 D[0..7]，用于 8-bit 数据宽， D[9..0] 被重新连接成 D[0..9]，用于 10-bit 数据宽。图 1-10 显示了发送器位逆转特性。

图 1-10. Basic 单宽度模式下的发送器位逆转操作



- 输入位翻转 (Input bit-slip)— 在发送器相位补偿 FIFO 的输入端上以字节为单位对位顺序进行逆转。例如，如果 tx_datain 端口上的 16-bit 并行发送数据是 '10111100 10101101' (16'hBCAD)，那么通过选择该选项可以将发送器相位补偿 FIFO 的输入数据逆转成 '00111101 10110101' (16'h3DB5)。
- 位翻转控制 (Bit-slip control)— 使用 tx_bitslipboundaryselect 端口，通过串行器的一些指定 bit 来推迟数据传输。 关于使用细节，请参考第 1-76 页中的 “ 发送 Bit-Slip 控制 ” 。

串行器

串行器将发送器 PCS 上的低速并行 8-bit 或者 10-bit 数据转换成发送器输出缓冲器的高速串行数据。串行器运用一个 1/2 串行数据速率的高速时钟。 串行器传输顺序是从 LSB 到 MSB。

发送器输出缓冲器

图 1–11 显示了发送器输出缓冲器结构框图。

图 1–11. 发送器输出缓冲器结构框图

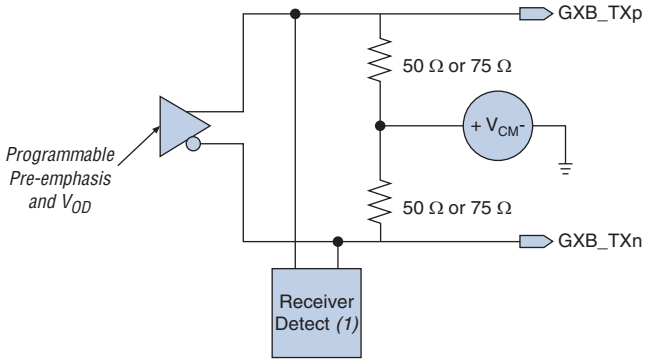


图 1–11 注释：

(1) 接收器检测功能仅用于 PCIe 协议实现。欲了解更多信息，请参考第 1-52 页中的 “PCI Express (PIPE) 模式”。

Cyclone IV GX 发送器输出支持 **1.5-V PCML** I/O 标准，并由 2.5-V 的 VCCH_GXB 电源管脚供电。VCCH_GXB 管脚上的 2.5-V 电源被内部降压到 1.5-V，以用于发送器输出缓冲器。发送器输出缓冲器支持下面其它几个功能：

- 可编程的差分输出电压 (V_{OD})— 将 V_{OD} 定制为最高 1200 mV，以处理不同的走线长度、各种背板以及各种接收器要求。
- 可编程的预加重 — 提升传输信号中高频成分，最大化远端的数据眼开。由于数据相关抖动以及码间干扰 (ISI) 效应，高频成分可能会在传输介质中有所衰减。对预加重的要求随着传统背板上的数据速率的增加而增加。
- 可编程的差分片上匹配电阻 (OCT)—为已校准的差分100 Ω或150 Ω的片上匹配电阻提供 0.65 V 的片上发送器共模电压 (V_{CM})。当禁用片上匹配电阻来使用外部匹配电阻端时，V_{CM} 将处于三态。

如果链路要求一个 85 Ω 的匹配电阻，则需要禁用片上匹配电阻来使用外部匹配电阻，例如当与某些 PCIe Gen1 或 Gen2 功能器件进行连接的时候。

Cyclone IV GX 发送器输出缓冲器是电流模式驱动程序。因此，产生的 V_{OD} 电压是发送器端接值的一个函数。关于所支持的 V_{OD} 设置列表，请参考 *Cyclone IV Device Data Sheet*。

接收通道数据通路

以下部分介绍了 Cyclone IV GX 接收通道数据通路的体系结构，如第 1-4 页图 1-3 所示：

- 接收器输入缓冲器（第 1-11 页）
- 时钟数据恢复（第 1-15 页）
- 解串器（第 1-16 页）
- 字对齐器 （第 1-17 页）
- 去斜移 FIFO（第 1-22 页）
- 速率匹配 FIFO（第 1-23 页）
- 8B/10B 解码器（第 1-23 页）
- 字节解串器（第 1-24 页）
- 字节顺序（第 1-24 页）
- RX 相位补偿 FIFO（第 1-25 页）

接收器输入缓冲器

表 1-2 列出了 Cyclone IV GX 接收器输入缓冲器所支持的电气特性。

表 1-2. 接收器输入缓冲器所支持的电气特性

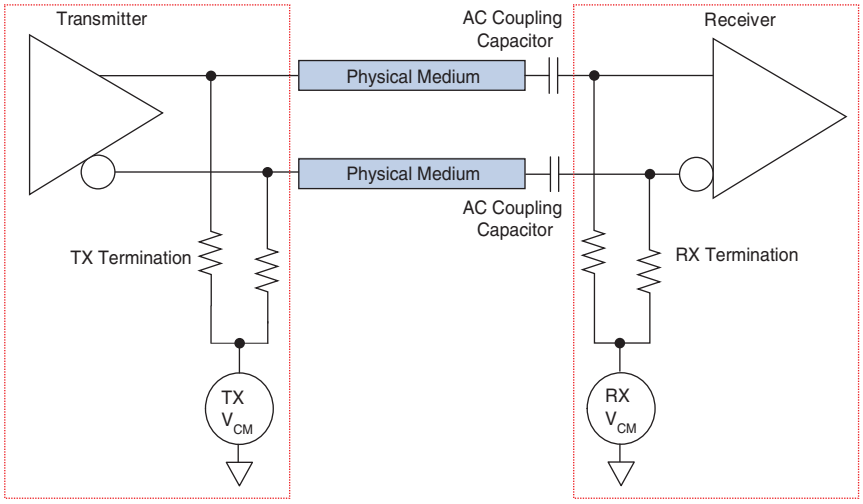
I/O 标准	可编程共模电压 (V)	耦合
1.4-V PCML	0.82	AC，DC
1.5-V PCML	0.82	AC，DC
2.5-V PCML	0.82	AC
LVPECL	0.82	AC
LVDS	0.82	AC，DC *(1)*

表 1-2 注释：

(1) 支持 DC 耦合，以用于采用 0.82 V 的较低片上共模电压的 LVDS。

根据串行协议的实现，高速串行链路可以是 AC 或 DC 耦合的。在 AC 耦合的链路中，AC 耦合电容会阻挡发送器 DC 共模电压，如图 1-12 所示。接收器 OCT 和片上偏置电路自动恢复共模电压。 另外，也通过使能 OCT 来启用偏置电路。如果禁用 OCT，那么您必须从外部对接收器进行终止和偏置。AC 耦合链路是 PCIe、GbE、Serial RapidIO、SDI、XAUI、SATA、 V-by-One 以及 Display Port 协议所要求的。

图 1-12. 内嵌 OCT 的 AC 耦合链路



在 DC 耦合链路中，可以看到发送器 DC 共模电压在接收器输入缓冲器上未被阻挡，如图 1–13 所示。链路共模电压取决于发送器共模电压以及接收器共模电压。 当在 DC 耦合链路中使用接收器 OCT 以及片上偏置电路时， 您必须保证发送器共模电压与接收器共模要求相兼容。如果禁用 OCT，那么您必须从外部对接收器进行终止和偏置，同时也要保证发送器与接收器共模电压之间的兼容性。

图 1–13. 内嵌 OCT 的 DC 耦合链路

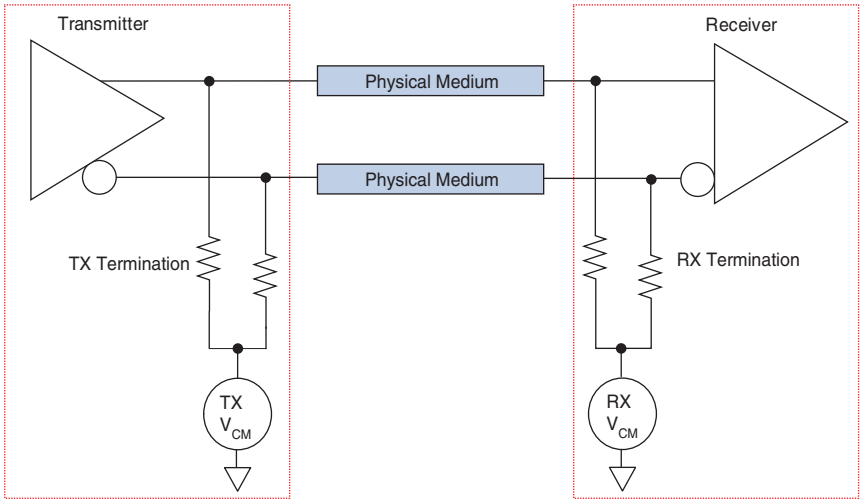
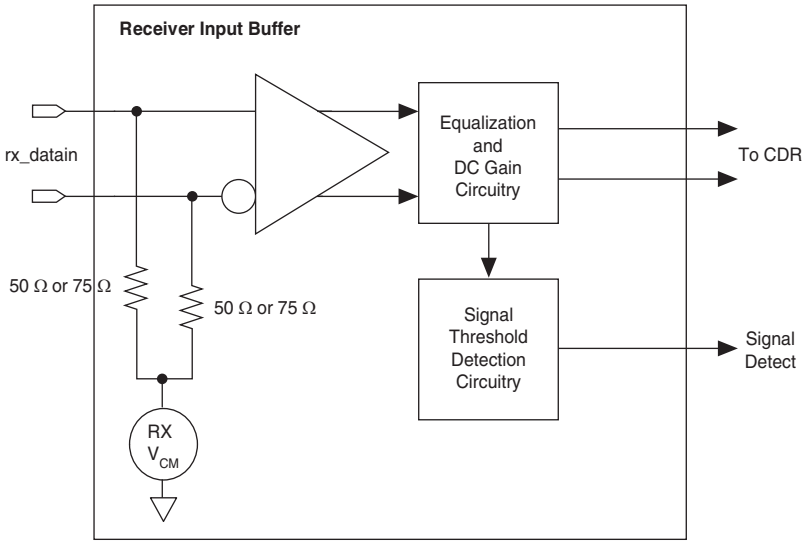


图 1–14 显示了接收器输入缓冲器的结构框图。

图 1–14. 接收器输入缓冲器结构框图



接收器输入缓冲器支持以下特性：

- 可编程均衡 — 将输入信号的高频增益提升到 7 dB。这将对传输介质的低通滤波效应进行补偿。所要求的高频增益量取决于物理介质的损耗特性。
- 可编程 DC 增益 — 对整个频谱中的输入信号提供高达 6 dBDC 增益设置的均等提升。
- 可编程差分OCT—对100 Ω或150 Ω的已校准OC提供0.82 V的片上接收器共模电压。当禁用 OCT 来使用外部匹配电阻时，此共模电压将处于三态。
- 偏移校准 — 对模拟偏移电压进行校准，这些偏移电压由均衡阶段以及 CDR 电路中的正负差分信号间的工艺变化所导致。
- 信号检测 — 通过内置的信号阈值检测电路，来检测接收器输入缓冲器上出现的信号电平是否超过了相应的阈值。 此电路有一个滞后响应，过滤掉由传输介质中的 ISI 效应以及高频损耗所导致的高频振铃。 rx_signaldetect 信号的置位表明了检测的开始。只有当 8B/10B 编码器 / 解码器模块使能时，才可使用信号检查功能。反之，rx_signaldetect 信号将被强制拉高，并旁路信号检测功能。



如果链路要求一个 85 Ω 匹配电阻，则需禁用片上匹配电阻，以使用外部匹配电阻，例如当与某些 PCIe Gen1 或 Gen2 功能器件进行连接的时候。



欲了解关于可编程均衡与 DC 增益设置规范的详细信息，请参考 *Cyclone IV Device Data Sheet*。

时钟数据恢复

每个接收通道均有一个独立的 CDR 单元，用于将时钟从输入串行数据流中恢复。高速恢复时钟用于同步解串器，实现已接收的输入数据从串行到平行的转换，而低速恢复时钟用于同步接收器 PCS 模块。图 1–15 显示了 CDR 单元的结构框图。

图 1–15. CDR 单元结构框图 *(1)*

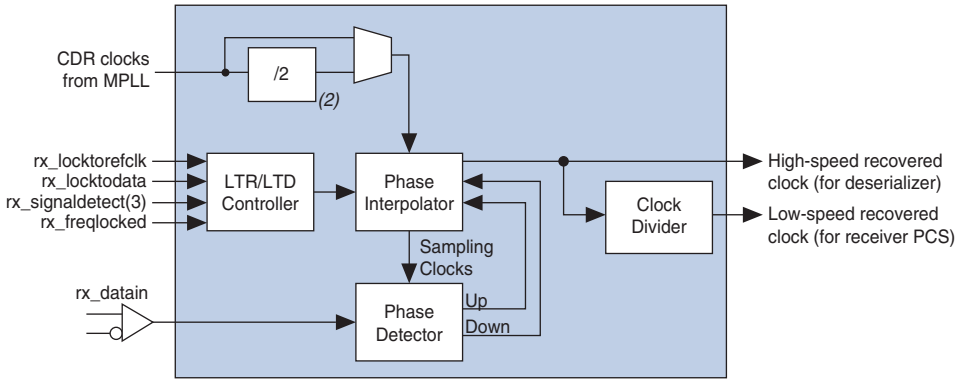


图 1–15 注释：

(1) EP4CGX30(F484 封装)、EP4CGX50 和 EP4CGX75 器件支持可选的更宽扩展的异步扩频时钟 (SSC) （使用三角形频率调制参数）。关于所支持的 SSC 扩展范围，请参考 *Cyclone IV Device Data Sheet*。

(2) 用于多用 PLL 上的 CDR 时钟可选的 RX 本地分频器在每个 CDR 单元中可用于 EP4CGX30(F484 封装)、EP4CGX50 和 EP4CGX75 器件。此模块与收发器动态重配置功能一起使用。关于详细信息，请参考 *Cyclone IV 动态重配置*章节和 *AN609：实现 Cyclone IV GX 器件中的动态重配置*。

(3) 自动锁定模式中的 CDR 状态跳变不依赖于 rx_signaldetect 信号，仅在 PCI Express (PIPE) 模式中配置时除外。

每个 CDR 单元均从相邻于收发器模块的两个多用锁相环 (PLL) 中的一个获取参考时钟。CDR 运作原理是通过使用相位检测器来跟踪输入数据，并从相位内插器单元找到最佳的采样相位。CDR 操作是由 LTR/LTD 控制器模块控制的，其中 CDR 可能在下面状态中运行：

- Lock-to-reference (LTR) 状态 — 相位检测器被禁用，CDR 忽略输入数据。
- Lock-to-data (LTD) 状态 — 相位检测器被使能，CDR 跟踪输入数据，以发现最佳的采样时钟相位。

状态跳变支持自动锁定模式和手动锁定模式。

自动锁定模式

在接收器上电和复位周期中，CDR 进入 LTR 状态。当以下两个条件都满足时，自动执行 LTD 状态的跳变：

- 信号检测电路表明接收器输入缓冲器中存在有效的信号电平。此条件仅对 PCI Express (PIPE) 模式有效。CDR 跳变独立于其它模式中的信号检测电路。

- 对于来自多用 PLL 的 CDR 时钟，已恢复的时钟频率在已配置的百万分率 (ppm) 频率阈值设置的范围内。

实际锁定时间取决于输入数据的跳变密度以及接收器输入参考时钟与上游发送器参考时钟之间的 ppm 参考差异。

当满足下面其中的一个条件时，会出现从 LTD 状态到 LTR 状态的跳变：

- 信号检测电路表明在接收器输入缓冲器中缺少有效的信号电平。此条件仅对 PCI Express (PIPE) 模式有效。CDR 跳变不依赖于其它模式中的信号检测电路。
- 对于多用 PLL 的 CDR 时钟，已恢复的时钟频率在已配置的百万分率 (ppm) 频率阈值设置的范围内。

在自动锁定模式中， rx_freqlocked 信号的置位表明了从 LTR 到 LTD 状态的切换，而 rx_freqlocked 信号的置低表明了从 LTD 到 LTR 状态的切换。

手动锁定模式

状态跳变是通过使用 rx_locktorefclk 和 rx_locktodata 端口手动进行控制的。LTR/LTD 控制器根据 rx_locktorefclk 和 rx_locktodata 端口上的逻辑电平来设置 CDR 状态。与自动锁定模式相比，此模式对已减少的锁定时间提供了控制 CDR 的灵活性。在自动锁定模式中，LTR/LTD 控制器依据 ppm 检测器和相位关系检测器，在 LTR 或者 LTD 模式中对 CDR 进行设置。对于某些要求快速 CDR 锁定时间的应用，ppm 检测器与相位关系检测器可能会有很长的反应时间。

在手动锁定模式中，当 CDR 处于 LTD 状态时， rx_freqlocked 信号被置位。 当 CDR 处于 LTR 状态时，rx_freqlocked 信号被置低。关于 rx_locktorefclk 与 rx_locktodata 端口控制的说明，请参考第 1-87 页表 1-27。

如果没有使能可选择的 rx_locktorefclk 和 rx_locktodata 端口，那么 Quartus II 软件会自动在自动锁定模式下配置 LTR/LTD 控制器。

所推荐的收发器复位流程会根据 CDR 锁定模式的不同而有所差别。欲了解关于复位流程建议的详细信息，请参考 *Reset Control and Power Down for Cyclone IV GX Devices* 章节。

解串器

解串器从接收器输入缓冲器中接收到的串行数据转换成 8 或 10-bit 并行数据。假定所接收到串行数据是从 LSB 到 MSB。解串器采用 CDR 上的高速恢复时钟，运行在串行数据速率一半的频率。

字对齐器

图 1–16 显示了字对齐器的结构框图。字对齐器接收解串器中的并行数据，并根据链路同步期间接收到的预定义对齐码型来存储字边界。字对齐支持三个可选的模式，如表 1–3 所示。

图 1–16. 字对齐器结构框图

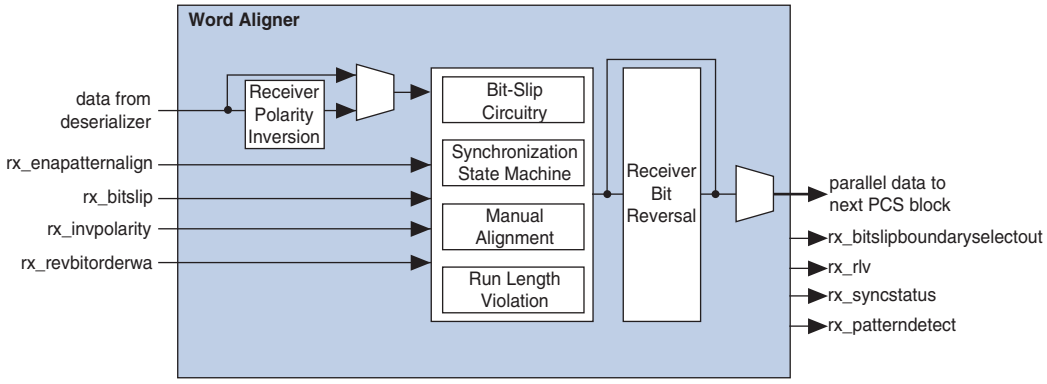


表 1–3. 字对齐模式

模式	PMA-PCS 接口宽度	所允许的字对齐码型长度
手动对齐	8-bit	16 bit
	10-bit	7 或 10 bit
Bit-Slip	8-bit	16 bit
	10-bit	7 或 10 bit
自动同步状态机	10-bit	7 或 10 bit

手动对齐模式

在手动对齐模式中，rx_enapatternalign 端口使用 8 或 10-bit 数据宽设置来控制字对齐器。

8-bit 字对齐器对 rx_enapatternalign 信号是边沿敏感的。 rx_digitalreset 信号置位后， rx_enapatternalign 信号的上升沿触发字对齐器，以搜索接收数据流中的字对齐码型。 如果字对齐器在新的字边界中搜索到字对齐码型，那么它将更新字边界。因此，只有在 rx_enapatternalign 信号出现上升沿，在不同的字边界中接收到的任意字对齐码型才会导致字对齐器重新与新的字边界对齐。

10-bit 字对齐器对 rx_enapatternalign 信号是电平敏感的。如果 rx_enapatternalign 信号保持在高电平，那么字对齐器在已接收的数据流中会搜索已设置的 7-bit 或 10-bit 字对齐码型或者它的补码。如果在新的字边界中找到了字对齐码型，那么字对齐器将更新字边界。如果 rx_enapatternalign 信号被置低，即使当字对齐器在新的字边界中接收到字对齐码型时，字对齐器也将保持当前的字边界。

更新字边界后，字对齐器状态信号（rx_syncstatus 和 rx_patterndetect）被驱动一个并行时钟周期的高电平，同步于字对齐码型的最高有效位。 rx_syncstatus 与 rx_patterndetect 信号有与数据通路相同的延迟，并转送至 FPGA 架构，以指明字对齐器的状态。因此，任何在相同字边界中接收到的字对齐码型都会导致只有 rx_patterndetect 信号变为一个时钟周期的高电平。

图 1–17 显示了 10-bit 数据宽度模式下的手动对齐模式字对齐器操作。在这一实例中，/K28.5/ (10'b0101111100) 被指定为字对齐码型。

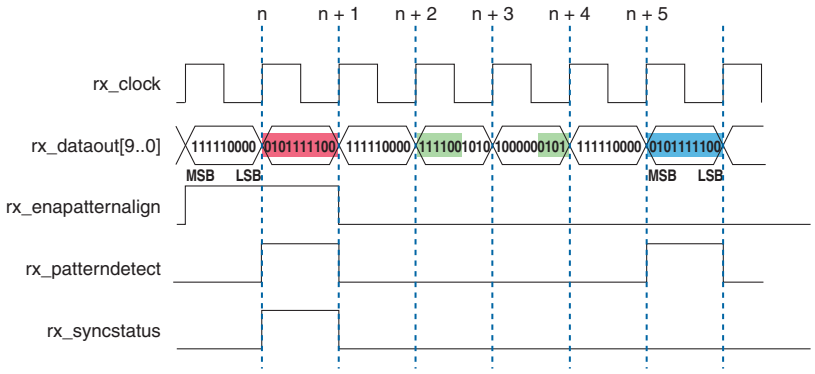
由于 rx_enapatternalign 信号被拉高，字对齐器在周期 *n* 与 /K28.5/ 对齐码型（红色）对齐。 rx_syncstatus 信号变为一个时钟周期的高电平表明与新的字边界对齐。 rx_patterndetect 信号也会变为一个时钟周期的高电平，表明初始的字对齐。

在 time *n* + 1, rx_enapatternalign 信号被置低以指示字对齐器锁定当前的字边界。

在周期 *n* + 2 与 *n* + 3 中，在新的字边界中再次检测到对齐码型（绿色）。由于 rx_enapatternalign 信号保持在低电平，因此字对齐器没有与新的字边界对齐。

在周期 *n* + 5 中，在当前字边界中再次检测到 /K28.5/ 字对齐（蓝色），导致 rx_patterndetect 信号变为一个并行时钟周期的高电平。

图 1–17. 10-bit 手动对齐模式下的字对齐器



如果已知对齐码型是唯一的，并且没有出现在字边界之间，那么由于不可能存在错误的字对齐，因此您可以一直保持 rx_enapatternalign 信号为高电平。 如果存在字对齐码型出现在字边界的可能性，那么在获得所需的字对齐以避免重新对齐错误的字边界后，您必须通过控制 rx_enapatternalign 信号来锁定字边界。

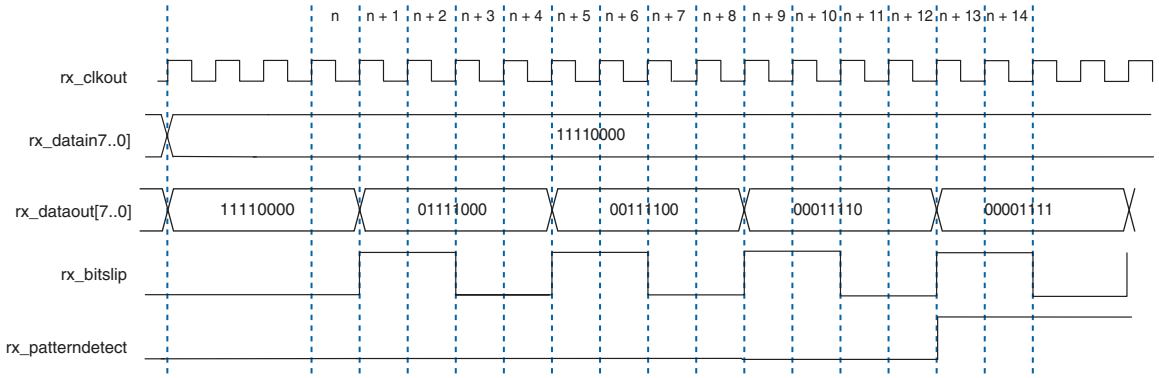
Bit-Slip 模式

在 bit-slip 模式中， rx_bitslip 端口控制字对齐器操作。在 rx_bitslip 信号的每个上升沿，bit-slip 电路将一个 bit 移入已接收的数据流中，有效地对字边界进行一个 bit 的移位。 当已接收的数据在位移入后与设置的字对齐码型相匹配时，rx_patterndetect 信号被驱动为一个并行时钟周期的高电平。

您可以在用户逻辑中实现一个 bit-slip 控制器，以监控 rx_patterndetect 信号或者接收器数据输出 (rx_dataout)，并且控制 rx_bitslip 端口来实现字对齐。

图 1–18 显示了在 bit-slip 模式下配置的字对器的一个实例。在这一实例中，8'b11110000 是双向接收的，16'b0000111100011110 指定为字对齐码型。在 time n + 1， rx_bitslip 信号的上升沿在 MSB 位置滑掉一个 bit 0， 强制 rx_dataout 变为 8'b01111000。 在 time n + 5，rx_bitslip 信号的另一个上升沿强制 rx_dataout 变为 8'b00111100。在 time n + 9，rx_bitslip 信号的另一个上升沿强制 rx_dataout 变为 8'b00011110。在 time n + 13， rx_bitslip 信号的另一个上升沿强制 rx_dataout 变为 8'b00001111。此实例中， rx_dataout 在周期 n + 12 和 n + 13 中分别为 8'b00011110 和 8'b00001111，与指定的 16-bit 对齐码型 16'b0000111100011110 相匹配，从而致使 rx_patterndetect 信号的置位。

图 1–18. Bit-Slip 模式下配置的字对齐器



自动同步状态机模式

在自动同步状态机模式中，字对齐器在接收到指定数量的同步代码组后实现同步，而在接收到指定数量的错误代码组后失去同步。此模式在链路同步期间提供 PCIe、GbE、XAUI 和 Serial RapidIO 等协议所要求的回滞。

此模式仅被使用 8B/10B 编码的数据以及字对齐器的 10-bit 输入数据支持。

表 1-4 列出了此模式下字对齐器的同步状态机参数。

表 1-4. 同步状态机参数

参数	所允许的值
所接收的用于实现同步的有效同步代码组或者命令设置的数量	1 – 256
所接收的用于失去同步的错误代码组的数量	1 – 64
所接收的用于一个个减少错误数的连续良好的代码组的数量	1 – 256

在自动同步状态机模式中置位 rx_ digitalreset 信号后，字对齐器开始在已接收的数据流中搜索同步代码组、字对齐码型或者它的补码。当接收到所设置数量的有效同步代码组或者命令设置时， rx_syncstatus 信号驱动为高电平，表明要求同步。rx_syncstatus 信号一直驱动为高电平，直到接收到所设置数量的错误代码组，并没有接收到中等良好的代码组；这之后， rx_syncstatus 信号被驱动为低电平。字对齐器指示失去同步（rx_syncstatus 信号保持低电平），直到再次接收到所设置数量的有效同步代码。

除了恢复字边界功能，字对齐器也支持以下功能：

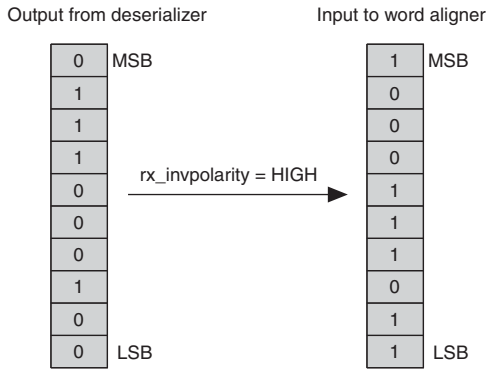
- 可编程运行长度违规检测—检测数据流中的连续的 1 或者 0，当检测到预设置的运行长度阈值（最大数量的连续个 1 或 0）时，对运行长度违规信号（rx_rlv）进行置位。每个通道中的 rx_rlv 信号被它的并行恢复时钟同步，并置位最少两个恢复时钟周期，以确保 FPGA 架构时钟能够可靠地锁存 rx_rlv 信号，因为 FPGA 架构时钟可能有具有恢复时钟的相位差异、ppm 差异（在异步系统中）或者两者。表 1-5 列出了运行长度违规电路检测性能。

表 1-5. 运行长度违规电路检测性能

支持的数据宽	检测器范围		增量步骤设置
	最小	最大	
8-bit	4	128	4
10-bit	5	160	5

- 接收器极性倒转 — 修正电路板布局期间在串行差分链中意外交换的正负信号。此功能将字对齐器的输入数据字的每一位的极性进行倒转，与差分链的正负信号的交换有同样的效果。通过使用 rx_invpolarity 端口对倒转进行动态控制。图 1–19 显示了接收器极性倒转特性。

图 1–19. 接收器极性倒转



通用接收器极性倒转功能不同于 PCI Express (PIPE) 8B/10B 极性倒转功能。通用接收器极性倒转功能在字对齐器的输入端对数据位的极性进行倒转，但不适用于 PCI Express (PIPE) 模式。PCI Express (PIPE) 8B/10B 极性倒转功能在 8B/10B 解码器的输入端对数据位的极性进行倒转，并仅适用于 PCI Express (PIPE) 模式。

rx_invpolarity 信号是动态的，并可能导致 8B/10B 编码链路中的初始差异错误。下游系统必须能够承受这些差异错误。

- 接收器位逆转 — 默认情况下，Cyclone IV GX 接收器假定 LSB 到 MSB 的传输。如果链路传输命令为 MSB 到 LSB，那么接收器会在 rx_dataout 端口将并行数据的错误逆转排序位（bit-ordered）版本转送到 FPGA 架构中。接收器位逆转功能可用于纠正这一情况。此功能在手动对齐和自动同步状态机模式下是静态的。在 bit-slip 模式下，您可以使用 rx_revbitorderwa 端口动态使能接收器位逆转功能。该功能使能时，字对齐器输出端上的 8-bit 数据 D[7..0] 或 10-bit 数据 D[9..0] 分别重连接成 D[0..7] 或 D[0..9]。图 1–20 显示了接收器位逆转功能。

图 1–20. 接收器位逆转 *(1)*

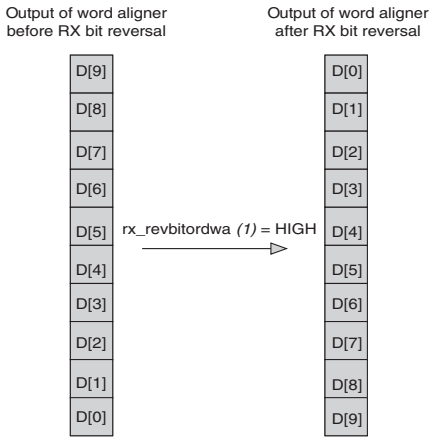


图 1–20 注释：

(1) rx_revbitordwa 端口是动态的，仅在 bit-slip 模式下配置字对齐器时可用。

> 当使用接收器位逆转功能来接收 MSB-to-LSB 传输时，字对齐码型的逆转是必需的。

- 接收器 bit-slip 指示器 — 指示在字对齐器中滑掉的位数，实现与 rx_bitslipboundaryselectout 信号同步。关于使用详情，请参考第 1-76 页中的“ 接收 Bit-Slip 指示 ”。

去斜移 FIFO

此模块仅适用于 XAUI 协议，用于对齐四个通道，以满足 40 UI（12.8 ns）的最大斜移要求（从四个通道的收发器中所看到的）。去斜移操作兼容于 IEEE P802.3ae 规范的 48 条所指定的 PCS 去斜移状态机图。

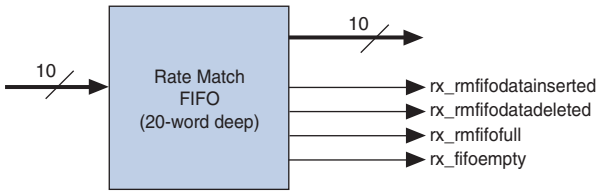
去斜移电路包括四个通道的每一个中的 16-word 深度去斜移 FIFO，以及用于控制每个通道中的去斜移 FIFO 读写操作的收发器模块中央控制单元中的控制逻辑。

欲了解关于通道去斜移 FIFO 操作的详细信息，请参考第 1-67 页的“ XAUI 模式 ”。

速率匹配 FIFO

在异步系统中，上游发送器和本地接收器可以由独立参考时钟提供时钟。当进行从恢复时钟域（与上游发送器参考时钟相同）到本地接收器参考时钟域的锁存时，几百个 ppm 排序上的频率差异能够损坏数据。图 1-21 显示了速率匹配 FIFO 结构框图。

图 1-21. 速率匹配 FIFO 结构框图



速率匹配 FIFO 对上游发送器与本地接收器时钟之间高达 ±300 ppm（总共 600 ppm）的小时钟频率差异进行补偿，通过执行以下功能来实现该补偿：

- 当本地接收器参考时钟频率大于上游发送器参考时钟频率时，插入跳过符号。
- 当本地接收器参考时钟频率小于上游发送器参考时钟频率时，删除跳过符号。

20-word 深的速率匹配 FIFO 和逻辑根据 ppm 差异对跳过符号的插入与删除进行控制。字对齐器同步状态（rx_syncstatus）置位后开始操作。

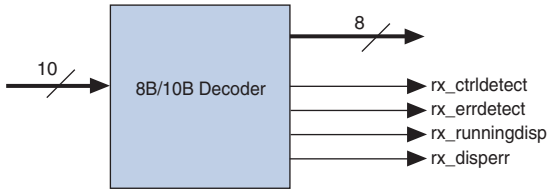
速率匹配 FIFO 仅支持自动同步状态机模式中的 8B/10B 编码数据和字对齐器。

8B/10B 解码器

8B/10B 解码器接收 10-bit 数据，并将其解码成一个 8-bit 数据和一个 1-bit 控制标识符。此解码器符合 IEEE 802.3 规范的 36 条。

图 1-22 显示了 8B/10B 解码器结构框图。

图 1-22. 8B/10B 解码器结构框图



字节解串器

字节解串器将 FPGA 架构的并行数据宽度增加一倍的同时，对 FPGA 架构收发器接口频率减半。

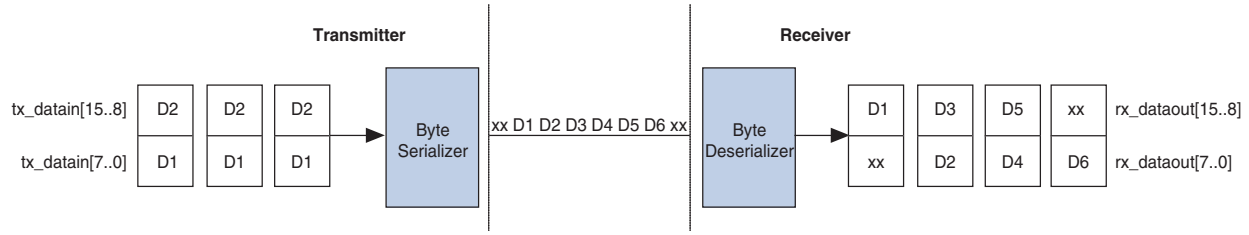
举例说明，当对运行在 3.125 Gbps，解串因子为 10 的 EP4CGX150 接收通道进行操作时，接收器 PCS 数据通路运行在 312.5 MHz。将数据转送至 FPGA 架构之前，字节解串器将运行在 312.5 MHz 的 10-bit 数据转换成运行在 156.25 MHz 的 20-bit 数据。

字节顺序

在 16 或者 20-bit FPGA 架构收发器接口中，字节解串器接收一个数据字节（8 或 10 位），并将其解串成两个数据字节（16 或 20 位）。根据接收器 PCS 逻辑何时复位，字节解串器输出端上的字节顺序可能与发送数据的原始字节顺序不匹配。由字节解串导致的字节不对称是不可预测的，因为它取决于复位时字节解码器正在接收哪一个字节。

图 1-23 显示了数据在接收器中解串后，两个字节发送数据的最高有效位和最低有效位跨越两个字边界的情况。

图 1-23. 接收器中字节解串器的实例



字节排序模块通过执行下面的操作来恢复正确的字节排序：

- 查找字节解串数据中的用户设置的字节排序码型
- 如果在最高有效位找到用户设置的字节排序码型，则插入一个用户设置的衬底字节。

您必须选择一个您认为会出现在并行发送数据的最低有效位上的字节排序码型。

在以下接收器配置中提供了对字节排序模块的支持：

- 手动对齐模式中的 16-bit FPGA 架构收发器接口、8B/10B 禁用以及字对齐器。设置一个定制 8-bit 字节排序码型和 8-bit 衬底字节。
- 自动同步状态机模式中的 16-bit FPGA 架构收发器接口、8B/10B 使能以及字对齐器。设置一个定制 9-bit 字节排序码型和 9-bit 衬底字节。9-bit 字节排序码型和衬底字节的 MSB 代表 8B/10B 解码数据的控制标识符。

字节排序模块运行在基于字对齐的字节排序模式或者用户控制的字节排序模式中。

在基于字对齐的字节排序模式中，当字节排序模块在 rx_syncstatus 信号上检测到上升沿时，它会开始查找字节解串数据中的字节排序码型，并根据需要恢复排序。只要一找到字节排序码型，就置位 rx_byteorderalignstatus 信号，不管是否需要衬底字节插入。如果字节排序模块从字对齐器的 rx_syncstatus 信号上检测到另一个上升沿，那么字节排序模块将置位 rx_byteorderalignstatus 信号，并重复字节排序操作。

在用户控制的字节排序模式中，使用 rx_enabyteord 端口对字节顺序进行用户触发。rx_enabyteord 端口上的一个上升沿会触发字节排序模块，以开始查找字节解串数据中的字节排序码型，并根据需要恢复排序。当找到字节排序码型时，置位 rx_byteorderalignstatus 信号，不管是否需要衬底字节插入。

RX 相位补偿 FIFO

当连接接收通道至 FPGA 架构时（直接地或通过 PIPE 和 PCIe 硬核 IP），RX 相位补偿 FIFO 对并行接收器时钟与 FPGA 架构接口时钟之间的相位差异进行补偿。FIFO 为四个字深，具有两到三个并行时钟周期之间的延迟。

图 1-24 显示了 RX 相位补偿 FIFO 结构框图。

图 1-24. RX 相位补偿 FIFO 结构框图

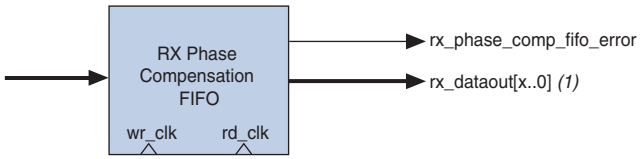


图 1-24 注释：

(1) 参数 x 代表收发器通道宽度，支持 8、10、16 或者 20 位。

FIFO 能够运行在寄存模式下，仅导致确定性延迟功能模式中的一个并行时钟的延迟。欲了解更多信息，请参考第 1-73 页的 “ 确定性延迟模式 ”。欲了解关于 FIFO 时钟的详细信息，请参考第 1-43 页的 “FPGA 架构收发器接口时钟 ”。

接收器 PCS 的其它功能

接收器 PCS 支持下面其它功能：

- 输出 bit-flip— 在接收器相位补偿 FIFO 的输出端按字节逆转位排序。例如，如果在接收器相位补偿 FIFO 的输出端的 16-bit 并行接收数据为 ’10111100 10101101’ (16’hBCAD)，则使能该选项后，逆转 rx_dataout 端口上的数据，得到 ’00111101 10110101’ (16’h3DB5)。

收发器时钟体系结构

位于器件左侧的多用 PLL 及通用 PLL 生成收发器操作所要求的时钟。接下来的部分将介绍 Cyclone IV GX 收发器时钟体系结构：

- 输入参考时钟（第 1-27 页）
- 收发器通道数据通路时钟（第 1-29 页）
- FPGA 架构收发器接口时钟（第 1-43 页）

输入参考时钟

当用于收发器时，左侧的 PLL 将同步输入参考时钟，以生成收发器通道所要求的时钟。图 1–25 和图 1–26 显示了在收发器操作中使用的 PLL 的输入参考时钟源。

FPGA 内核中的 PLL 时钟输出不能提供给收发器所使用的作为输入参考时钟的 PLL。

图 1–25. F324 及更小器件封装的收发器操作中的 PLL 输入参考时钟 *(1)*, *(2)*

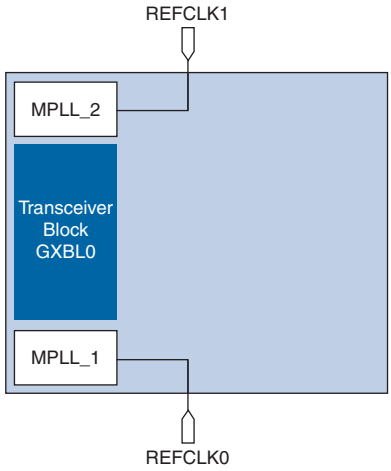


图 1–25 注释：

(1) REFCLK0 和 REFCLK1 管脚是分别位于插槽 3A 和 8A 中的两用 CLK、 REFCLK 或者 DIFFCLK 管脚。

(2) 使用专用 REFCLK 管脚（如图中所示）以外的其它任意时钟输入管脚来驱动 MPLL 都可能会降低抖动性能。

是

图 1–26. F484 及更大器件封装的收发器操作中的 PLL 输入参考时钟 *(1)*, *(2)*, *(3)*

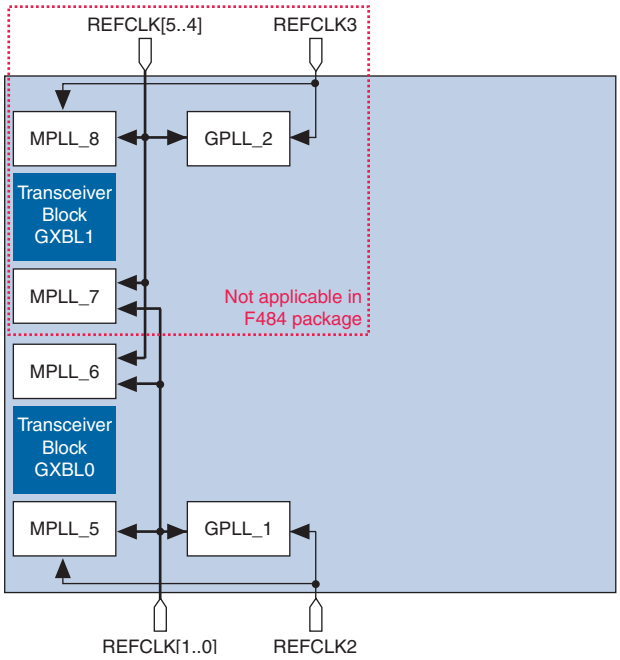


图 1–26 注释：

(1) REFCLK2 与 REFCLK3 管脚是分别位于插槽 3A 和 8A 中的两用 CLKIO、 REFCLK 或者 DIFFCLK 管脚。

(2) REFCLK[1..0] 与 REFCLK[5..4] 管脚是分别位于插槽 3A 和 8A 中的两用差分 REFCLK 或者 DIFFCLK 管脚。这些时钟输入管脚不能访问时钟控制模块以及 GCLK 网络。关于详细信息，请参考 *Clock Networks and PLLs in Cyclone IV Devices* 章节。

(3) 使用专用 REFCLK 管脚（如图中所示）以外的其它任意时钟输入管脚来驱动 MPLL 和 GPLL 都可能会降低抖动性能。

位于插槽 3A、3B、8A 和 8B 的输入参考时钟在它们各自的 I/O 插槽中分别具有专用的 $V_{CC_CLKIN3A}$、$V_{CC_CLKIN3B}$、$V_{CC_CLKIN8A}$ 和 $V_{CC_CLKIN8B}$ 电源，以避免相同插槽中的不同功率电平要求，从而实现通用 I/O(GPIO)。表 1–6 列出了用于 REFCLK 管脚的所支持的 I/O 标准。

表 1–6. REFCLK I/O 标准支持

I/O 标准	HSSI 协议	耦合	端接	VCC_CLKIN 电平		I/O 管脚类型		
				输入	输出	列 I/O	行 I/O	支持的插槽
LVDS	ALL	差分 AC（需要片外电阻来恢复 V_{CM}）	片外	2.5 V	未支持	Yes	No	3A, 3B, 8A, 8B
LVPECL	ALL		片外	2.5 V	未支持	Yes	No	3A, 3B, 8A, 8B
1.2 V, 1.5 V, 3.3 V PCML	ALL		片外	2.5 V	未支持	Yes	No	3A, 3B, 8A, 8B
	ALL		片外	2.5 V	未支持	Yes	No	3A, 3B, 8A, 8B
	ALL		片外	2.5 V	未支持	Yes	No	3A, 3B, 8A, 8B
HCSL	PCIe	差分 DC	片外	2.5 V	未支持	Yes	No	3A, 3B, 8A, 8B

图 1–27 显示了 REFCLK 管脚的 AC 耦合连接的端接方案实例。

图 1–27. 参考时钟的 AC 耦合端接方案

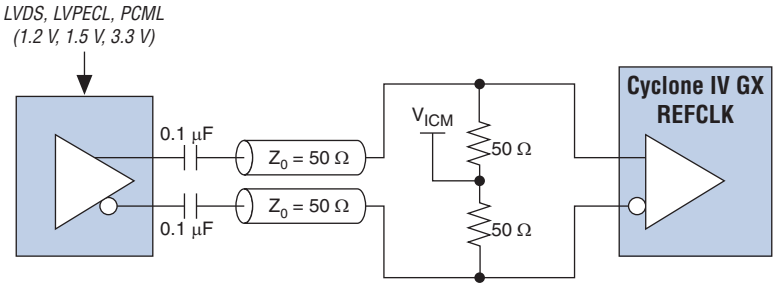


图 1–27 注释：

(1) V_{ICM} 由带有分压器电路（通常是两个 1-kΩ 电阻）2.5-V 电源供电。

图 1–28 显示了当配置为 HCSL 输入时， REFCLK 管脚的端接方案实例。

图 1–28. 配置为 HCSL 时的参考时钟的端接方案 *(1)*

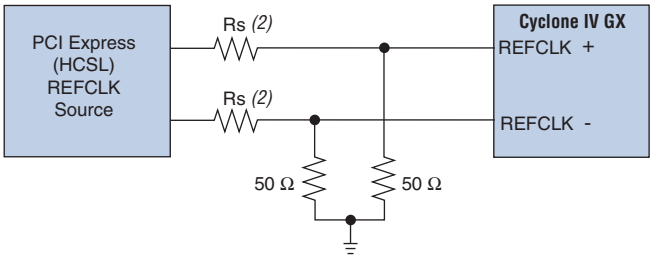


图 1–28 注释：

(1) 如果参考时钟信号产生自符合 PCIe 规范的时钟源，那么就不需要偏置。

(2) 选择 PCIe 时钟源供应商推荐的值。

收发器通道数据通路时钟

通道数据通路时钟随通道配置选项和 PCS 配置的不同而不同。这一部分将介绍用于收发器通道的器件左侧 PLL 上的时钟分布，以及所支持的各种配置中的数据通路时钟。

表 1–7 列出了由 PLL 生成的用于收发器通路的时钟。

表 1–7. 收发器数据通路的 PLL 时钟

时钟	用途
CDR 时钟	接收器 CDR 单元
高速时钟	PMA 中的发送串行器模块
低速时钟	发送器 PCS 模块 当速率匹配 FIFO 使能时的接收器 PCS 模块

每个接收通道中的 CDR 单元均从相邻于收发器模块的两个多用 PLL 中的一个获取 CDR 时钟。图 1–29 和图 1–30 中所示的双向三态缓冲器对 CDR 时钟分布网络进行分段。 这要求两个中的一个多用 PLL 的 CDR 时钟驱动一组连续分段的通路，以达到所需的接收通道。交错两个多用 PLL 上的 CDR 时钟是不支持的。

例如，根据图 1–29，一组 MPLL_1 驱动接收通道 0、 1 和 3，而 MPLL_2 驱动接收通道 2 是不支持的。这样，仅有一个多用 PLL 能够用于接收通道。

图 1–29. F324 及更小器件封装中的接收器通道的 CDR 时钟

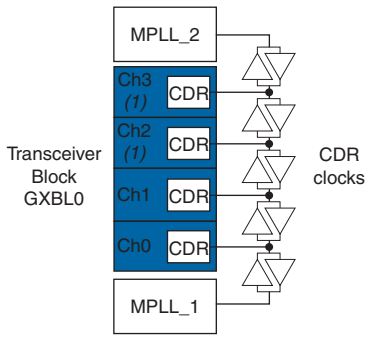
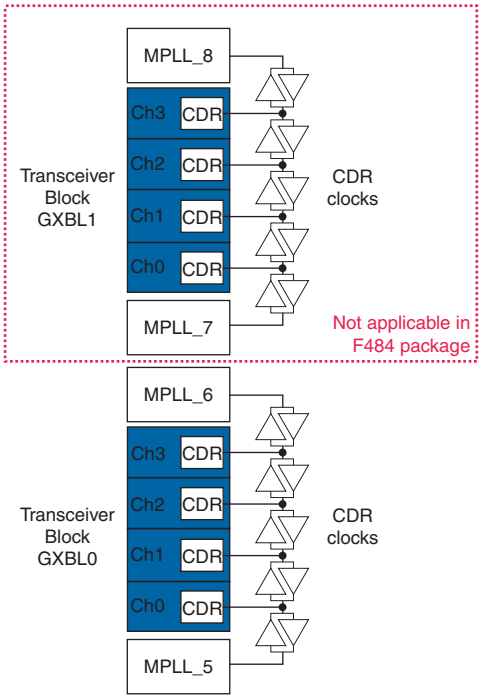


图 1–29 注释：

(1) 接收器通道 2 和 3 不适用于 F169 及更小封装中的器件。

图 1–30. F484 及更大器件封装中的收发器通道的 CDR 时钟



在所有的配置中，除了与通道所位于的收发器模块直接相邻的两个多用 PLL，接收通道不能从其它任何通道提供 CDR 时钟。

Cyclone IV GX 收发器支持 non-bonded（×1）和 bonded（×2 和 ×4）通道配置。这两个配置在时钟和相位补偿 FIFO 控制上有所不同。与 non-bonded 配置相比，Bonded 配置提供了一个 bonded 通道之间相对较低的通道到通道偏移。表 1-8 列出了 non-bonded 和 bonded 配置中所支持的条件。

表 1-8. Non-Bonded 和 Bonded 通道配置中所支持的条件

通道配置	说明	支持的通道操作模式
Non-bonded（×1）	■ 每个通道中的低速时钟被单独提供。 ■ 每个通道中的相位补偿 FIFO 均有各自的指示器和控制逻辑	■ Transmitter Only ■ Receiver Only ■ Transmitter and Receiver
Bonded（×2 and ×4）	■ 每个bonded通道中的低速时钟均由通用bonded时钟路径来提供，以实现更低的通道到通道偏移。 ■ bonded 通道中的相位补偿 FIFO 共享通用指示器和控制逻辑，以实现所用 bonded 通道 FIFO 中的相等延迟。 ■ ×2 bonded 配置支持收发器模块中的通道 0 和通道 1。 ■ ×4 bonded 配置支持收发器模块中的所有四个通道。	■ Transmitter Only ■ Transmitter and Receiver

Non-Bonded 通道配置

在 non-bonded 通道配置中，每个通道的高速及低速时钟均被单独提供。每个通道中的相位补偿 FIFO 都具有各自的指示器和控制逻辑。当在 non-bonded 通道配置中实现多通道串行接口时，时钟偏移以及不等的延迟导致了更大的通道到通道偏移。

Altera 建议当实现多通道串行接口来实现更低的通道到通道偏移时，使用 bonded 通道配置（×2 或者 ×4）。

在收发器模块中，每个通道的高速及低速时钟主要由直接相邻于模块的两个中的一个多用 PLL 进行分布。F484 及更大封装中的器件的收发器通道支持更大的时钟灵活性。在这些封装中，除了直接与模块相邻的两个多用 PLL 外，一些通道也支持由 PLL 进行的高速和低速时钟分布。

表 1–9 列出了每个通道的高速和低速时钟源。

表 1–9. Non-Bonded 通道配置中的每个通道的高速和低速时钟源

封装	收发器模块	收发器通道	高速及低速时钟源	
			选项 1	选项 2
F324 及更小封装	GXBL0	所有通道	MPLL_1	MPLL_2
F484 及更大封装	GXBL0	通道 0，1	MPLL_5/GPLL_1	MPLL_6
		通道 2，3	MPLL_5	MPLL_6/MPLL_7 *(1)*
	GXBL1 *(1)*	通道 0，1	MPLL_7/MPLL_6	MPLL_8
		通道 2，3	MPLL_7	MPLL_8/GPLL_2

表 1–9 注释：

(1) MPLL_7 与 GXBL1 不适用于 F484 器件封装中的收发器

图 1–31 和图 1–32 显示了 non-bonded 通道配置中的 F324 及更小器件封装以及 F484 及更大器件封装中的收发器的高速及低速时钟分布。

图 1–31. F324 及更小器件封装中的收发器在 Non-Bonded 通道配置中的时钟分布

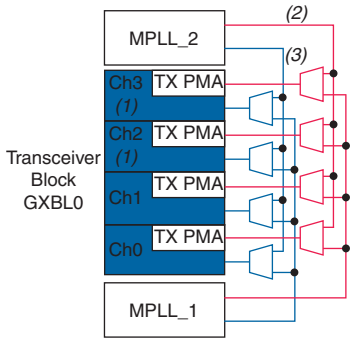


图 1–31 注释：

(1) 收发器通道 2 和 3 在 F169 及更小器件封装中不可用。
(2) 高速时钟。
(3) 低速时钟。

图 1–32. 484 及更大器件封装中的收发器在 Non-Bonded 通道配置中的时钟分布

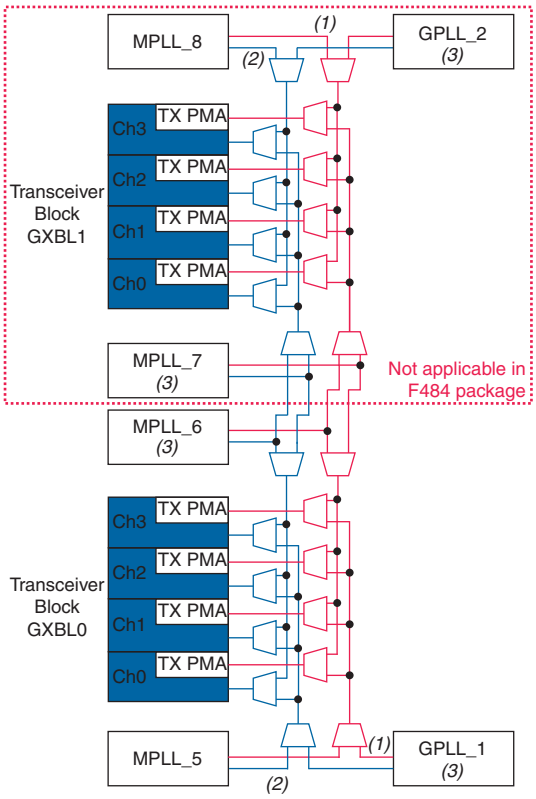


图 1–32 注释：

(1) 高速时钟。

(2) 低速时钟。

(3) 这些 PLL 具有受限的时钟驱动能力，可能不会达到所有连接的通道。欲了解详细信息，请参考表 1–9。

收发器数据通路在 non-bonded 通道配置中根据 PCS 配置的不同而不同。

图 1–33 显示了仅发送器 (transmitter only) 操作中的数据通路时钟。在此模式中，每个通道将从所支持的 PLL 中选择高速及低速时钟。高速时钟连接到串行器，以进行从并行数据到串行数据的转换操作。低速时钟连接到发送 PCS 中的下列模块：

- 8B/10B 编码器
- 字节串行器的读时钟
- TX 相位补偿 FIFO 的读时钟

当字节串行器被使能时，低速时钟频率在连接到 TX 相位补偿 FIFO 之前被减半。低速时钟在 FPGA 架构中可用作发出发送数据与控制逻辑的 tx_clkout 端口。

图 1-33. Non-Bonded 通道配置中的 Transmitter Only 数据通路时钟

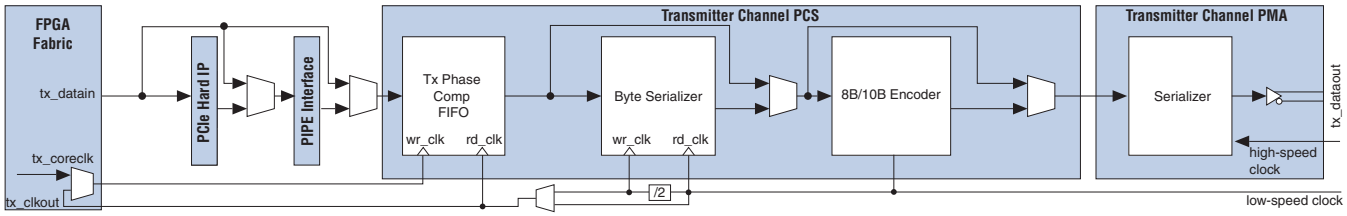


图 1-34 显示了仅接收器 (receiver only) 操作中的数据通路时钟。在此模式下，接收器 PCS 支持不带速率匹配 FIFO 的配置。通道中的 CDR 单元将时钟从接收的串行数据中恢复，并生成用于解串器的高速恢复时钟，以及用于实现转送到接收器 PCS 的低速恢复时钟。低速恢复时钟连接到接收器 PCS 中的下列模块：

- 字对齐器
- 8B/10B 解码器
- 字节解串器的写时钟
- 字节排序
- RX 相位补偿 FIFO 的写时钟

当字节解串器被使能时，低速恢复时钟频率在连接到 RX 相位补偿 FIFO 之前被减半。低速恢复时钟在 FPGA 架构中可用作捕获接收数据与状态信号的 rx_clkout 端口。

图 1-34. Non-Bonded 通道配置中不带速率匹配 FIFO 的 Receiver Only 数据通路时钟

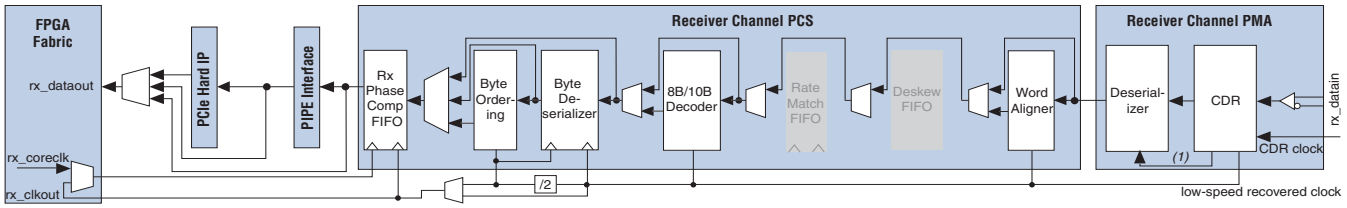


图 1-34 注释：

(1) 高速恢复时钟。

当收发器被配置成用于通道配置中的发送器与接收器操作时，接收器 PCS 对带有以及不带有速率匹配 FIFO 的配置均提供了支持。不同之处仅在于接收器数据通路时钟。发送器数据通路时钟与图 1-33 中所示的仅发送器操作模式完全相同。

图 1–35 显示了带有速率匹配 FIFO 的发送器与接收器操作模式中的数据通路时钟。不带速率匹配 FIFO 的配置中的接收器数据通路与图 1–34 完全相同。

在带有速率匹配 FIFO 的配置中，接收通道中的 CDR 单元将时钟从接收的串行数据中恢复，并生成用于解串器的高速恢复时钟，以及用于实现转送到接收器 PCS 的低速恢复时钟。低速恢复时钟连接到接收器 PCS 中的下列模块：

- 字对齐器
- 速率匹配 FIFO 的写时钟

用于发送器 PCS 数据通路的低速时钟连接到接收器 PCS 中的下列模块：

- 速率匹配 FIFO 的读时钟
- 8B/10B 解码器
- 字节解串器的写时钟
- 字节排序
- RX 相位补偿 FIFO 的写时钟

当字节解串器被使能时，低速时钟频率在连接到 RX 相位补偿 FIFO 的写时钟之前被减半。低速时钟在 FPGA 架构中可用作 tx_clkout 端口，发出发送数据与控制逻辑以及采集接收数据和状态信号。

图 1–35. Non-Bonded 通道配置中带有速率匹配 FIFO 的发送器与接收器数据通路时钟

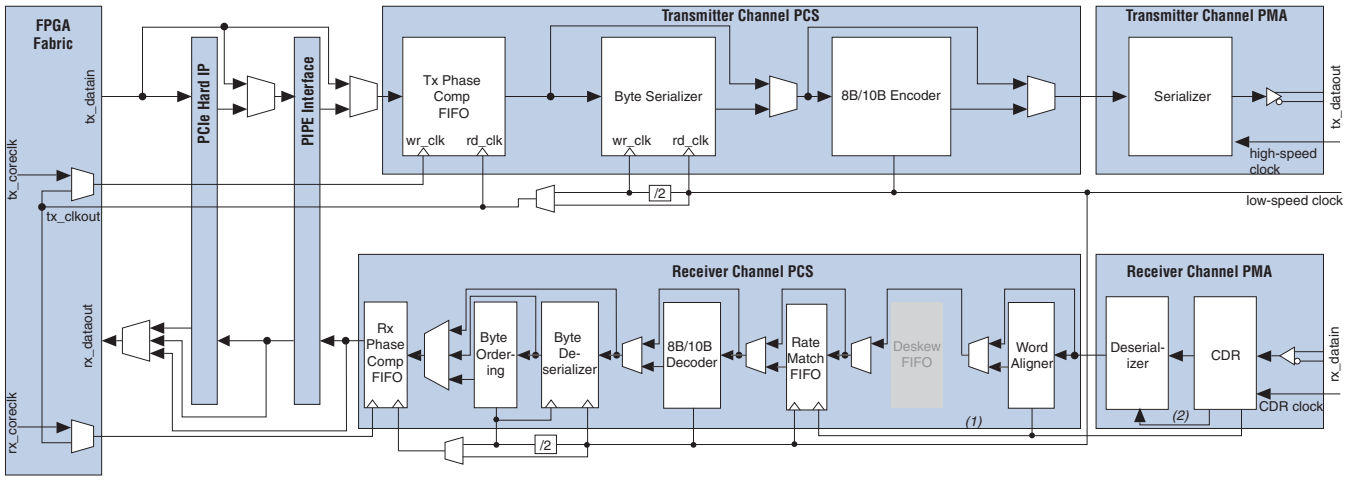


图 1–35 注释：

(1) 低速恢复时钟。
(2) 高速恢复时钟。

Bonded 通道配置

在 bonded 通道配置中，bonded 通道的低速时钟共享一个用于减少 bonded 通道间时钟偏移的通用 bonded 时钟路径。bonded 通道中的相位补偿 FIFO 共享一组指示器，以及产生 bonded 通道间相等的 FIFO 延时的控制逻辑。当在 bonded 通道配置中实现多通道串行接口时，这些特性共同实现了较低的通道到通道偏移。

在收发器模块中，每个 bonded 通道的高速时钟均由直接相邻于模块的两个中的一个多用 PLL 单独地进行分布。bonded 通道的低速时钟由一个通用 bonded 时钟路径进行分布，此通用 bonded 时钟路径从直接相邻于模块的两个多用 PLL 中选择其中的一个。F484 及更大封装中的器件收发器通道支持 ×2 bonded 通道的更大时钟灵活性。在这些封装中，除了两个直接与模块相邻的多用 PLL，×2 bonded 通道也支持由 PLL 进行的高速及低速 bonded 时钟分布。表 1-10 列出了 bonded 通道的高速及低速时钟源。

表 1-10. Bonded 通道配置中 Bonded 通道的高速及低速时钟源

封装	收发器模块	Bonded 通道	高速及低速时钟源	
			选项 1	选项 2
F324 及更小器件封装	GXBL0	×2 in channels 0, 1 ×4 in all channels	MPLL_1	MPLL_2
F484 及更大器件封装	GXBL0	×2 in channels 0, 1	MPLL_5/ GPLL_1	MPLL_6
		×4 in all channels	MPLL_5	MPLL_6
	GXBL1 (1)	×2 in channels 0, 1	MPLL_7/ MPLL_6	MPLL_8
		×4 in all channels	MPLL_7	MPLL_8

表 1-10 注释：

(1) GXBL1 不适用于 F484 器件封装中的收发器。

当在收发器模块中实现 ×2 bonded 通道配置时，其它的通道 2 和通道 3 可用于实现其它的 non-bonded 通道配置。

图 1–36 和图 1–37 显示了 bonded（×2 和 ×4）通道配置中 F324 及更小封装和 F484 及更大封装中的收发器的独立高速时钟与 bonded 低速时钟分布。

图 1–36. F324 及更小封装中的收发器在 Bonded（×2 and ×4）通道配置中的时钟分布。

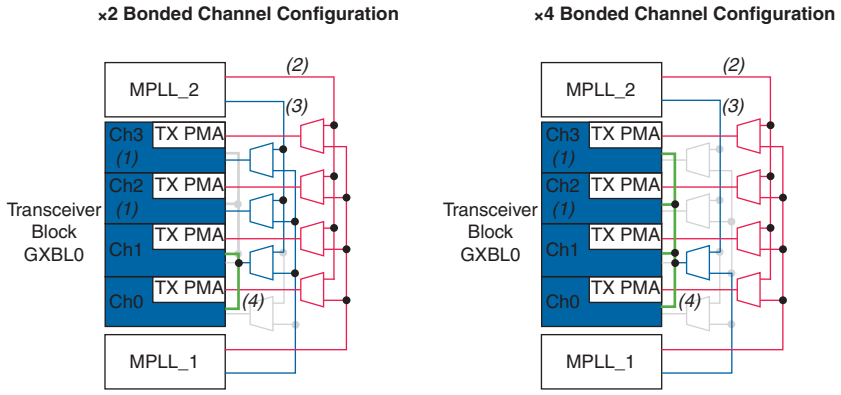


图 1–36 注释：

(1) 收发器通道 2 和 3 不适用于 F169 及更小封装中的器件。
(2) 高速时钟。
(3) 低速时钟。
(4) Bonded 通用低速时钟路径。

图 1–37. F484 及更大封装中的收发器在 Bonded（×2 和 ×4）通道配置中的时钟分布

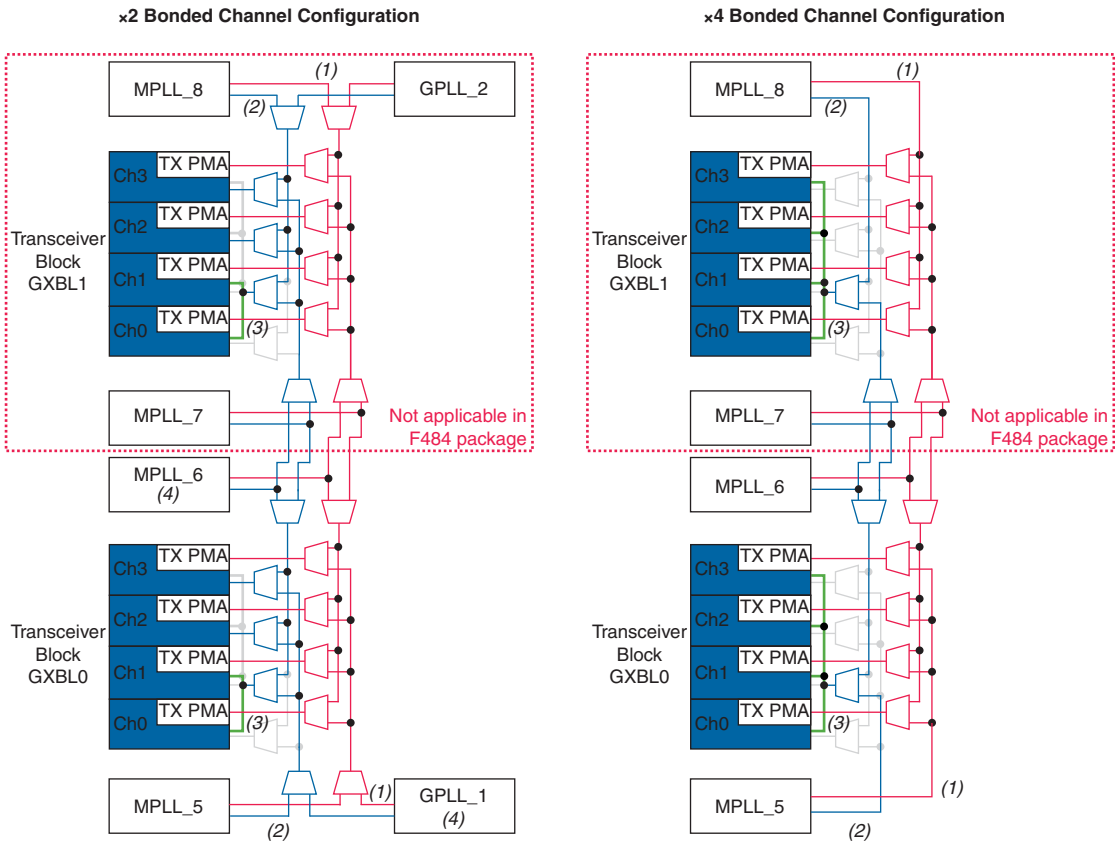


图 1–37 注释：

(1) 高速时钟。

(2) 低速时钟。

(3) Bonded 通用低速时钟路径。

(4) 这些 PLL 具有受限的时钟驱动能力，可能不会达到所有连接的通道。欲了解详细信息，请参考表 1–10。

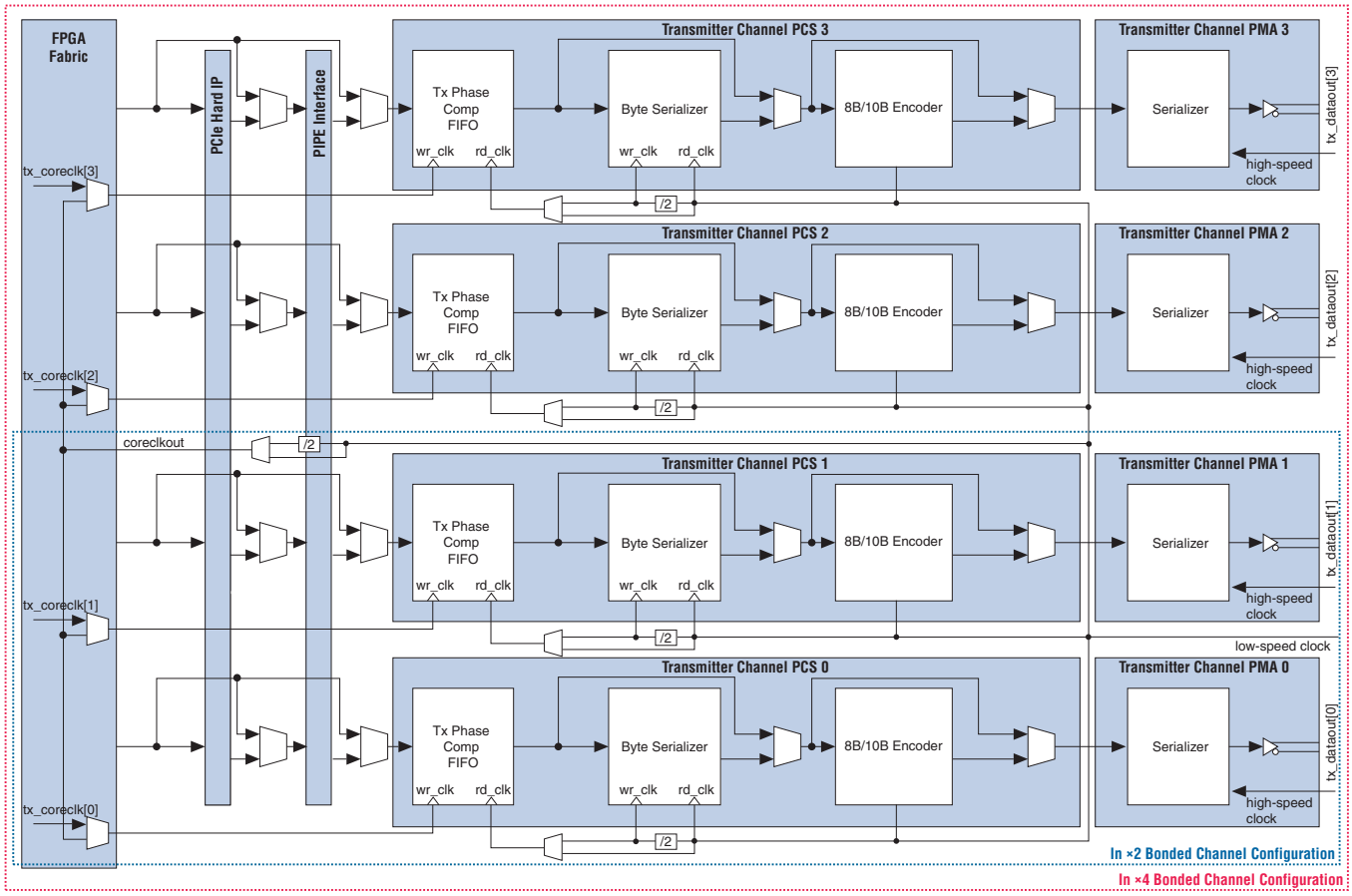
×2 和 ×4 配置中的 bonded 通道之间的通道数据通路时钟是相似的。

图 1–38 显示了对于 ×2 和 ×4 bonded 配置，Transmitter Only 操作中的数据通路时钟。 在这些配置中，每个 bonded 通道从一个所支持的 PLL 中选择高速时钟。每个 bonded 通道中的高速时钟提供给各自的串行器，以实现从并行数据到串行数据的转换操作。通用 bonded 低速时钟提供给每个 bonded 通道，用于每个发送器 PCS 通道中的下列模块：

- 8B/10B 编码器
- 字节串行器的读时钟
- TX 相位补偿 FIFO 的读时钟

当字节串行器使能时，通用 bonded 低速时钟频率在连接到 TX 相位补偿 FIFO 的读时钟之前被减半。通用 bonded 低速时钟可在 FPGA 架构中用作 coreclkout 端口，coreclkout 端口用在 FPGA 架构中，以发出发送数据和控制信号到 bonded 通道。

图 1–38. Bonded 通道配置中 Transmitter Only 数据通路时钟



Bonded 通道配置不适用于 Receiver Only 通道操作，因为每一个通道均由其恢复时钟单独地提供时钟。

对于 bonded 通道配置中的发送器和接收器操作，接收器 PCS 支持带有速率匹配 FIFO 的配置，也支持不带有速率匹配 FIFO 的配置。图 1-39 显示了在 ×2 和 ×4 bonded 通道配置中带有速率匹配 FIFO 的发送器和接收器操作中的数据通路时钟。对于不带有速率匹配 FIFO 的 bonded 通道配置中的发送器和接收器操作，bonded 发送通道的数据通路时钟与图 1-38 相同， 而 bonded 接收通道的数据通路时钟与第 1-35 页图 1-34 相同。

图 1–39. Bonded 通道配置中带有速率匹配 FIFO 的发送器和接收器数据通路时钟

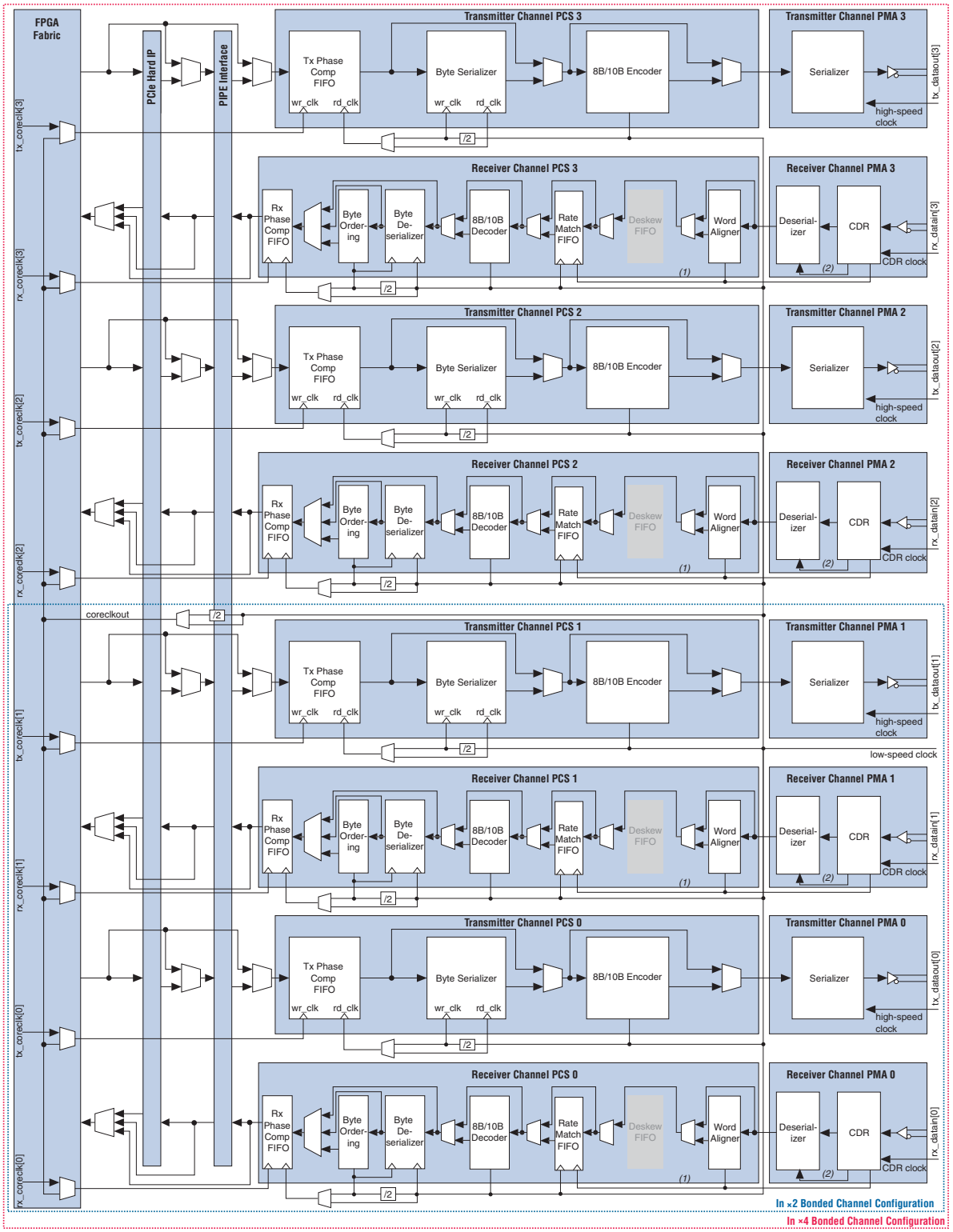


图 1–39 注释：

(1) 低速恢复时钟。

(2) 高速恢复时钟。

在带有速率匹配 FIFO 的配置中，发送器数据通路时钟与图 1-38 中所示的 Transmitter Only 操作相同。在每个 bonded 接收通道中，CDR 单元将时钟从串行接收数据中恢复，并生成用于每个 bonded 通道的高速及低速恢复时钟。高速恢复时钟连接到通道的解串器，而低速恢复时钟被转送至接收器 PCS. 单独的低速恢复时钟连接到接收器 PCS 中的下列模块：

- 字对齐器
- 速率匹配 FIFO 的写时钟

用于所有 bonded 发送器 PCS 数据通路中的通用 bonded 低速时钟均连接到每个 bonded 接收器 PCS 中的下列模块：

- 速率匹配 FIFO 的读时钟
- 8B/10B 解码器
- 字节解串器的写时钟
- 字节排序
- RX 相位补偿 FIFO 的写时钟

当字节解串器使能时，通用 bonded 低速时钟频率在连接到 RX 相位补偿 FIFO 的写时钟之前被减半。通用 bonded 低速时钟可在 FPGA 架构中用作 coreclkout 端口，coreclkout 端口可用在 FPGA 架构中，以发出发送数据和控制信号，并且从 bonded 通道中采集接收数据及状态信号。

FPGA 架构收发器接口时钟

FPGA 架构收发器接口时钟包含从 FPGA 架构到收发器模块的时钟信号，以及从收发器模块到 FPGA 架构的时钟信号。这些时钟资源使用 FPGA 内核中的全局时钟网络 (GCLK)。

欲了解关于Cyclone IV GX器件中的GCLK资源的详细信息，请参考*Clock Networks and PLLs in Cyclone IV Devices*章节。

表 1-11 列出了 FPGA 架构收发器接口时钟。

表 1-11. FPGA 架构收发器接口时钟

时钟名	时钟说明	接口方向
tx_clkout	相位补偿 FIFO 时钟	收发器到 FPGA 架构
rx_clkout	相位补偿 FIFO 时钟	收发器到 FPGA 架构
coreclkout	相位补偿 FIFO 时钟	收发器到 FPGA 架构
fixed_clk	PIPE 模式下的 125MHz 接收器检测时钟	FPGA 架构到收发器
reconfig_clk *(1)*, *(2)*	收发器动态重配置及偏移校准时钟	FPGA 架构到收发器
cal_blk_clk *(2)*	收发器校准模块时钟	FPGA 架构到收发器

表 1-11 注释：

(1) 上电循环后执行的偏移校准需要 reconfig_clk 时钟。 reconfig_clk 必须由自激时钟驱动，而不能从收发器模块中产生。

(2) 关于所支持的时钟频率范围，请参考 *Cyclone IV Device Data Sheet*。

在发送器数据通路中，TX 相位补偿 FIFO 会形成 FPGA 架构发送器接口。 发送器的数据及控制信号由 FIFO 写时钟锁定。FIFO 写时钟通过 Quartus II 软件支持自动时钟选择功能（根据通道配置），或者支持 tx_coreclk 端口上的用户指定时钟。表 1–12 详细说明了通过 Quartus II 软件的自动 TX 相位补偿 FIFO 的写时钟选择。

如果没有使能 tx_coreclk 端口，那么 Quartus II 软件会将 TX 相位补偿 FIFO 写时钟假设为自动时钟选择。

表 1–12. 自动 TX 相位补偿 FIFO 写时钟选择

通道配置	Quartus II 选择
Non-bonded	tx_clkout 时钟连接到 FIFO 写时钟。tx_clkout 通过发送通道从低速时钟（也连接到 FIFO 读时钟）被转送出去。
Bonded	coreclkout 时钟连接到 bonded 通道中的 FIFO 写时钟。coreclkout 时钟是通用 bonded 低速时钟，也连接到 bonded 通道中的 FIFO 读时钟。

当使用用户指定的时钟选项时，需确保连接到 tx_coreclk 端口的时钟与 TX 相位补偿 FIFO 读时钟之间没有 ppm 差异。

在接收器数据通路中，RX 相位补偿 FIFO 形成接收器 FPGA 架构接口。来自接收器的数据和状态信号由 FIFO 读时钟锁定。FIFO 读时钟通过 Quartus II 软件支持自动时钟选择（根据通道配置），或者 rx_coreclk 端口上的用户指定时钟。表 1–13 详细说明了通过 Quartus II 软件的自动 RX 相位补偿 FIFO 读时钟选择。

如果没有使能 rx_coreclk 端口，Quartus II 软件将对 RX 相位补偿 FIFO 读时钟假设为自动时钟选择。

表 1–13. 自动 RX 相位补偿 FIFO 读时钟选择

通道配置		Quartus II 选择
Non-bonded	带有速率匹配 FIFO *(1)*	tx_clkout 时钟连接到 FIFO 读时钟。tx_clkout 通过接收通道从低速时钟（也连接到 FIFO 写时钟和发射器 PCS）转送出去。
	不带有速率匹配 FIFO	tx_clkout 时钟连接到 FIFO 读时钟。tx_clkout 通过接收通道从低速恢复时钟（也连接到 FIFO 写时钟）转送出去。
Bonded	带有速率匹配 FIFO *(1)*	coreclkout 时钟连接到 bonded 通道中的 FIFO 读时钟。 coreclkout 时钟是通用 bonded 低速时钟，也连接到 bonded 通道中的 FIFO 读时钟和发送器 PCS。
	不带有速率匹配 FIFO	rx_clkout 时钟连接到 FIFO 读时钟。tx_clkout 通过接收通道从低速恢复时钟（也连接到 FIFO 写时钟）转送出去。

表 1–13 注释：

(1) 具有速率匹配 FIFO 的配置支持发送器与接收器操作。

当使用用户定义的时钟选项时，需确保连接到 rx_coreclk 端口的时钟与 RX 相位补偿 FIFO 写时钟之间没有 ppm 差异。

校准模块

此模块用于校准 OCT 电阻以及收发器模块的模拟部分，以确保功能性不依赖于工艺、电压以及温度 (PVT) 的变化。

图 1–40 显示了校准时钟的位置及如何连接到收发器模块。

图 1–40. 收发器校准模块位置及连接

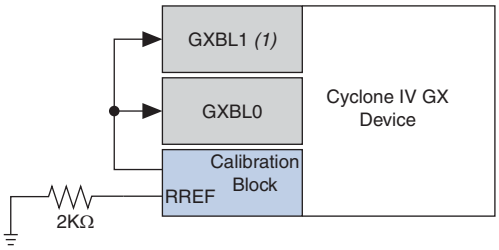


图 1–40 注释：

(1) 收发器模块 GXBL1 仅使用于 F484 及更大封装中的器件。

校准模块在内部生成一个独立于 PVT 变化的稳定内部参考电压，并且使用此电压与 RREF 管脚上的外部参考电阻来生成恒定的参考电流。OCT 校准电路对收发器通道中的 OCT 电阻进行校准。图 1–41 显示了校准模块图。

图 1–41. 校准模块的输入信号 *(1)*

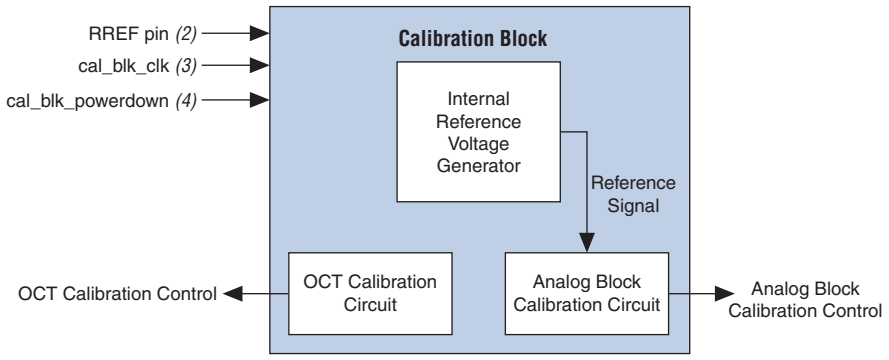


图 1–41 注释：

(1) 所有的收发器通道均使用相同的校准模块时钟及掉电信号。

(2) 将一个 2 kΩ（最大公差 ± 1%）外部电阻连接到接地的 RREF 管脚。电路板上的 RREF 电阻连接一定不要受任何外部噪声干扰。

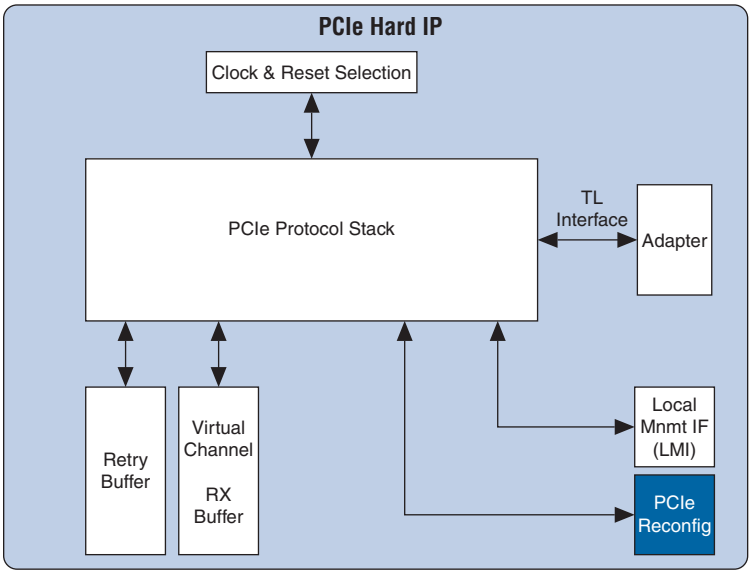
(3) 支持高达 125 MHz 时钟频率。使用 FPGA 架构中的专用全局时钟或者分频逻辑，在本地时钟布线上生成一个缓慢时钟。

(4) cal_blk_powerdown 信号置位后，校准模块重新启动校准进程。

PCI-Express 硬核 IP 模块

图 1–42 显示了实现用于 PCIe 接口的 PHY MAC、数据链路层以及传输层的 PCIe 硬核 IP 模块的结构框图。PIPE 接口用作收发器与硬核 IP 模块之间的接口。

图 1–42. PCI Express 硬核 IP 高级结构框图



硬核 IP 模块支持在 Gen1 频率上具有 256 字节最大有效载荷的 1、 2 或者 4 个初始通道配置。应用接口为 64 位，并具有运行在高达 125 MHz 的每通道 16 位数据宽。硬核 IP 模块作为一个硬宏和验证的模块，在显著地降低设计风险及实现时序收敛所需时间的同时，使用极少的 FPGA 资源。硬核 IP 模块符合 PCI Express Base Specification 1.1。您不必为此模块的使用支付许可费。需要使用 PCI Express Compiler 来对硬核 IP 模块进行配置。

欲了解关于硬核 IP 模块的详细信息，请参考 *PCI Express Compiler User Guide*。

图 1-43 显示了当实现具有硬核 IP 模块的 PCIe 时的通道布局的相关要求。

图 1-43. 具有硬核 IP 模块的 PCIe 的通道布局要求 *(1)*

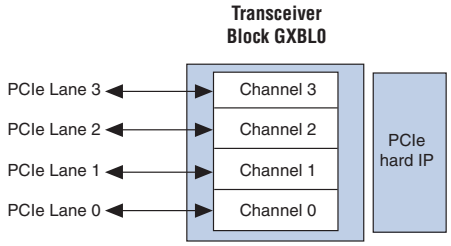


图 1-43 注释：

(1) 适用于仅含有硬核 IP 模块的 PCIe ×1、×2 和 ×4 的实现。

收发器功能模式

Cyclone IV GX 收发器支持表 1-14 中列出的功能模式，用于协议的实现。

表 1-14. 协议实现的收发器功能模式

功能模式	协议	关键特性	参考
Basic	Proprietary, SATA, V-by-One, Display Port	低延时 PCS, 电路空闲中的发送器，接收器上的信号检测，广播异步 SSC	Basic 模式（第 1-48 页）
PCI Express (PIPE)	PCIe Gen1 with PIPE Interface	PIPE 端口，接收器检测，电路空闲中的发送器，电路空闲推理，接收器上的信号检测，快速恢复，协议兼容的字对齐器和速率匹配 FIFO, 同步 SSC	PCI Express (PIPE) 模式（第 1-52 页）
GIGE	GbE	运行差异保留，协议兼容的字对齐器和速率匹配 FIFO，恢复的时钟端口（用于 Synchronous Ethernet 等应用）	GIGE 模式（第 1-58 页）
Serial RapidIO	SRIO	协议兼容的字对齐器	Serial RapidIO 模式（第 1-64 页）
XAUI	XAUI	去偏斜 FIFO, 协议兼容的字对齐器和速率匹配 FIFO	XAUI 模式（第 1-67 页）
Deterministic Latency	Proprietary, CPRI, OBSAI	TX PLL 相位频率检测器 (PFD) 反馈，寄存模式 FIFO, TX bit-slip 控制	确定性延迟模式（第 1-73 页）
SDI	SDI	高速 SERDES, CDR	SDI 模式（第 1-76 页）

Basic 模式

Cyclone IV GX 收发器通道数据通路在 Basic 模式中高度灵活地实现专有协议。Basic 模式也支持 Cyclone IV GX 收发器中 SATA、V-by-One 和 Display Port 协议的实现。图 1-44 显示了 Basic 模式中所支持的收发器通道数据通路。

图 1-44. Basic 模式中的收发器通道数据通路

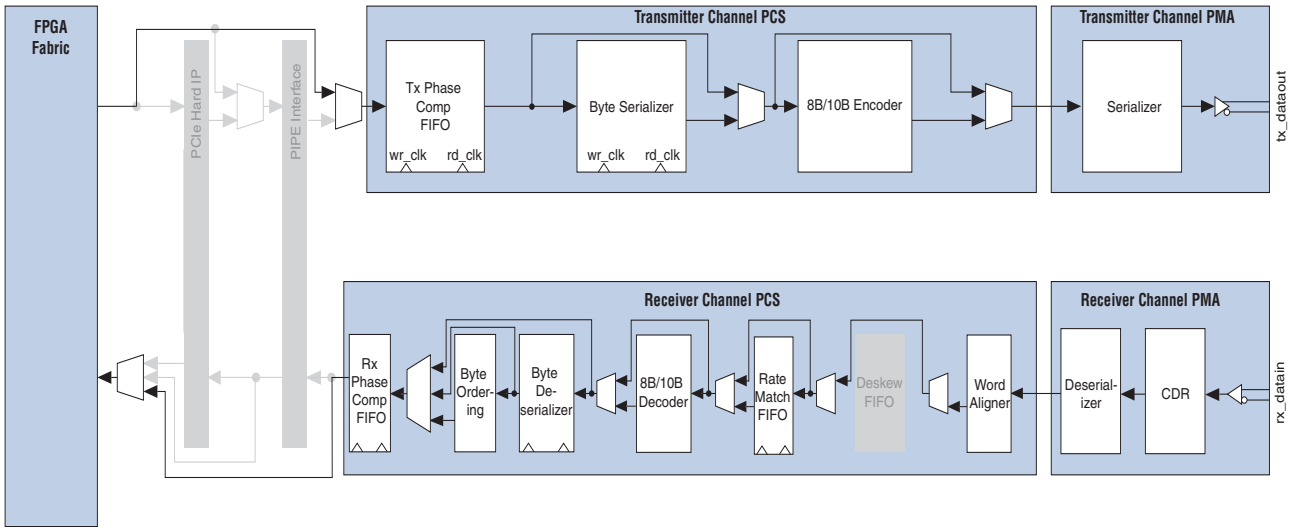


图 1-45 和图 1-46 分别显示了在 8-bit 和 10-bit PMA-PCS 接口宽的 Basic 模式中所支持的收发器配置。

图 1-45. 8-bit PMA-PCS 接口宽的 Basic 模式中所支持的收发器配置

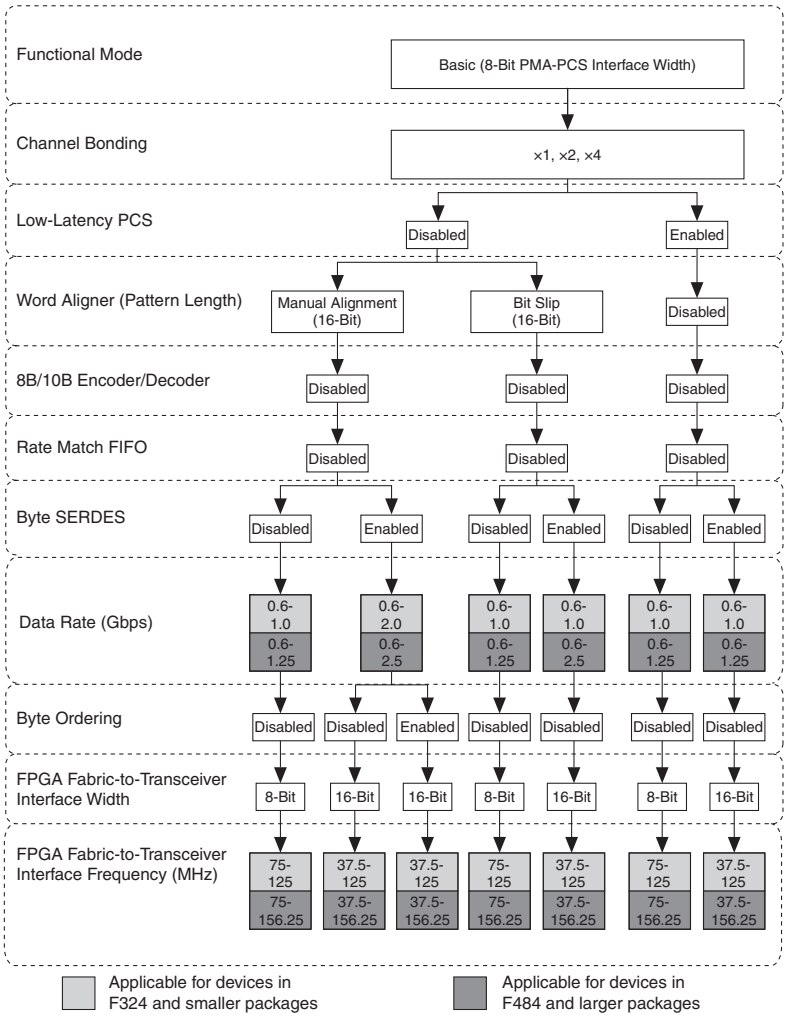
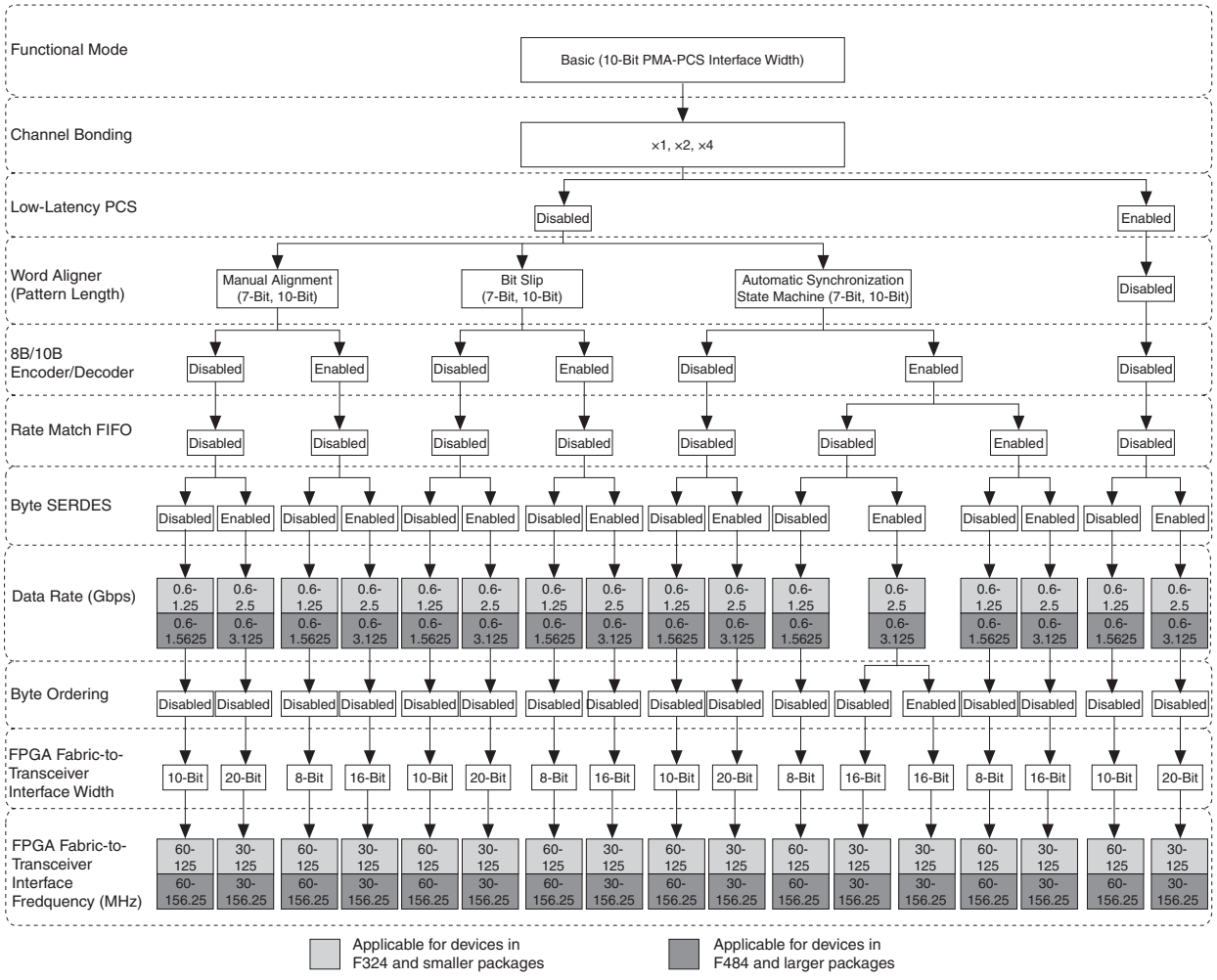


图 1-46. 10-bit 宽 PMA-to-PCS 接口的 Basic 模式中所支持的收发器配置



Basic 模式中的速率匹配 FIFO 操作

在 Basic 模式中，速率匹配 FIFO 执行下列操作：

- 如果删除后群集中还剩下一个跳过码型，那么从一个群集中删除最多四个跳过码型
- 如果删除后群集中存在少于五个的跳过码型，那么在群集中插入最多四个跳过码型。
- 自动删除导致 FIFO 变满的数据字节，并置位与下一个数据字节同步的 rx_rmfifofull 标志信号。
- 在导致 FIFO 变空的数据字节之后，自动插入 /K30.7/ (9’h1FE)，并置位与插入的 /K30.7/ (9’h1FE) 同步的 rx_fifoempty 标志信号。

Basic 模式中的其它选项

在 Basic 模式中，收发器支持下面其它选项：

- 低延时 PCS 操作
- 电路空闲中的发送器

- 接收器信号检测
- 接收器扩频时钟

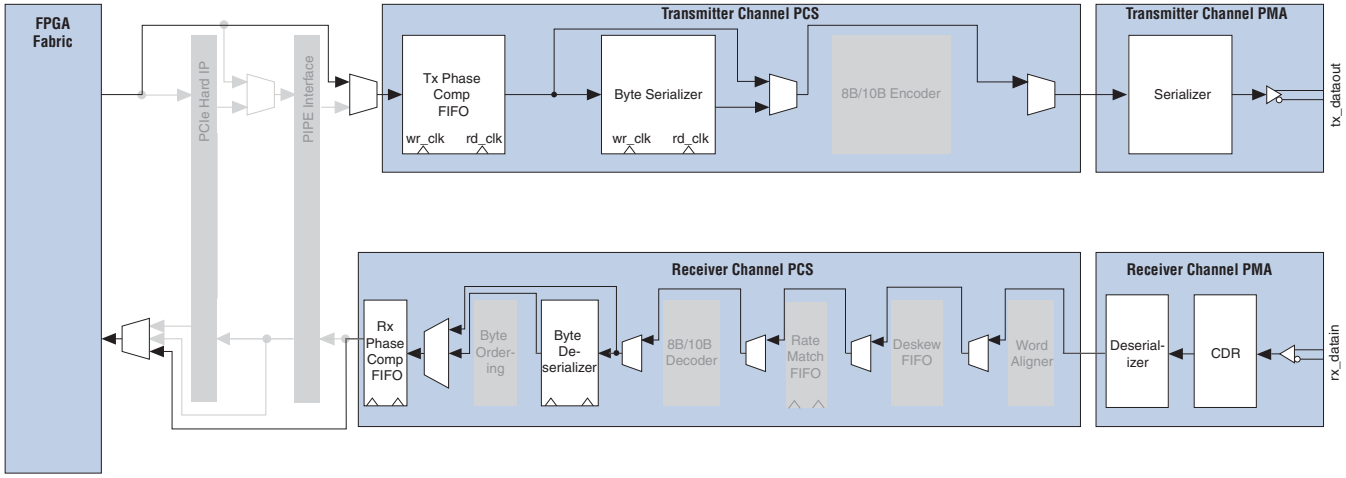
低延时 PCS 操作

当在低延时 PCS 操作中进行配置时，收发器 PCS 中的下列模块将被旁路，从而生成一个更低延时 PCS 数据通路：

- 8B/10B 编码器和解码器
- 字对齐器
- 速率匹配 FIFO
- 字节排序

图 1-47 显示了带有低延时 PCS 操作的 Basic 模式下的收发器通道数据通路。

图 1-47. 带有低延时 PCS 操作的 Basic 模式下的收发器通道数据通路



电路空闲中的发送器

发送缓冲器支持电路空闲状态，当使能时，差分输出缓冲驱动器处于三态。电路空闲期间，输出缓冲器假定共模输出电压电平。关于电路空闲特性的详细信息，请参考第 1-52 页的 “ PCI Express (PIPE) 模式 ”。

电路空闲功能中的发送器需要兼容 PCIe 协议实现的 PCI Express (PIPE) 体系结构规范的 PHY 接口 2.00 版本。

接收器上的信号检测

接收器上的信号检测功能仅在 8B/10B 编码器 / 解码器模块使能时可用。

接收器扩频时钟

Cyclone IV 器件不支持异步扩频时钟 (SSC)。您只能对 Basic 模式下的 SATA、V-by-One 以及 Display Port 协议实现同步 SSC。

PCI Express (PIPE) 模式

PIPE 模式支持收发器通道数据通路的配置，该配置支持 ×1、×2 和 ×4 初始通道宽，用于具有 PIPE 接口实现的 PCIe Gen1 信号速率。Cyclone IV GX 收发器支持 PIPE 模式中的以下特性：

- PIPE 接口
- 接收器检测电路
- 电路空闲控制
- 接收器上的信号检测
- 兼容状态机通道同步
- 具有速率匹配 FIFO 的时钟速率补偿
- 低延时同步 PCIe
- 从 P0s 状态中快速恢复
- 电路空闲推理
- 兼容码型传输
- 复位要求

图 1-48 显示了在 ×1 通道配置的 PIPE 模式下进行配置时的收发器通道数据通路与时钟。

图 1-48. 在 ×1 通道配置的 PIPE 模式下进行配置时的收发器通道数据通路与时钟

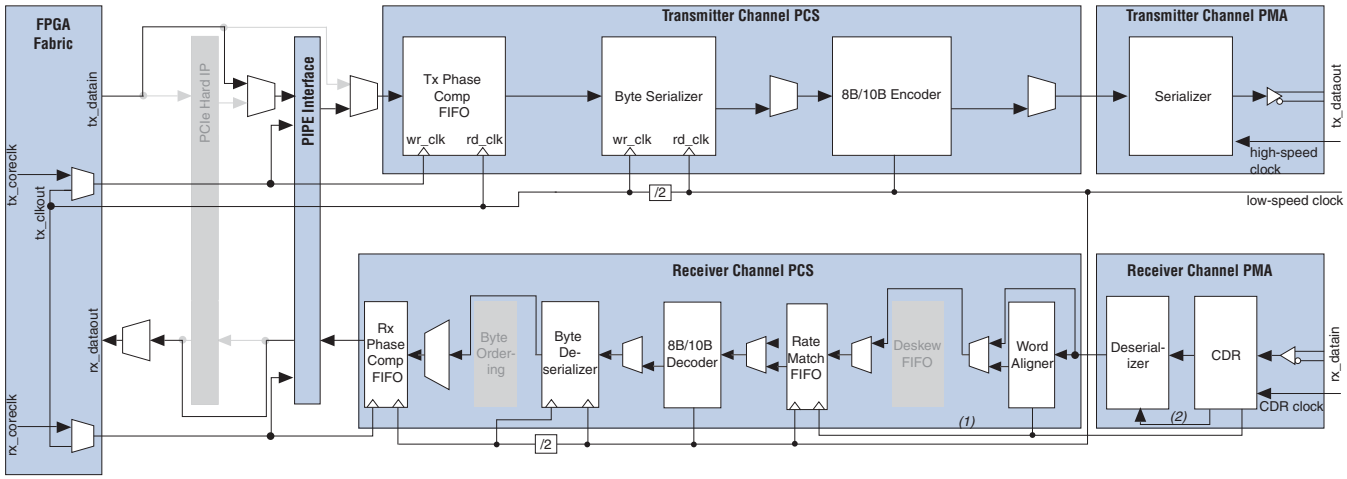


图 1-48 注释：

(1) 低速恢复时钟。

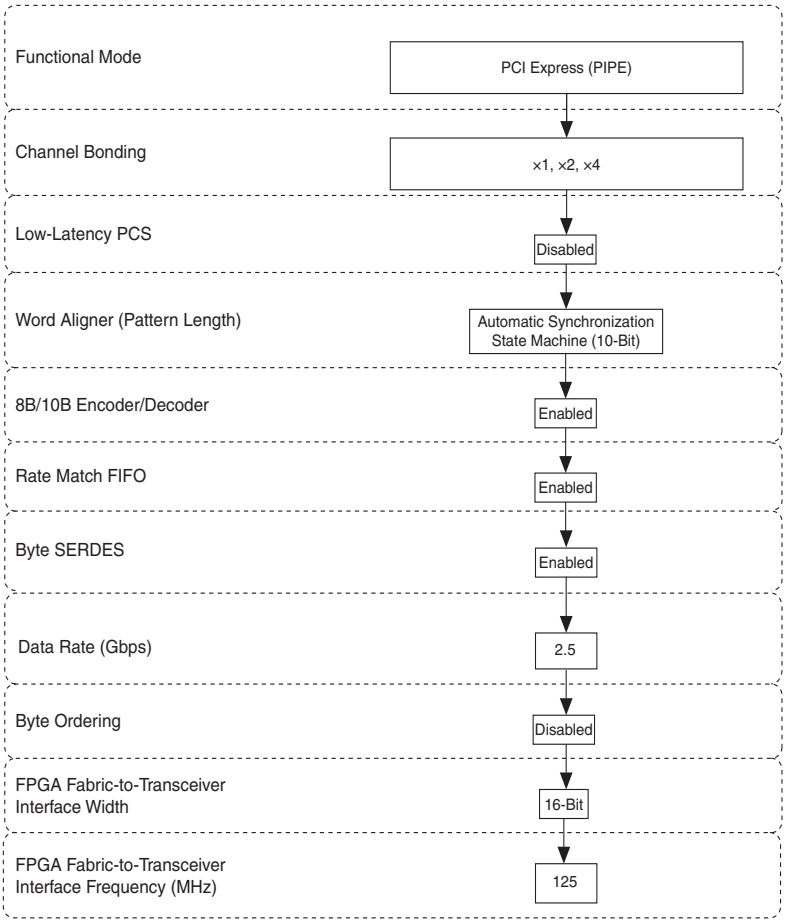
(2) 高速恢复时钟。

需要使用 PCI Express Compiler 来对硬核 IP 模块进行配置。当对具有硬核 IP 模块的 PCIe 实现进行收发器配置时，字节串行器和解串器未被使能， 提供了一个运行在 250 MHz 时钟频率下的 8-bit 收发器 PIPE 硬核 IP 数据接口位宽。

欲了解关于采用硬核 IP 模块的 PCIe 实现的详细信息，请参考 *PCI Express Compiler User Guide*。

图 1–49 显示了 PIPE 模式下的收发器配置。

图 1–49. PIPE 模式下的收发器配置



当将 ALTGX 宏功能用于 PCIe 实现来配置收发器为 PIPE 模式时，PHY-MAC、数据链路以及传输层必须在用户逻辑中实现。PCIe 硬核 IP 模块在配置中被旁路。

PIPE 接口

PIPE 接口提供一个 PCIe 兼容 PHY 与 MAC 层（由 Gen1(2.5 Gbps) 信号速率的 PIPE 体系结构规范 2.00 版本定义）之间的标准接口。 任何实现 PHY MAC、数据链路以及传输层（支持 PIPE 2.00）的内核或 IP 均能够连接到 PIPE 模式下配置的 Cyclone IV GX 收发器。表 1–15 列出了 PIPE 模式下配置的 Cyclone IV GX 收发器中的 PIPE 指定端口，以及在 PIPE 2.00 规范中相应的端口名称。

表 1–15. PIPE 模式下的收发器 FPGA 架构接口端口

收发器端口名	PIPE 2.00 端口名
tx_datain[15..0] *(1)*	TxData[15..0]
tx_ctrlenable[1..0] *(1)*	TxDataK[1..0]
rx_dataout[15..0] *(1)*	RxData[15..0]
rx_ctrldetect[1..0] *(1)*	RxDataK[1..0]
tx_detectrxloop	TxDetectRx/Loopback
tx_forceelecidle	TxElecIdle
tx_forcedispcompliance	TxCompliance
pipe8b10binvpolarity	RxPolarity
powerdn[1..0] *(2)*	PowerDown[1..0]
pipedatavalid	RxValid
pipephydonestatus	PhyStatus
pipeelecidle	RxElecIdle
pipestatus	RxStatus[2..0]

表 1–15 注释：

(1) 同 PCIe 硬核 IP 模块一起使用时，不使用字节 SERDES。这样，数据端口为 8 位宽，控制标识符为 1 位宽。

(2) 除了在较低的功耗状态中将发送缓冲器置于电路空闲状态以外，Cyclone IV GX 收发器在较低的功耗状态（P0s、P1 和 P2）中不实现降低功耗的方法。

接收器检测电路

在 PIPE 模式中，收发器通过发送器 PMA 中的内置电路来提供对接收器检测功能的支持。作为链路调训及同步状态机序列的一部分，PCIe 协议要求发送器检测接收器是否存在每个通道的远端。 此功能的实现需要以下几个条件：

- 发送器输出缓冲器要处于三态
- 具有 OCT 利用率
- fixedclk 端口上的 125 MHz 时钟

接收器检测电路的运作原理是在发送器的共模上发送一个脉冲。如果远端有一个有效的 PCIe 接收器， 那么与没有 PCIe 接收器相比，走线上阶跃电压的时间常量会更高。该电路监控走线上侦测到的阶跃信号的时间常量，以决定是否检测到了一个接收器。

图 1–50 和图 1–51 分别显示了一个成功的和一个失败的接收器检测情况下的检测机制的实例。置位 tx_detectrxloop 端口之前，必须对 tx_forceelecidle 端口置位至少 10 个并行时钟周期，以保证发送缓冲器能够正确地设置为三态。 pipephydonestatus 信号的置位表明了检测过程的结束，pipestatus[2..0] 端口上的 3’b011 表明了成功的检测，而 3’b000 表明了一个失败的检测。

图 1–50. 成功的接收器检测操作的实例

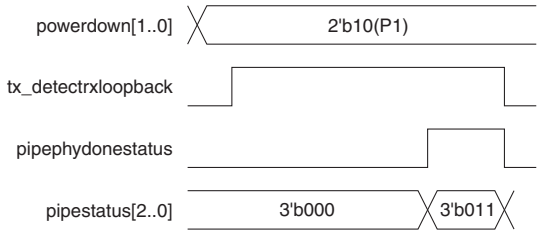
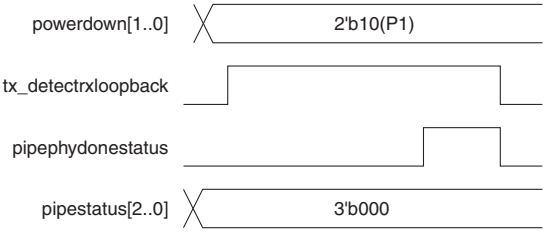


图 1–51. 失败的接收器检测操作的实例



电路空闲状态的控制

The Cyclone IV GX 收发器通过使用 tx_forceelecidle 端口提供了对电路空闲状态中的发送缓冲器的支持。电路空闲期间，发送缓冲器差分和共模输出电平兼容于 Gen1 信号速率的 PCIe Base Specification 2.0。

图 1–52 显示了 tx_forceelecidle 端口的置位与 tx_dataout 端口上发送缓冲器输出之间的关系。

图 1–52. 发送缓冲器电路空闲状态

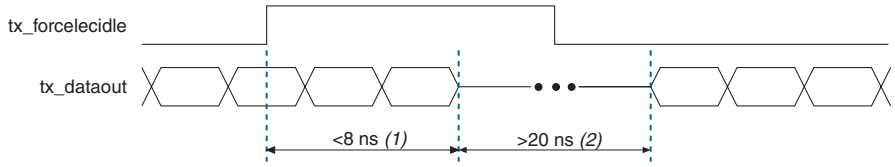


图 1–52 注释：

(1) 此协议要求发送缓冲器在 8 ns 内送出一个电路空闲有序集之后跳变到一个有效的电路空闲状态。
(2) 对于 Gen1 信号速率，此协议要求发送缓冲器保持在电路空闲状态最少 20 ns。

接收器上的信号检测

在 PIPE 模式中，内置的信号阈值检测电路支持信号检测功能。当电路空闲推理功能未使能时， rx_signaldetect 信号被反转，并可用作 PIPE 接口中的 pipeelecidle 端口。

通道同步

在 PIPE 模式中，字对齐器在兼容于 PCIe 规范的自动同步状态机模式下被配置。表 1–16 列出了用于实现 PCIe 兼容同步的同步状态机参数。

表 1–16. 同步状态机参数 *(1)*

参数	值
接收到的用于实现同步的有效同步 (/K28.5/) 代码组的数量	4
接收到的用于失去同步的错误代码组的数量	17
接收到的用于一个个减少错误数的连续良好的代码组的数量	16

表 1–16 注释：

(1) 字对齐器支持 PIPE 模式下的 10-bit 码型长度。

时钟速率补偿

在 PIPE 模式中，速率补偿 FIFO 对上游发送器与本地接收器参考时钟之间的高达 ±300 ppm （总共 600 ppm）的差异进行补偿。在 PIPE 模式中，速率匹配 FIFO 操作兼容于 PCIe Base Specification 2.0 版本。PCIe 协议要求接收器能够识别跳过 (SKP) 有序集，并且仅插入或者删除接收到的每个 SKP 有序集（用于防止速率匹配 FIFO 上溢或下溢）中的一个 SKP 符号。 SKP 有序集是一个 /K28.5/ 逗号 (COM) 符号，后面接跟着由发送器在数据包间隙发送的 1 到 5 个连续的 /K28.0/ SKP 符号。

字对齐模块中的同步状态机指明要求同步（指示为 rx_syncstatus 信号上的逻辑高电平）后，开始速率匹配操作。速率匹配 FIFO 插入与删除事件通过每个通道的 pipestatus[2..0] 端口传达到 FPGA 架构。

低延时同步 PCIe

在 PIPE 模式中，Cyclone IV GX 收发器通过降低速率匹配 FIFO 中的延时来支持在同步 PCIe 中的较低延时。在同步 PCIe 中，系统使用一个提供了上游发送器与本地接收器参考时钟之间的 0 ppm 差异的通用参考时钟。

当使用通用参考时钟时，收发器支持扩频时钟。欲了解关于 PCIe Express (PIPE) 模式中 SSC 支持的详细信息，请参考 *Cyclone IV Device Data Sheet*。

从 P0s 状态中快速恢复

PCIe 协议定义了快速调训序列，使位和字节同步实现了从 L0s 到 L0（PIPE P0s 到 P0）功耗状态的跳变。当以 16 ns 到 4 µs 从 L0s 到 L0 状态跳变时，PHY 必须要求位和字节同步。每个 Cyclone IV GX 接收通道均有一个内置的快速恢复电路，使能后使得接收器能够满足相应要求。

电路空闲推理

在 PIPE 模式中，Cyclone IV GX 收发器支持推理每个接收器上的电路空闲条件，使用模拟电路来检测 PCIe Base Specification 2.0 版本中定义的电路空闲条件。通过使用 rx_elecidleinfersel[2..0] 端口来进行推理，并使用每个链路调训和状态机子状态中的有效驱动值（如表 1-17 中所列）。

表 1-17. 电路空闲推理条件

rx_elecidleinfersel [2..0]	链路调训与状态机状态	说明
3'b100	L0	128 µs 窗口中的 update_FC 或跳过有序集的缺失
3'b101	Recovery.RcvrCfg	1280 UI 间隔中 TS1 或者 TS2 有序集的缺失
3'b101	Recovery.Speed when successful speed negotiation = 1'b1	1280 UI 间隔中 TS1 或者 TS2 有序集的缺失
3'b110	Recovery.Speed when successful speed negotiation = 1'b0	2000 UI 间隔中电路空闲退出的缺失
3'b111	Loopback.Active (as slave)	128 µs 窗口中电路空闲退出的缺失

当推理一个电路空闲条件时，电路空闲推理模块驱动每个接收通道中的 pipeelecidle 信号为高电平。电路空闲推理模块无法检测电路空闲的退出条件（基于 PCI Express (PIPE) Base Specification 中所指定的接收到的电路空闲退出有序集）。

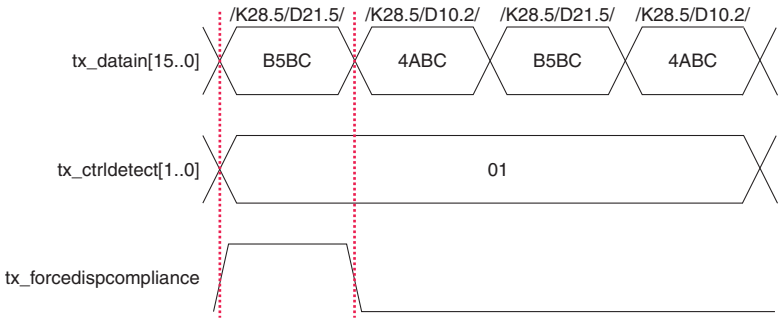
使能时，电路空闲推理模块使用快速恢复电路中的电路空闲有序集检测功能来驱动 pipeelecidle 信号。

兼容码型传输

在 PIPE 模式中，Cyclone IV GX 收发器支持兼容码型传输，其要求对兼容码型的第一个 /K28.5/ 代码组使用负电流差异进行编码。 通过使用 tx_forcedispcompliance 端口来满足此要求，当 tx_forcedispcompliance 端口被驱动为逻辑高电平时，tx_datain 端口上的发送数据通过负电流运行差异进行传输。

兼容码型是四个代码组的重复序列：/K28.5/; /D21.5/; /K28.5/; /D10.2/。 图 1–53 显示了兼容码型传输，其中 tx_forcedispcompliance 端口必须在与 tx_datain[15..0] 端口上的 /K28.5/D21.5/ 兼容码型相同的并行时钟周期中被置位。

图 1–53. PCI Express (PIPE) 模式下的兼容码型传输支持



复位要求

Cyclone IV GX 器件满足表 1–17 中所列出的配置方案中从器件上电到链路有效状态的 PCIe 复位时间要求。

表 1–18. 电路空闲推理条件

器件	配置方案	配置时间 (ms)
EP4CGX15	被动串行 (PS)	51
EP4CGX22	PS	92
EP4CGX30 *(1)*	PS	92
EP4CGX50	快速被动并行 (FPP)	41
EP4CGX75	FPP	41
EP4CGX110	FPP	70
EP4CGX150	FPP	70

表 1–18 注释：

(1) F484 封装中的 EP4CGX30 器件使用 41 ms 配置时间的 FPP 配置方案，以满足 PCIe 复位时间的要求。

GIGE 模式

GIGE 模式对 GbE（特指 1000 Base-X 物理子层器件 (PHY) 标准）协议实现提供了收发器通道数据通路配置。Cyclone IV GX 收发器对 1000 Base-X PHY 提供了 PMA 以及 IEEE 802.3 规范中定义的下列 PCS 功能：

- 8B/10B 编码与解码
- 同步
- 上游发送器与本地接收器时钟频率补偿（速率匹配）

对于某些 PCS 功能，GX 收发器没有提供内置的支持，例如：自动协商状态机、碰撞检测以及载波检测等。如果需要，您必须在用户逻辑或外部电路中实现这些功能。

作为在 GbE 系统中连接各种物理介质和的介质访问控制 (MAC) 的一个中间或过渡子层，1000 Base-X PHY 由 IEEE 802.3 标准来定义。 具有 1.25 Gbps 物理接口数据速率的 1000 Base-X PHY 包含 PCS、 PMA 和物理介质依赖 (PMD) 层。 图 1-54 显示了 LAN 层中的 1000 Base-X PHY。

图 1-54. GbE OSI 参考模型中的 1000 Base-X PHY

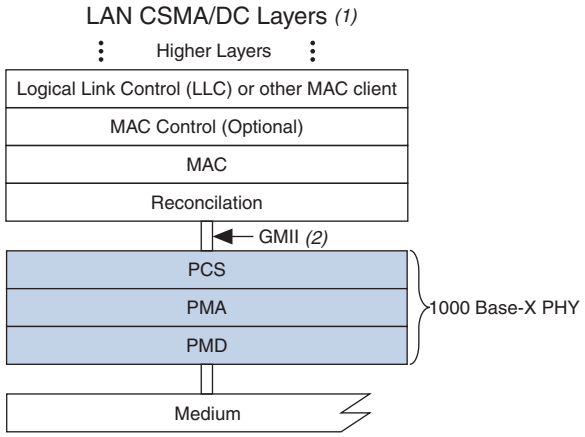


图 1-54 注释：

(1) CSMA/CD = Carrier-Sense Multiple Access with Collision Detection （具有冲突检测的载波侦听多路存取）

(2) GMII = gigabit medium independent interface（千兆位介质独立接口）

图 1–55 显示了在 GIGE 模式下配置时的收发器通道数据通路与时钟。

图 1–55. 在 GIGE 模式下配置时的接收器通道数据通路与时钟

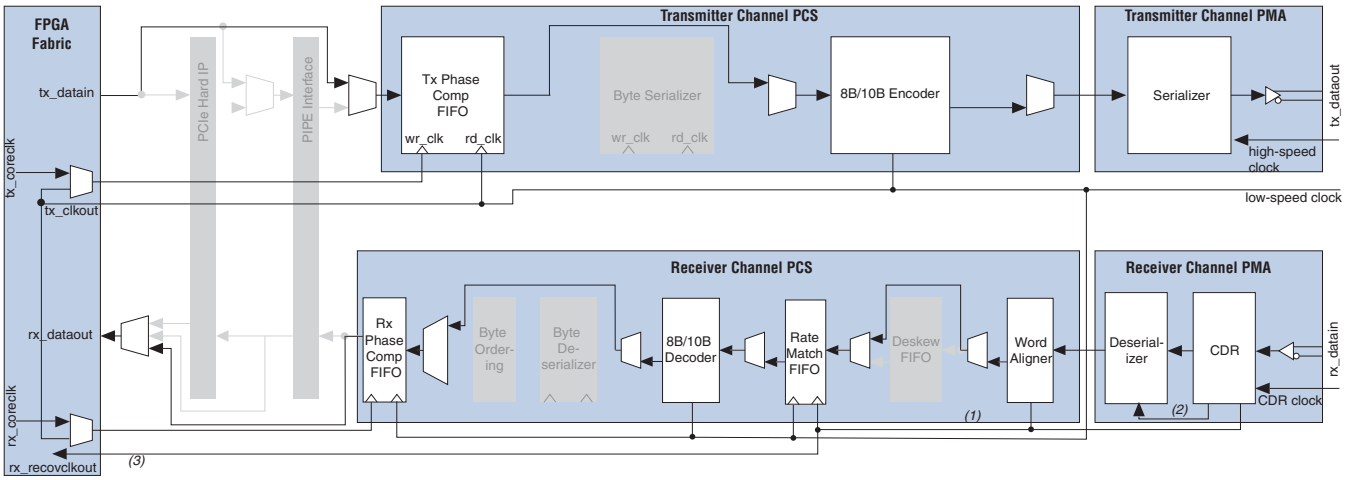


图 1–55 注释：

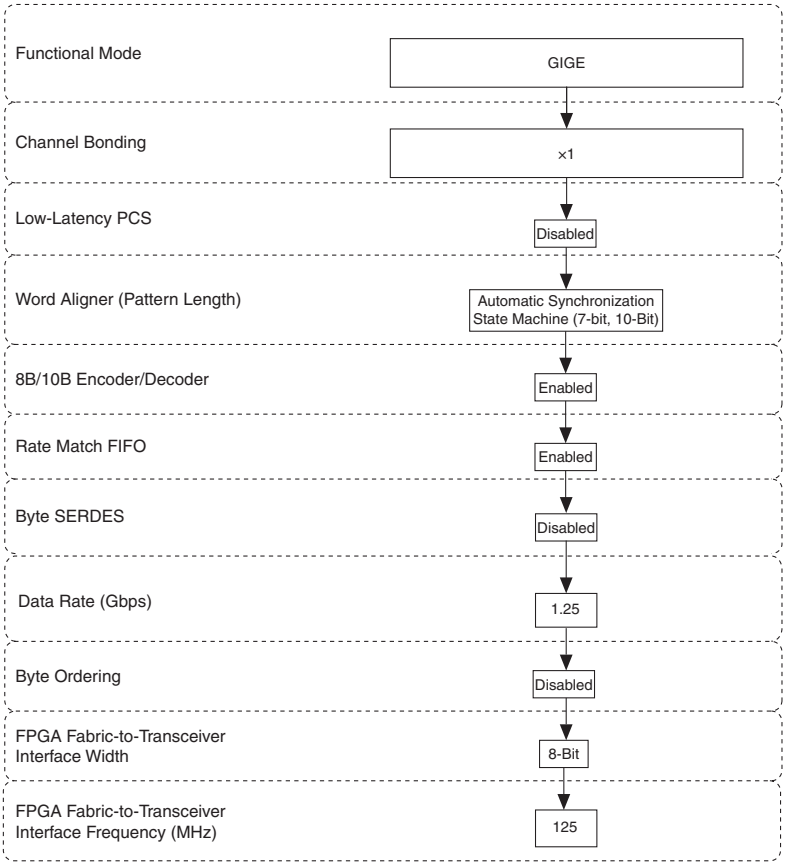
(1) 低速恢复时钟。

(2) 高速恢复时钟。

(3) 来自低速恢复时钟的可选 rx_recovclkout 端口适用于 Synchronous Ethernet 等应用。

图 1-56 显示了 GIGE 模式下的接收器配置。

图 1-56. GIGE 模式下的收发器配置

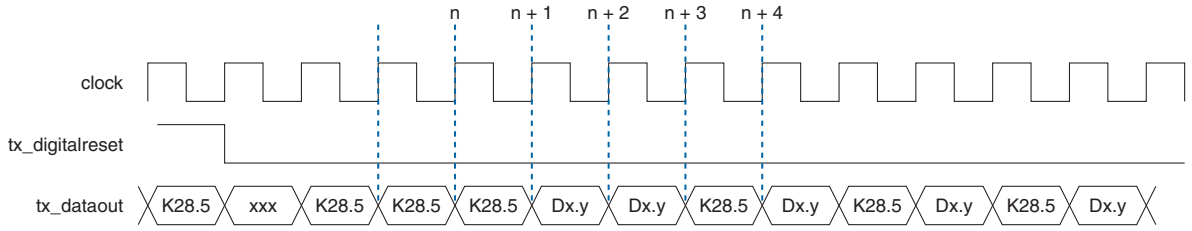


当在 GIGE 模式下进行配置时， tx_digitalreset 置低之后，发送 tx_datain 端口上的用户数据之前，三个编码的逗号（/K28.5/）代码组将被自动传输。 这可能会对接收器上的同步状态机的行为产生影响。

根据开始发送同步序列的时间，可能会存在一个偶数或者奇数数量的编码数据 /Dx.y/）代码组在同步序列的最后三个自动发送的 /K28.5/ 代码组与第一个 /K28.5/ 代码组之间进行传输。如果存在一个在这两个 /K28.5/ 代码组之间接收到的偶数数量的 /Dx.y/ 代码组，那么同步序列的第一个 /K28.5/ 代码组将开始于奇数代码组边界。IEEE802.3 兼容 GIGE 同步状态机把这种情况当做一个错误来处理，并进入同步丢失（Loss-of-Sync）状态。

图 1–57 显示了最后自动发送的 /K28.5/ 与第一个用户发送 /K28.5/ 之间的偶数数量的 /Dx.y/ 的一个实例。在周期 *n* + 3 中的奇数代码组边界接收到的第一个用户发送的 /K28.5/ 代码组将接收器同步状态机带进同步丢失 (Loss-of-Sync) 状态。在周期 *n* + 3 和 *n* + 4 中的第一个同步有序集 /K28.5/Dx.y/ 会减小，其它三个有序集是成功的同步所要求的。

图 1–57. GIGE 模式下的复位条件的实例



带有空闲有序集的运行差异保留

在 GIGE 模式下的空闲有序集传输过程中，发送器确保了在空闲有序集的最后存在负运行差异。所有的 /Dx.y/ 都将自动被下面其中的一个有序集替换，但除了 /K28.5/ 后面的 /D21.5/ (/C1/ 有序集的一部分) 或者 /D2.2/ (/C2/ 有序集的一部分) 以外：

- A /D5.6/ (/I1/ 有序集)，若 /K28.5/ 之前的运行差异为正
- A /D16.2/ (/I2/ 有序集)，若 /K28.5/ 之前的运行差异为负

通道同步

在 GIGE 模式下，字对齐器被配置成符合 EEE P802.3ae 标准的自动同步状态机模式。一个同步有序集是一个 /K28.5/ 代码组，后面紧跟着一个奇数数量的有效 /Dx.y/ 代码组。表 1–19 列出了用于实现 GbE 兼容同步的同步状态机参数。

表 1–19. 同步状态机参数 *(1)*

参数	值
接收到的用于实现同步的有效同步有序集的数量	3
接收到的用于丢失同步的错误代码组的数量	4
接收到的用于一个个减少错误数量的连续良好代码组的数量	4

表 1–19 注释：

(1) 字对齐器支持 GIGE 模式下的 7-bit 和 10-bit 码型长度。

时钟频率补偿

在 GIGE 模式下，速率匹配 FIFO 对上游发送器与本地接收器参考时钟之间高达 ±100 ppm（总共 200 ppm）的差异进行补偿。GIGE 协议要求发送器在数据包间隔期间发送有序集 /I1/（/K28.5/D5.6/）和 /I2/（/K28.5/D16.2/），并符合 IEEE 802.3 规范中列出的各项准则。

字对齐器中的同步状态机表明了通过驱动 rx_syncstatus 信号为高电平来获得同步之后，开始速率匹配操作。速率匹配 FIFO 会删除或插入 /I2/ 有序集的两个符号（/K28.5/ 和 /D16.2/），以防止速率匹配 FIFO 上溢或下溢。速率匹配 FIFO 能够插入或删除必要数量的 /I2/ 有序集，以执行速率匹配操作。

如果您的 FPGA 架构中有自动协商状态机，那么速率匹配 FIFO 也能够删除或插入 /C2/ 有序集的头两个字节（/K28.5/D2.2/Dx.y/Dx.y/），以防止速率匹配 FIFO 在自动协商阶段上溢或者下溢。

用于分别指示速率匹配 FIFO 删除与插入事件的状态标志信号 rx_rmfifodatadeleted 和 rx_rmfifodatainserted 将被转送到 FPGA 架构。这两个标志信号被置位两个时钟周期，用于每个删除及插入的 /I2/ 有序集。

图 1-58 显示了速率匹配 FIFO 删除的一个实例，其中的三个符号必须被删除。由于数据速率 FIFO 仅能删除 /I2/ 有序集，因此它会删除两个 /I2/ 有序集（四个符号被删除）。

图 1-58. GIGE 模式下速率匹配 FIFO 删除的实例

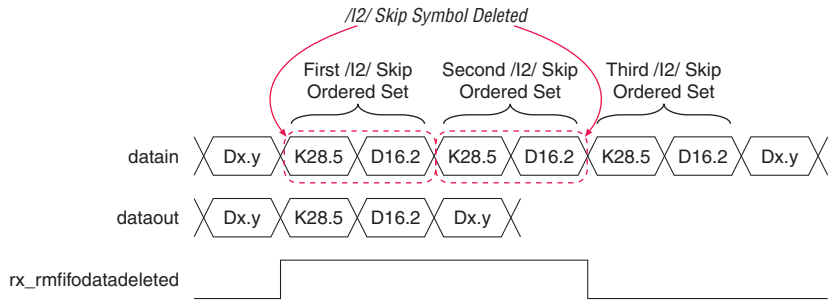
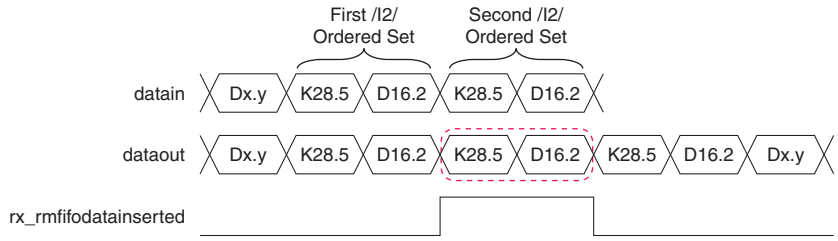


图 1–59 显示了速率匹配 FIFO 插入的一个实例，其中一个符号必须被插入。由于数据速率 FIFO 仅能插入 /I2/ 有序集，因此它会插入两个 /I2/ 有序集（两个符号被插入）。

图 1–59. GIGE 模式下的速率匹配 FIFO 插入的实例



速率匹配 FIFO 不会自动插入或删除代码组来解决 FIFO 空或满的情况。这种情况下，速率匹配 FIFO 将分别置位 rx_rmfifofull 和 rx_rmfifoempty 标志信号至少两个恢复时钟周期，来分别表明速率匹配 FIFO 满和空的情况。接下来一定要置位 rx_digitalreset 信号来对接收器 PCS 模块进行复位。

Serial RapidIO 模式

Serial RapidIO 模式对 SRIO 协议的实现提供了 non-bonded （×1）收发器通道数据通路的配置。Cyclone IV GX 收发器支持 PMA 以及下面的 PCS 功能：

- 8B/10B 编码与解码
- 通道同步状态机

Cyclone IV GX 收发器对某些 PCS 功能没有提供内置的支持，例如：伪随机空闲序列生成和 ×4 bonded 通道配置中的通道对齐功能。如果需要，您必须在用户逻辑或外部电路中实现这些功能。

RapidIO 贸易协会定义了一个高性能分组交换互联标准，用于微处理器、数字信号、通讯、网络进程、系统存储器以及外设之间传递数据和控制信息。SRIO 物理层规范定义了在每个线路速率上的单通道（×1）或 bonded 四通道（×4）中的运行在 1.25 Gbps、2.5 Gbps 和 3.125 Gbps 上的串行协议。Cyclone IV GX 收发器支持在所有三个线路速率上的单通道（×1）配置。在 Serial RapidIO 模式下配置的四个 ×1 通道能够被例化，来实现一个 non-bonded ×4 SRIO 链路。 当实现四个 ×1 SRIO 通道时，收发器不具有通道对齐或去偏移的能力。

图 1–60 显示了在 Serial RapidIO 模式下进行配置时的收发器通道数据通路和时钟。

图 1–60. 在 Serial RapidIO 模式下进行配置时的收发器通道数据通路和时钟

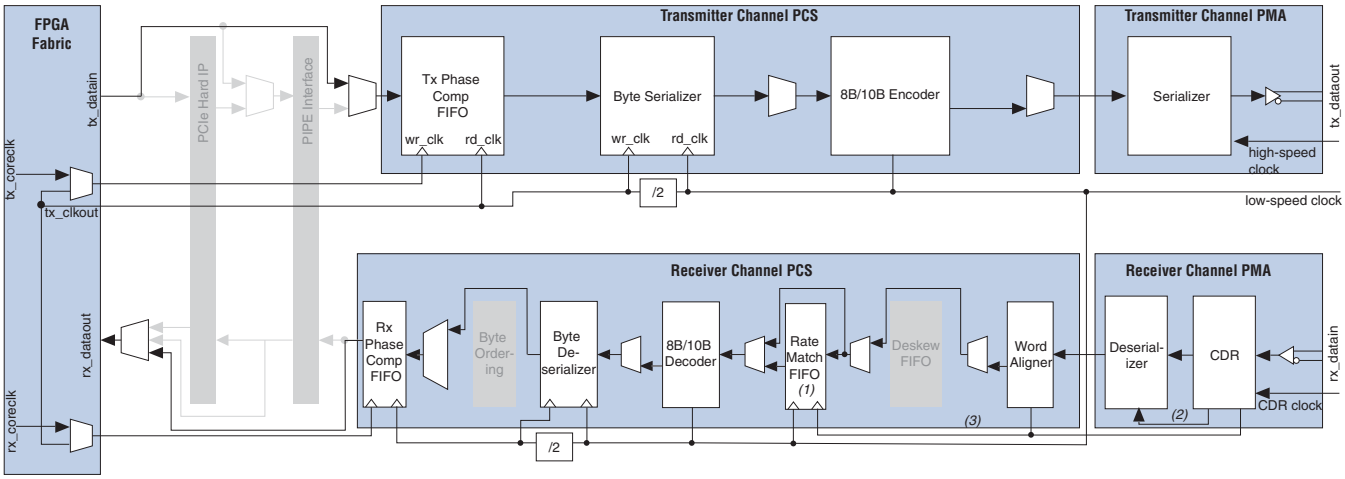
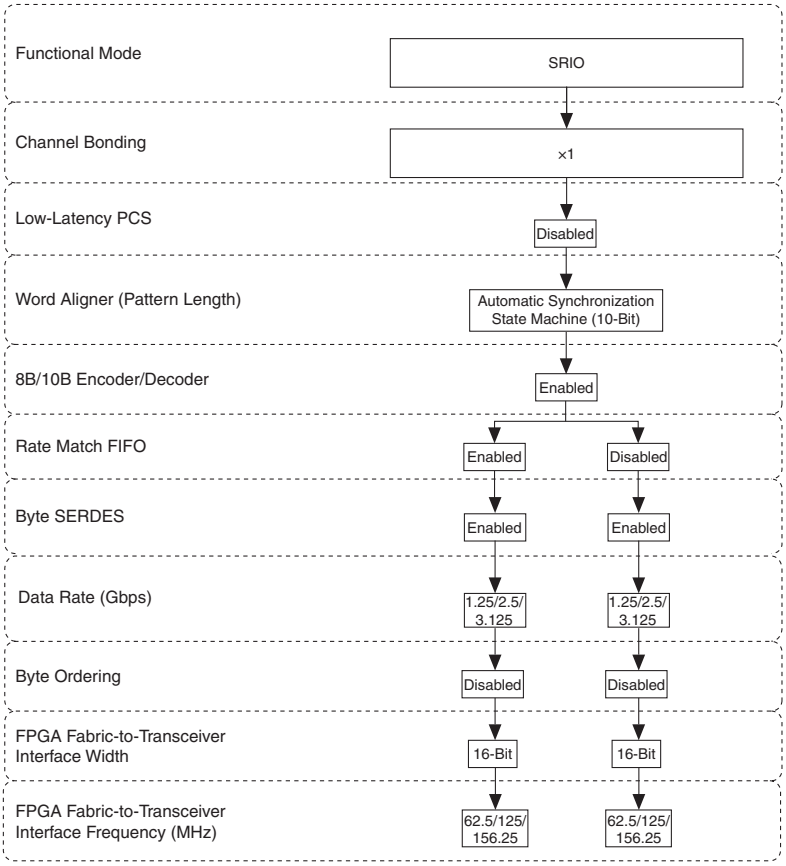


图 1–60 注释：

(1) 可选的速率匹配 FIFO。
(2) 高速恢复时钟。
(3) 低速恢复时钟。

图 1–61 显示了 Serial RapidIO 模式下的收发器配置。

图 1–61. Serial RapidIO 模式下的收发器配置



通道同步

在 Serial RapidIO 模式下，字对齐器符合 SRIO 规范 1.3，并在自动同步状态机模式中使用表 1–20 中列出的参数设置进行配置。

表 1–20. 同步状态机参数 *(1)*

参数	值
接收到的用于实现同步的有效同步 (/K28.5/) 代码组的数量	127
接收到的用于失去同步的错误代码组的数量	3
接收到的用于一个个减少错误数量的连续良好代码组的数量	255

表 1–20 注释：

(1) 字对齐器支持 SRIO 模式下的 10-bit 码型长度。

时钟频率补偿

在 Serial RapidIO 模式下，速率匹配 FIFO 对上游发送器与本地接收器参考时钟之间高达 ±100 ppm（总共 200 ppm）的差异进行补偿。

速率匹配器是 Serial RapidIO 模式下一个可选模块。然而，此模块并不完全符合 SRIO 规范。当在 ALTGX MegaWizard Plug-In Manager 中使能时，默认设置如下：

- 控制码型 1 = 带有正差异的 K28.5
- 跳过码型 1 = 带有正差异的 K29.7
- 控制码型 2 = 带有负差异的 K28.5
- 跳过码型 2 = 带有负差异的 K29.7

该功能使能时，速率匹配 FIFO 的操作在对链路进行同步后（由字对齐器上 rx_syncstatus信号的置位表明）开始。当速率匹配器接收到两个10-bit控制码型（各自的跳过码型紧跟其后）中的一个时，速率匹配器会根据需要插入或删除 10-bit 跳过码型，以防止速率匹配 FIFO 上溢或下溢。速率匹配 FIFO 最多可删除 / 插入群集中一个跳过码型。



如果 ppm 差异大于所允许的 200 ppm 的范围，那么速率匹配 FIFO 可以执行多个插入或删除操作。需要确保您系统中的 ppm 差异要小于 200 ppm。

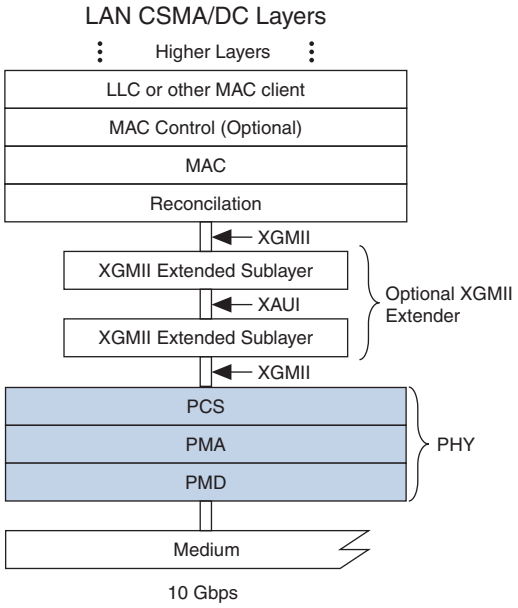
XAUI 模式

XAUI 模式对 XAUI 协议的实现提供了 bonded（×4）收发器通道数据通路的配置。XAUI 模式下配置的 Cyclone IV GX 收发器支持下列功能：

- 在发送器数据通路上的 XGMII-to-PCS 代码转换
- 在接收器数据通路上的 PCS-to-XGMII 代码转换
- 四个通道的通道去偏移
- 8B/10B 编码与解码
- IEEE P802.3ae 兼容同步状态机
- 时钟速率补偿

XAUI 是一个自管理接口， 明显地扩大了图 1–62 中所示的 10 Gbps LAN 中的协调子层与 PHY 层之间 XGMII 的物理范围。XAUI 接口由四个通道组成，每个通道均运行在具有 8B/10B 编码数据的 3.125 Gbps 下，以实现总共 10 Gbps 的实际数据吞吐量。在 XAUI 接口的发送侧，数据和控制字符在 XGMII 扩展子层被转化成 8B/10B 编码数据流。然后，每个数据流均在运行在 3.125 Gbps 的差分对中传输。 在 XAUI 接收器上，对输入数据进行解码并映射回 32-bit XGMII 格式。这提供了 XGMII 的物理范围的明显的扩展，并减少了接口管脚数量。

图 1–62. 10 Gbps LAN 层中的 XAUI



XAUI 作为一个自管理接口来运行，这是因为并没有上层支持要求对代码组同步、通道去偏移以及时钟域去耦进行处理。该功能性基于数据包间隙及空闲期间所使用的 PCS 代码组。

图 1–63 显示了 XAUI 模式下进行配置时的收发器通道数据通路与时钟。

图 1–63. XAUI 模式下进行配置时的收发器通道数据通路与时钟

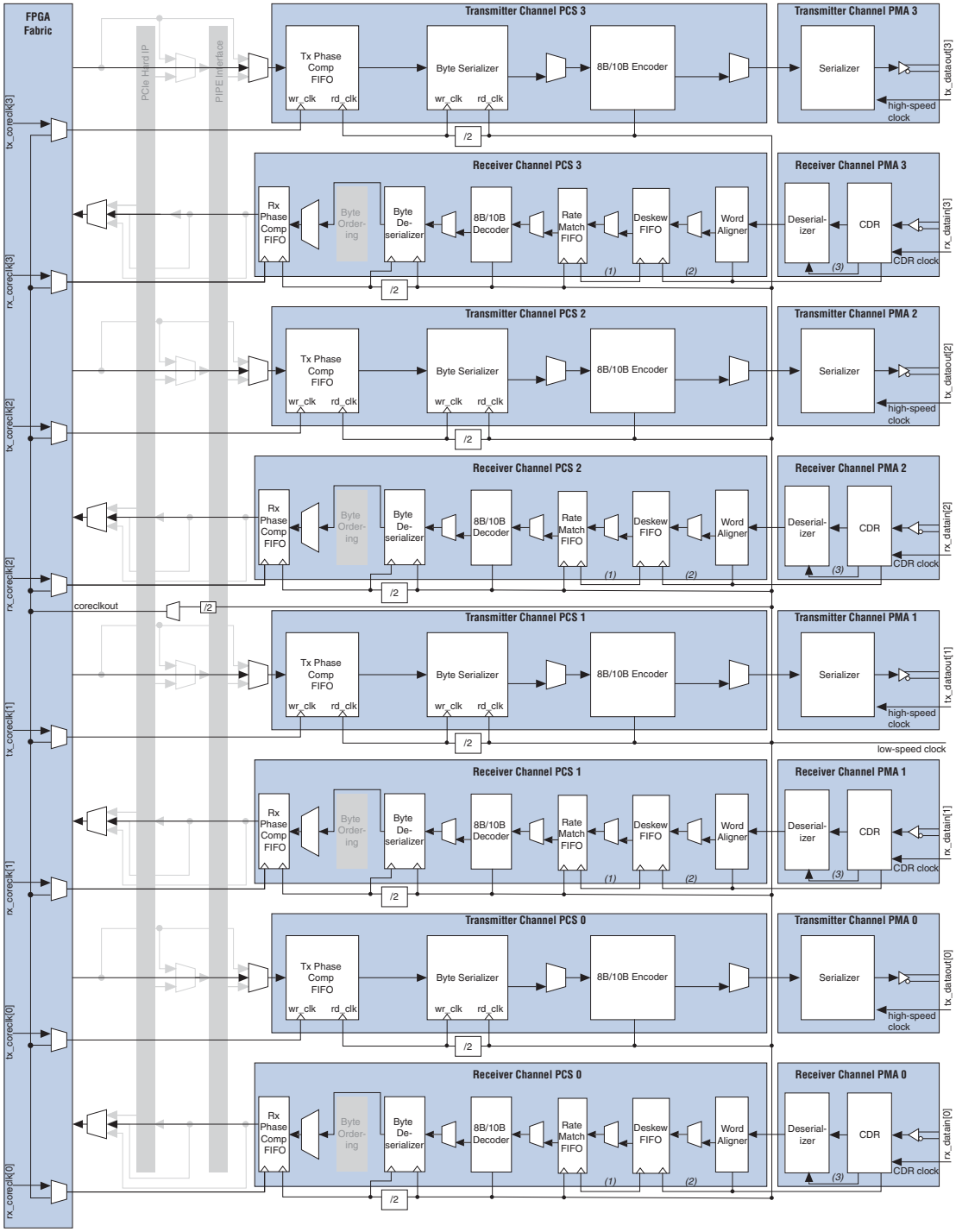
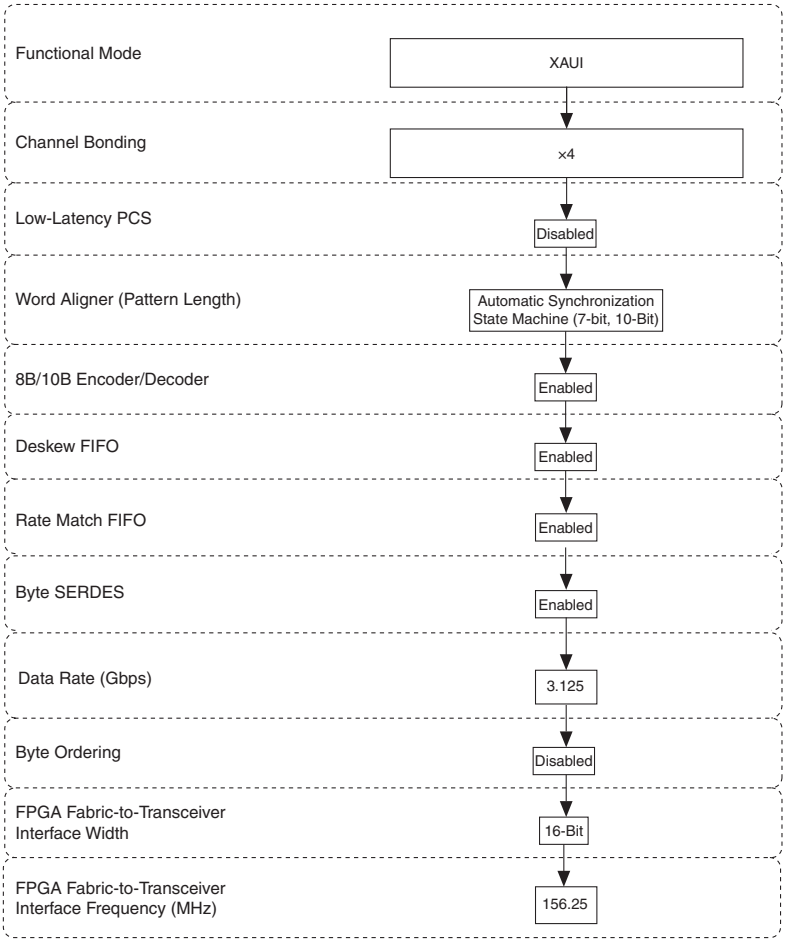


图 1–63 注释：

(1) 通道 1 低速恢复时钟。
(2) 低速恢复时钟。
(3) 高速恢复时钟。

图 1-64 显示了 XAUI 模式下的收发器配置。

图 1-64. XAUI 模式下的收发器配置



XGMII 与 PCS 代码转换

在 XAUI 模式中，发送器数据通路中的 8B/10B 编码器将各种 8-bit XGMII 代码映射到 10-bit PCS 代码组，如表 1-21 所示。

表 1-21. XGMII 字符到 PCS 代码组的映射 (1/2)

XGMII TXC *(1)*	XGMII TXD *(2)*, *(3)*	PCS 代码组	说明
0	00 through FF	Dxx,y	正常输出传输
1	07	K28.0, K28.3, or K28.5	||I|| 中的空闲
1	07	K28.5	||T|| 中的空闲
1	9C	K28.4	序列
1	FB	K27.7	开始
1	FD	K29.7	中止
1	FE	K30.7	错误

表 1-21. XGMII 字符到 PCS 代码组的映射 (2/2)

XGMII TXC (1)	XGMII TXD (2), (3)	PCS 代码组	说明
1	其它任意值	K30.7	无效的 XGMII 字符

表 1-21 注释：

(1) 等效于 tx_ctrlenable 端口。
(2) 等效于到 8B/10B 编码器的 8-bit 输入数据。
(3) XGMII TXD 列中的值为十六进制。

接收器数据通路中的 8B/10B 解码器将接收到的 PCS 代码组映射到指定的 8-bit XGMII 代码，如表 1-22 所示。

表 1-22. PCS 代码组到 XGMII 字符的映射

XGMII RXC (1)	XGMII RXD (2), (3)	PCS 代码组	说明
0	00 through FF	Dxx,y	正常数据传输
1	07	K28.0, K28.3, or K28.5	||I|| 中的空闲
1	07	K28.5	||T|| 中的空闲
1	9C	K28.4	序列
1	FB	K27.7	开始
1	FD	K29.7	中止
1	FE	K30.7	错误
1	FE	无效代码组	接收到的代码组

Notes to 表 1-22:

(1) 等效于 rx_ctrlenable 端口。
(2) 等效于到 8B/10B 编码器的 8-bit 输入数据。
(3) XGMII RXD 列中的值为十六进制。

通道去偏移

根据 XAUI 协议的要求，在数据包间隔期间，四个通道中的每一个通道中的去偏移 FIFO 都将在所有四个通道上同时接收 /A/ 代码组。物理介质和接收通道中的偏移可能会导致 /A/ 代码组被接收时彼此间没有对齐。

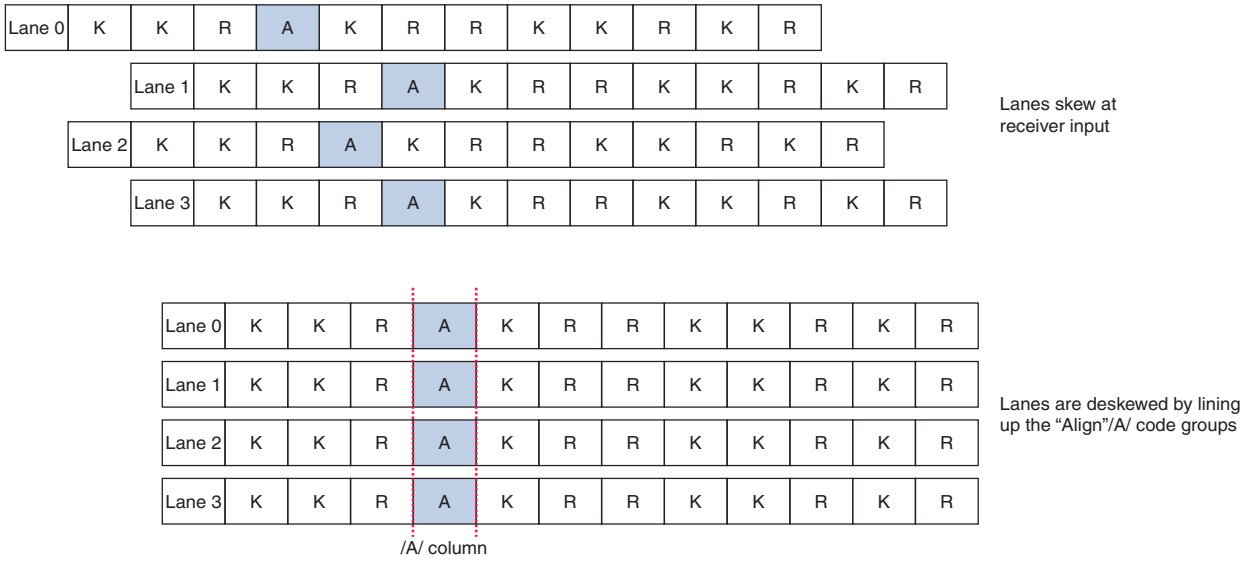
去偏移 FIFO 用于将四个通道中的 /A/ 代码组对齐，这一操作符合 IEEE P802.3ae 规范的 48 条中指定的 PCS 去偏移状态机图表。每个通道中的字对齐器表明在所有四个通道上实现链路同步后，去偏移操作开始。以下是去偏移 FIFO 操作：

- 直到接收到第一个 /A/ 代码组，每个通道中的去偏移 FIFO 读写指示器才会递增。
- 接收到第一个 /A/ 代码组后，写指示器对于每个接收到的字开始递增，但读指示器会停止。
- 所有四个通道在前后不超过 10 个恢复时钟周期中接收到 /A/ 代码组后，所有四个去偏移 FIFO 被同时释放，并将所有四个通道的的 /A/ 代码组对齐成一列。

- 如果第一个 ||A|| 列对齐后，在四个通道的去偏移 FIFO 的输出端观测到其它三个对齐的 ||A|| 列，那么就获得了通道对齐。
- 通道对齐由 rx_channelaligned 信号的置位来表明。
- 获得通道对齐后，如果在所有四个通道中（彼此之间没有对齐的 ||A|| 列）的去偏移 FIFO 的输出上观测到四个未对齐的 ||A|| 列，那么 rx_channelaligned 信号将被置低，表明通道对齐的丢失。

图 1-65 显示了接收器输入端上的通道偏移，以及去偏移 FIFO 如何使用 /A/ 代码组来对齐通道。

图 1-65. 去偏移 FIFO - 接收器输入端上的通道偏移



通道同步

在 XAUI 模式下，字对齐器被配置成自动同步状态机模式，此模式符合 IEEE P802.3ae 规范的 48 条中指定的 PCS 同步状态图表。表 1-23 列出了用于实现 XAUI 模式下通道同步的同步状态机参数。

表 1-23. 同步状态机参数 *(1)*

参数	值
接收到的用于实现同步的有效同步 (/K28.5/) 代码组的数量	4
接收到的用于失去同步的错误代码组的数量	4
接收到的用于一个个减少错误数量的连续良好代码组的数量	4

表 1-23 注释：

(1) 字对齐器支持 SRIO 模式下的 7-bit 和 10-bit 码型长度。

时钟速率补偿

在 XAUI 模式下，速率匹配 FIFO 对上游发送器与本地接收器参考时钟之间高达 ±100 ppm（总共 200 ppm）的差异进行补偿。XAUI 协议要求发送器在数据包间隔期间同时发送所有四个通道（表示为 ||R|| 列）上的 /R/ (/K28.0/) 代码组，并符合 IEEE P802.3ae 规范中列出的各项准则。

rx_syncstatus 和 rx_channelaligned 置位后，速率匹配操作开始。rx_syncstatus 信号来自字对齐器，表明在所有四个通道上获得同步，而 rx_channelaligned 信号来自去偏移 FIFO，表明通道对齐。

速率匹配 FIFO 查找 ||R|| 列（所有四个通道上的同时 /R/ 代码组），并且删除或插入 ||R|| 列来防止速率匹配 FIFO 上溢或下溢。速率匹配 FIFO 能够插入或删除必要数量的 ||R|| 列，以执行速率匹配操作。

分别用于表明速率匹配 FIFO 删除和插入事件的 rx_rmfifodatadeleted 和 rx_rmfifodatainserted 标志信号被转送至 FPGA 架构。如果删除一个 ||R|| 列，那么四个中的每个通道上的 rx_rmfifodeleted 标志信号将变为每个删除的 ||R|| 列的一个时钟周期的高电平。如果插入一个 ||R|| 列，那么四个中的每个通道上的 rx_rmfifoinserted 标志信号将变为每个插入 ||R|| 列一个时钟周期的高电平。

速率匹配 FIFO 不会自动插入或删除代码组来处理 FIFO 空或满的情况。这种情况下，速率匹配 FIFO 将置位 rx_rmfifofull 和 rx_rmfifoempty 标志信号至少三个恢复时钟周期，来分别表明速率匹配 FIFO 满和空的情况。接下来，一定要置位 rx_digitalreset 信号来对接收器 PCS 模块进行复位。

确定性延迟模式

确定性延迟模式支持收发器配置功能，该功能支持数据通路中的无延迟不确定性，并对延迟变化进行严格地控制。此模式支持 non-bonded（×1）和 bonded（×4）通道配置，并且通常用于支持对数据通路上精确的延迟测量方法有要求的的 CPRI 以及 OBSAI 协议。确定性延迟模式下配置的 Cyclone IV GX 收发器支持下列特性：

- 寄存的模式相位补偿 FIFO
- 接收 bit-slip 指示
- 发送 bit-slip 控制
- PLL PFD 反馈

图 1–66 显示了在确定性延迟模式下进行配置时的收发器通道数据通路及时钟。

图 1–66. 在确定性延迟模式下进行配置时的收发器通道数据通路及时钟

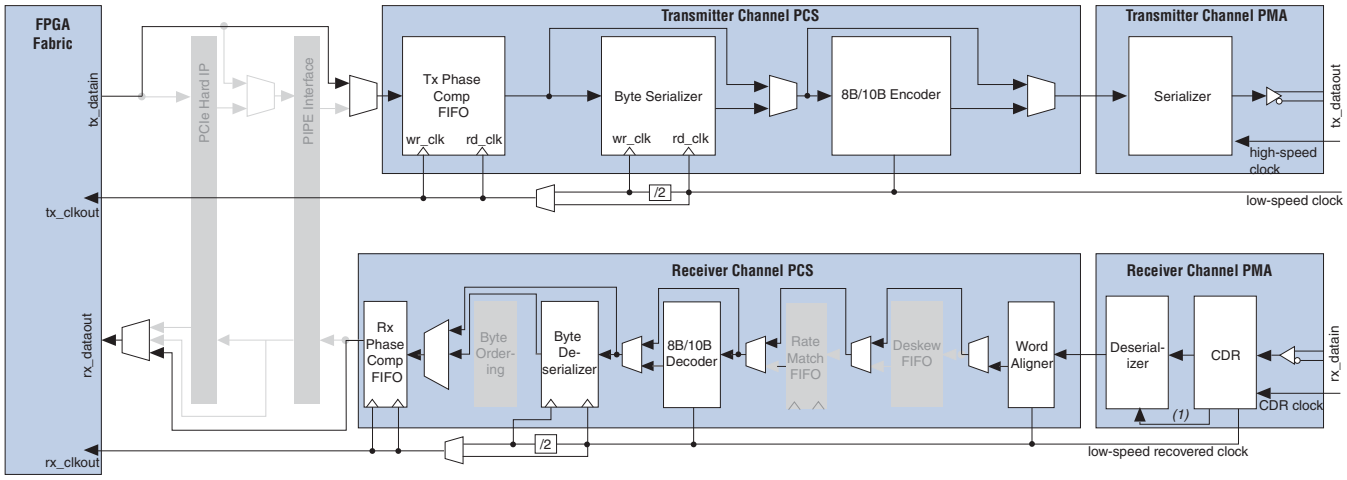
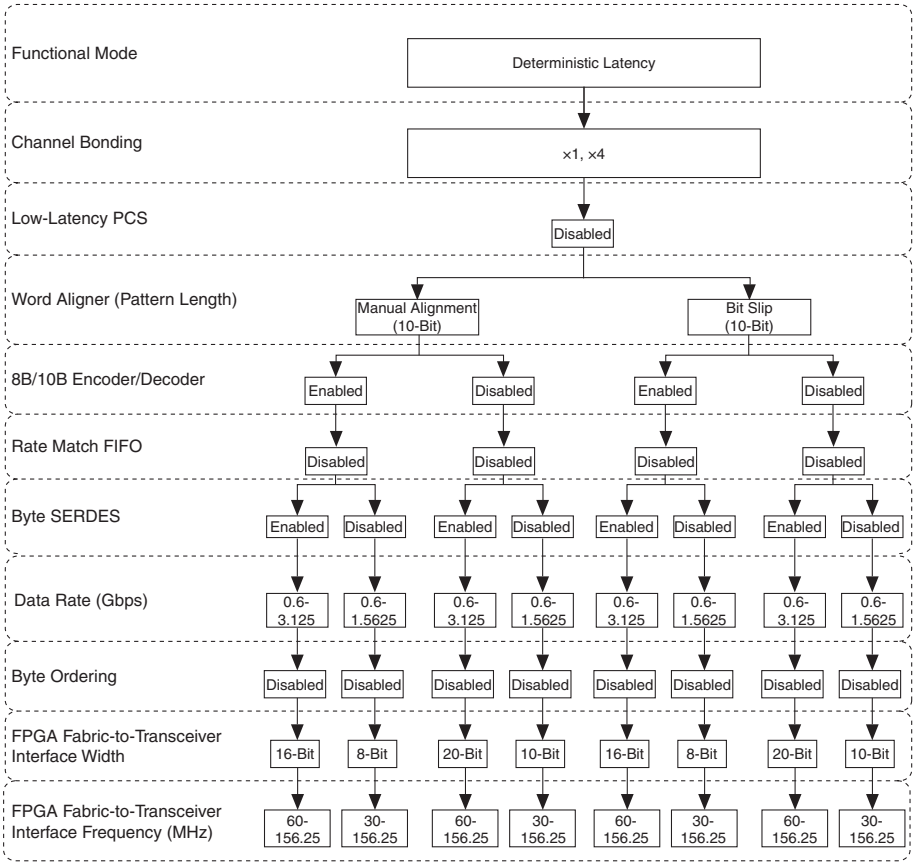


图 1–66 注释：

(1) 高速恢复时钟。

图 1-67 显示了确定性延迟模式下的收发器配置。

图 1-67. 确定性延迟模式下的收发器配置



CPRI 以及 OBSAI 协议均用于定义串行接口，在采用光纤的无线电基站系统中连接基站组件（特别是通道卡）与远程射频头（特别是射频卡）。这两个协议要求单跳与多跳连接的回路延时测量精度保持在 ± 16.276 ns 以内。Cyclone IV GX 收发器通过采用确定性延迟模式来支持下面的 CPRI 和 OBSAI 线路速率：

- CPRI —614.4 Mbps、1.2288 Gbps、2.4576 Gbps 和 3.072 Gbps
- OBSAI—768 Mbps、1.536 Gbps 和 3.072 Gbps

欲了解关于确定性延迟实现的详细信息，请参阅 *AN 610: Implementing Deterministic Latency for CPRI and OBSAI Protocols in Stratix IV, HardCopy IV, Arria II GX, and Cyclone IV Devices*。

寄存模式相位补偿 FIFO

在确定性延迟模式中，RX 相位补偿 FIFO 被设置成寄存模式，而 TX 相位补偿 FIFO 支持可选的寄存模式。当设置成寄存模式时，相位补偿 FIFO 用作寄存器，并通过 FIFO 消除延迟的不确定性。

接收 Bit-Slip 指示

rx_bitslipboundaryselectout[4..0] 信号提供了在手动对齐模式下实现同步的字对齐器中滑掉的 bit 数量。例如，如果一个 bit 在字对齐器中滑掉以实现同步，那么 rx_bitslipboundaryselectout[4..0] 信号上的输出将显示值 1（5'00001）。由于字对齐器中滑掉的 bit 数量在每个同步实现中各不相同，因此信号上的信息将有助于通过接收器的延迟计算。

发送 Bit-Slip 控制

发送器数据通路支持 bit-slip 控制，通过具有 tx_bitslipboundaryselect[4..0] 端口的 PCS 中一组指定的 bit 来推迟串行数据传输。通过 8- 或 10-bit 通道宽度，发送器支持 0 到 9 bit 滑掉的数据。当根据 rx_bitslipboundaryselectout[4..0] 信号上的值来提供 tx_bitslipboundaryselect[4..0] 端口上的相应值时，此功能通过对字对齐器上的延迟变化进行补偿，从而帮助维持一个固定的回路延时。

PLL PFD 反馈

在确定性延迟模式下，当发送器输入参考时钟频率与低速时钟相同时，对收发器提供时钟的 PLL 支持 PFD 反馈功能。该功能使能后，PLL 将对相对于输入参考的低速时钟（×1 配置中的 tx_clkout 或者 ×4 配置中的 coreclkout）路径中的延时不确定性进行补偿，发送器数据通路延迟相对于发送器输入参考时钟是固定的。

SDI 模式

SDI 模式对 HD 和 3G-SDI 协议实现提供了 non-bonded （×1）收发器通道数据通路配置功能。

SDI 模式下配置的 Cyclone IV GX 收发器支持串化及解串功能，此功能支持表 1-24 中所列出的 SDI 数据速率。

表 1-24. 所支持的 SDI 数据速率

SMPTE 标准 *(1)*	配置	速率 (Mbps)	FPGA 架构到收发器的宽度	字节 SERDES 的使用
292M	高清晰度 (HD)	1483.5	20-bit	使用
			10-bit	未使用
		1485	20-bit	使用
			10-bit	未使用
424M	第三代 (3G)	2967	20-bit	使用
		2970		

表 1-24 注释：

(1) 电影与电视工程师协会 (SMPTE)。

SDI 功能，例如：加扰 / 解扰、图像定位以及循环冗余校验 (CRC) 都必须在用户逻辑中实现。

图 1-68 显示了 SDI 模式下进行配置时的收发器通道数据通路及时钟。

图 1-68. SDI 模式下进行配置时的收发器通道数据通路及时钟

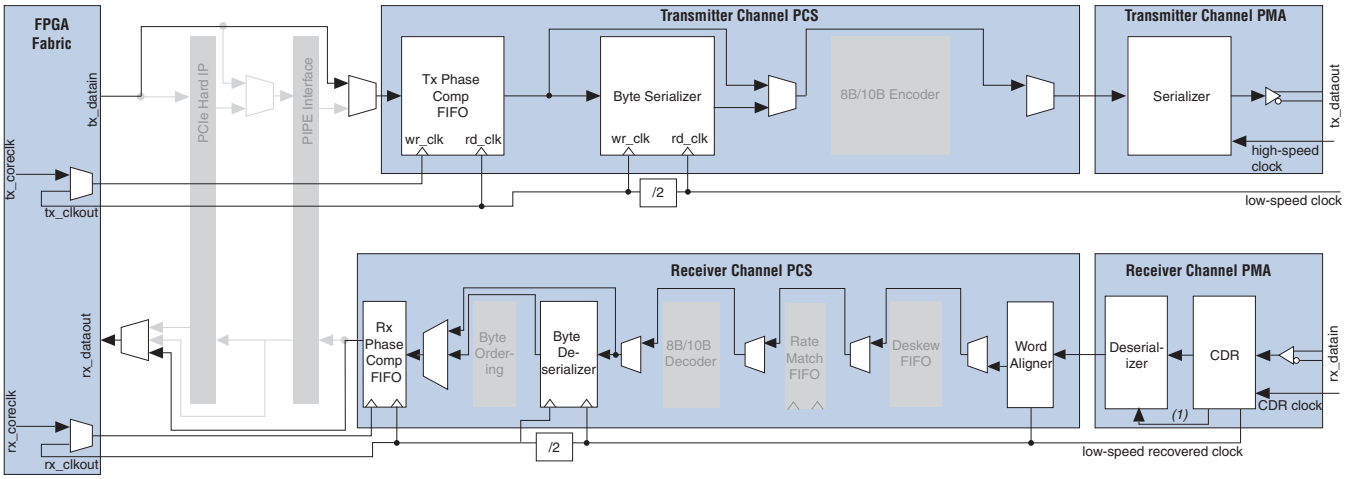
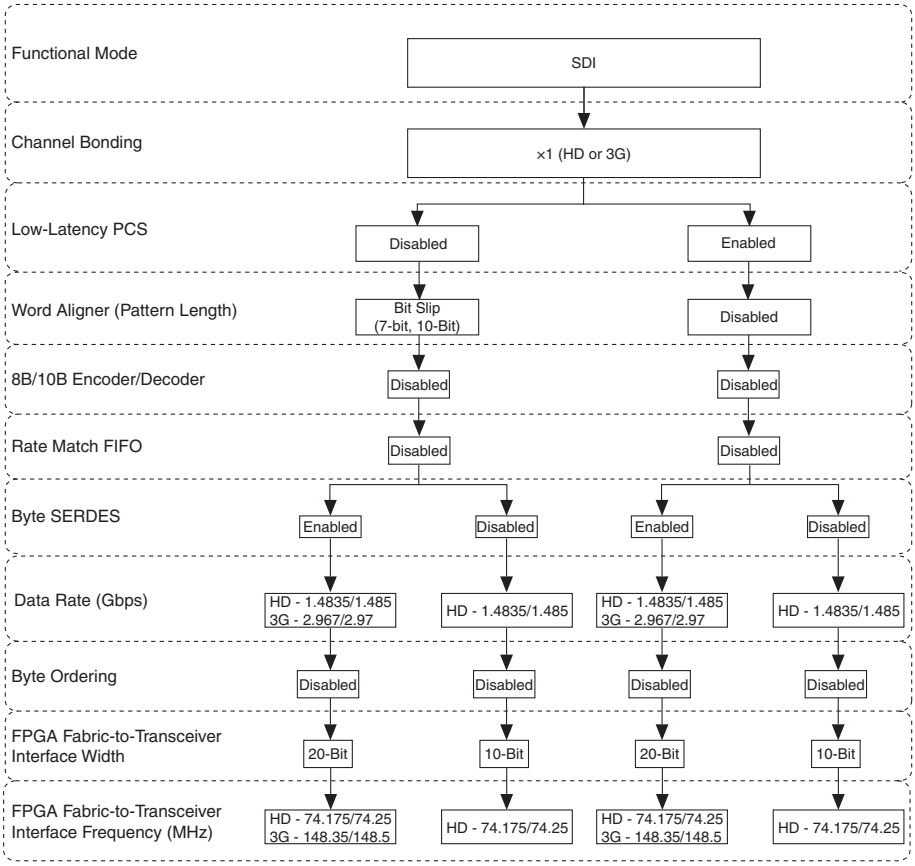


图 1-68 注释：

(1) 高速恢复时钟。

图 1–69 显示了 SDI 模式下的收发器配置。

图 1–69. SDI 模式下的收发器配置



Altera 建议在低延迟 PCS 未被使能的配置中，将 rx_bitslip 端口驱动为低电平。在 SDI 系统中，解扰后会出现字对齐和图像定位，这是在用户逻辑中实现的。 因此，字对齐是没有用的，保持 rx_bitslip 端口为低电平可以避免字对齐器在已接收的数据流中插入 bit。

回环

Cyclone IV GX 器件提供三个回环选项，使您能够验证收发器通道中不同功能模块的操作。可使用下面的回环模式：

- 反向并行回环（仅适用于 PIPE 模式）
- 串行回环（适用于除了 PIPE 的所有模式）
- 反向串行回环（适用于除了 XAUI 的所有模式）

在每个回环模式中，如果缓冲器有效，则所有的发送缓冲器及接收缓冲器设置均可用，除非另有说明。

反向并行回环

反向并行回环选项仅适用于 PIPE 模式。在此模式下，接收到的串行数据在回送至发送串行器及通过 TX 缓冲器发送出去之前，将遍历接收器 CDR、解串器、字对齐器以及速率匹配 FIFO，如图 1–70 所示。 接收到的数据也可用于 FPGA 架构。这一回环模式兼容于 *PHY Interface for the PCI Express Architecture* 规范的 2.00 版本。

欲使能反向并行回环模式，需要在 P0 电源状态中置位 tx_detectrxloopback 端口。

图 1–70. PIPE 反向并行回环路径 *(1)*

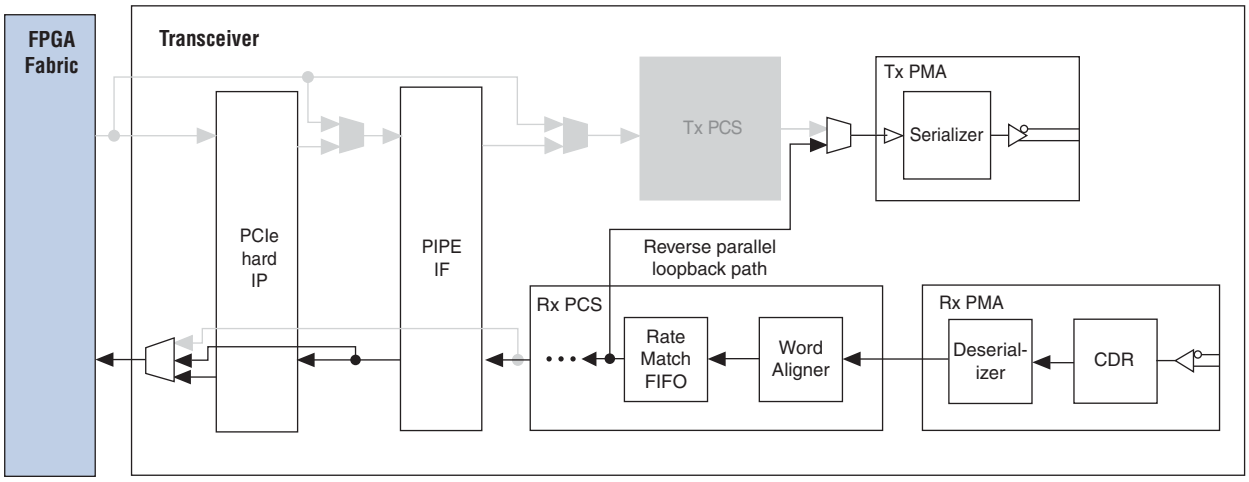


图 1–70 注释：

(1) 灰色区域在该模式下不可用。

串行回环

串行回环选项可用于除了 PIPE 的所用功能模式。在此模式中，FPGA 架构中的数据将遍历发送通道，并回送至接收通道，以及旁路接收缓冲器，如图 1–71 所示。接收的数据可用于 FPGA 逻辑来实现验证。接收器输入缓冲器在此模式中是无效的。通过使用该选项，您可以查看发送和接收通道中所有使能的 PCS 和 PMA 功能模块的操作情况。

发送通道将数据发送至串行输出端口以及接收通道。串行端口上的差分输出电压基于所选择的 V_{OD} 设置。数据被回送至接收器 CDR，并且通过不同时钟域被重新延时。您必须对字对齐器提供一个对齐码型，以使能接收通道来检索字节边界。

通过执行动态通道重配置，串行回环模式在用户模式期间仅能够被动态地使能或禁用。

图 1-71. 串行回环路径 *(1)*

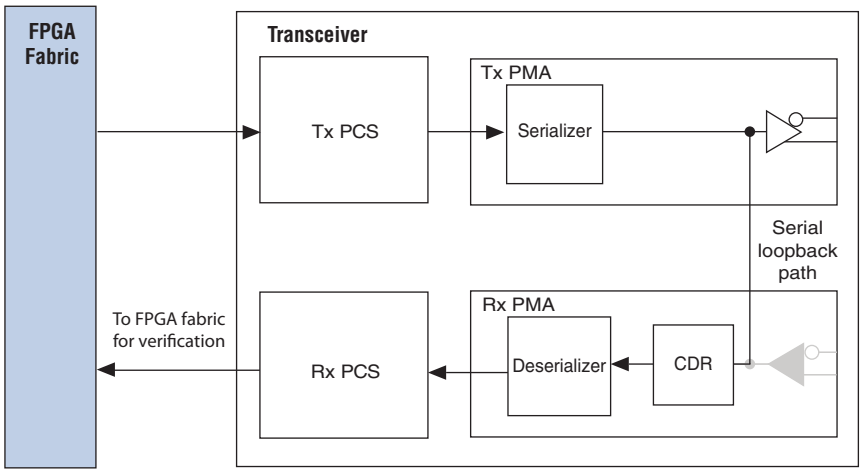


图 1-71 注释：

(1) 灰色区域在该模式中不可用。

反向串行回环

反向串行回环模式适用于除了 XAUI 的所有功能模式。从接收器到发送器的两个反向串行回环选项是：

- Pre-CDR 模式，通过使用 **Reverse serial loopback (pre-CDR)** 选项，将通过 RX 输入缓冲器接收到的数据回送至 TX 输出缓冲器。
- Post-CDR 模式，通过使用 **Reverse serial loopback** 选项，将通过 RX 输入缓冲器的接收器 CDR 重新延时的数据回送至 TX 输出缓冲器。

接收的数据也可用于 FPGA 逻辑。在发送通道中，只有发送缓冲器是有效的。

发送器预加重功能在反向串行回环 (pre-CDR) 模式中是不可用的。

通过执行动态通道重配置，反向串行回环模式在用户模式器件仅能够被动态地使能或禁用。

图 1-72 显示了反向串行回环模式下的两个路径。

图 1-72. 反向串行回环 *(1)*

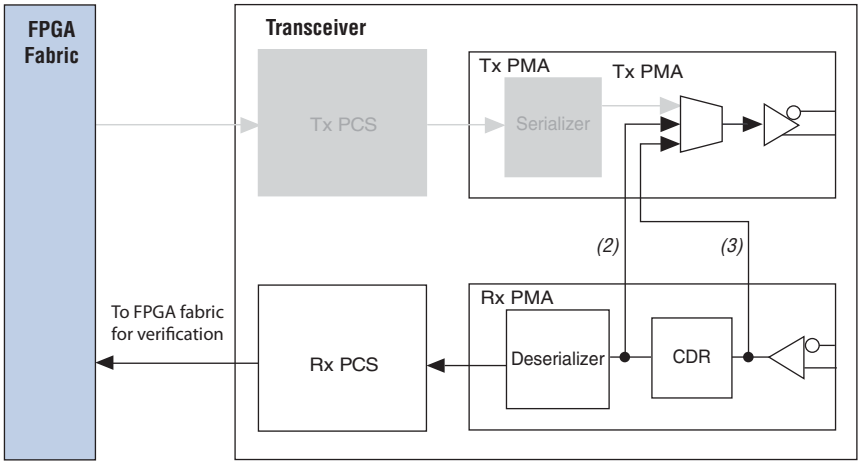


图 1-72 注释：

(1) 灰色区域在该模式下不可用。
(2) Post-CDR 反向串行回环路径。
(3) Pre-CDR 反向串行回环路径。

自测试模式

Cyclone IV GX 器件中的每个收发器通道均包含用于码型生成器及验证器的模块。 通过使用这些内置的功能，使您能够在不需要用户逻辑的情况下对收发器通道中的功能模块的功能性进行验证。自测试功能作为用于调试收发器通道的可选机制提供给用户使用。

所支持的码型生成器及验证器有三种类型：

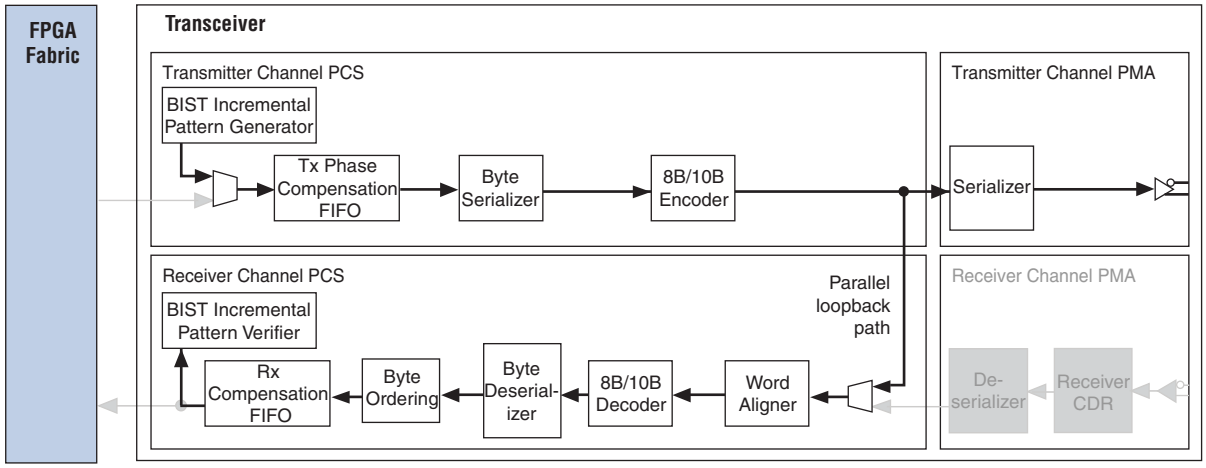
- 内置自测试 (BIST) 增量数据生成器和验证器 — 通过测试完整的发送器 PCS 和接收器 PCS 数据通路，来发现 PMA 模块前面的并行回环 bit 错误。
- 伪随机二进制序列 (PRBS) 生成器和验证器 —PRBS 生成器和验证器连接到 PMA 模块中的串化器及解串器。使用 PRBS 数据流的好处在于：随机性会产生一种强调传输介质的环境。通过采用时间间隔分析仪、误码率测试仪或者示波器，您可以观测到数据流中的随机抖动以及确定性抖动。
- 高频和低频码型生成器 — 高频码型生成交替的 1 和 0，低频码型生成五个 1 和五个 0。这些码型没有相对应的验证器。

仅在 Basic 模式下支持自测试功能。

BIST

图 1–73 显示了 BIST 增量数据码型测试模式的数据通路。BIST 增量数据生成器和验证器位于收发器通道的 PCS 模块中，靠近 FPGA 架构。

图 1–73. BIST 增量码型测试模式的数据通路



增量码型生成器和验证器都是 16-bit 宽。生成的码型从 00 递增至 FF，并且遍历 TX PCS 模块，并行地回送至 RX PCS 模块并由验证器进行检查。 该码型也可作为 tx_dataout 端口上的串行数据来使用。 tx_dataout 端口上发送的串行数据的差分输出电压基于所选择的 V_{OD} 设置。增量数据码型不适用于接收器上用于验证的 FPGA 逻辑。

下面是该模式下的收发器通道配置的设置：

- PCS-FPGA 架构通道宽：16-bit
- 8B/10B 模块： 已使能
- Byte 串化器 / 解串器：已使能
- 字对齐器：自动同步状态机模式
- 字节排序：已使能

rx_bisterr 和 rx_bistdone 信号表明了验证器的状态。当检测到数据中的一个错误时，rx_bisterr 信号被置位并保持在高电平。当验证器接收到一个全周期的增量码型或者检测到接收器数据中的错误时， rx_bistdone 信号被置位并保持在高电平。 您可以通过分别置位 tx_digitalreset 和 rx_digitalreset 端口，来对增量码型生成器和验证器进行复位。

PRBS

图 1–74 显示了 PRBS 的数据通路，高频和低频码型测试模式。码型生成器位于 TX PCS 中，在串化器的前面。PRBS 码型验证器位于 RX PCS 中，在字对齐器后面。

图 1–74. PRBS 码型测试模式的数据通路

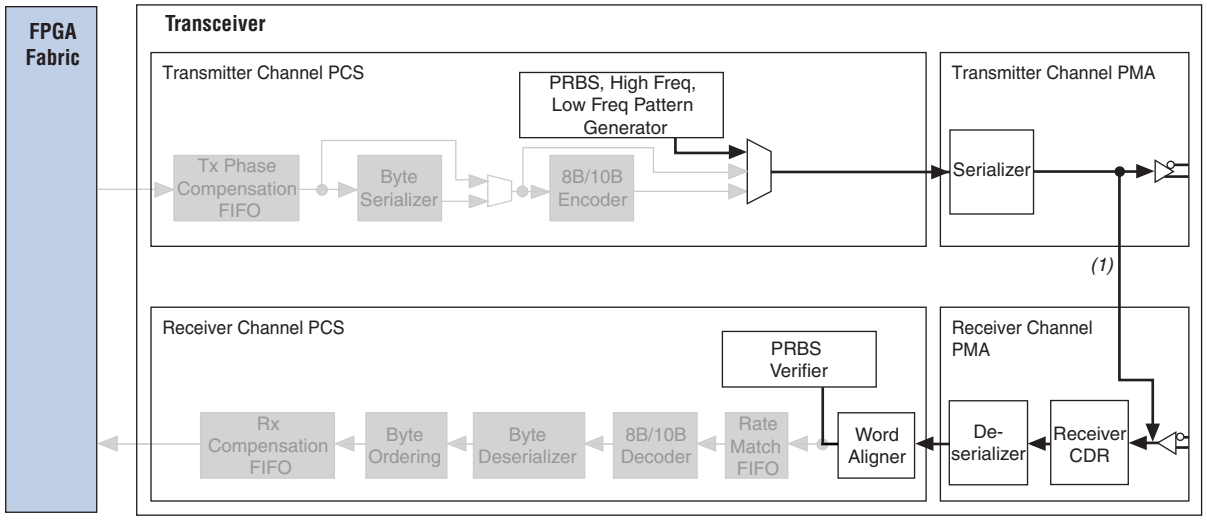


图 1–74 注释：

(1) 串行回环路径是可选的，使能后可使 PRBS 验证器检查 PRBS 码型

表 1–25 列出了所支持的 PRBS、高频和低频码型以及相应的通道设置。PRBS 码型在完成一个迭代后重复。重复码型前，一个 PRBS X 码型发送的比特数是 $2^{(X-1)}$ bit。

表 1–25. PRBS、高频和低频码型以及通道设置

码型	多项式	8-bit 通道宽				10-bit 通道宽			
		8-bit 通道宽 *(1)*	字对齐码型	F324 及更小器件封装的最大数据速率 (Gbps)	F484 及更大器件封装的最大数据速率 (Gbps)	10-bit 通道宽 *(1)*	字对齐码型	F324 及更小器件封装的最大数据速率 (Gbps)	F484 及更大器件封装的最大数据速率 (Gbps)
PRBS 7	$X^7 + X^6 + 1$	Y	16’h3040	2.0	2.5	N	—	—	—
PRBS 8	$X^8 + X^7 + 1$	Y	16’hFF5A	2.0	2.5	N	—	—	—
PRBS 10	$X^{10} + X^7 + 1$	N	—	—	—	Y	10’h3FF	2.5	3.125
PRBS 23	$X^{23} + X^{18} + 1$	Y	16’hFFFF	2.0	2.5	N	—	—	—
高频 *(2)*	1010101010	Y	—	2.0	2.5	Y	—	2.5	3.125
低频 *(2)*	1111100000	N	—	—	—	Y	—	2.5	3.125

表 1–25 注释：

(1) 通道宽是指 ALTGX MegaWizard Plug-In Manager 的 **General** 设置框中的 **What is the channel width?** 选项。根据不同的选择，将生成 8 或 10 bit 宽的码型，由 **Yes (Y)** 或 **No (N)** 来表明。

(2) 验证器及相应的 rx_bistdone 与 rx_bisterr 信号不适用于指定的码型。

通过使能串行回环选项，将生成的 PRBS 码型回送（loop）至接收通道，以使验证器检查 PRBS 码型。接收到 PRBS 码型后，rx_bisterr 和 rx_bistdone 信号将指明验证器的状态。字对齐器恢复字边界后，当验证器接收到一个完整的码型周期时， rx_bistdone 信号将被驱动为高电平，并保持在置位状态，直到使用 rx_digitalreset 端口将其复位。 rx_bistdone 置位后，当检测到数据中的错误时， rx_bisterr 信号将被置位至少三个 rx_clkout 周期，如果接下来的 PRBS 序列没有包含错误，那么 rx_bisterr 信号将被置低。您可以通过置位 tx_digitalreset 和 rx_digitalreset 端口，来分别对 PRBS 码型生成器和验证器进行复位。

收发器顶层端口列表

表 1–26 到表 1–29 提供了使用 ALTGX 宏功能对收发器进行例化时的可用端口的描述信息。ALTGX 宏功能要求相对少量的信号。也有大量可选的信号，通过提供关于收发器状态的信息来帮助调试。

表 1-26. Cyclone IV GX ALTGX 宏功能中的发送器端口

模块	端口名	输入 / 输出	时钟域	说明
TX PCS	tx_datain	输入	同步到 tx_clkout（non-bonded 模式）或者 coreclkout（bonded模式）	从 FPGA 架构到发送器的并行数据输入。 ■ 总线宽度取决于与每个实例通道数相乘的通道宽。
	tx_clkout	输出	时钟信号	non-bonded 模式中的 FPGA 架构发送器接口时钟 ■ 每个通道均有一个 tx_clkout 信号，用于对 FPGA 架构到发送器的数据（tx_datain）提供时钟。
	tx_coreclk	输入	时钟信号	用于 TX 相位补偿 FIFO 的可选写时钟端口。
	tx_phase_comp_fifo_error	输出	同步到 tx_clkout（non-bonded 模式）或者 coreclkout（bonded模式）	TX 相位补偿 FIFO 满或空指示器。 ■ 一个高电平表明了 FIFO 是满的或者是空的。
	tx_ctrlenable	输入	同步到 tx_clkout（non-bonded 模式）或者 coreclkout（bonded模式）	8B/10B 编码器控制或数据标识符。该信号遍历 TX 相位补偿 FIFO。 ■ 一个高电平对作为 /Kx.y/ 控制代码组的数据进行编码。 ■ 一个低电平对作为 /Dx.y/ 数据代码组的数据进行编码。
	tx_forcedisp	输入	同步到 tx_clkout（non-bonded 模式）或者 coreclkout（bonded模式）	8B/10B 编码器强制差异控制。该信号遍历 TX 相位补偿 FIFO。 ■ 根据 tx_dispval 信号电平，一个高电平强制编码成正或负差异。 ■ 根据 8B/10BA 运行差异准则，一个低电平支持默认编码。
	tx_dispval	输入	同步到 tx_clkout（non-bonded 模式）或者 coreclkout（bonded模式）	8B/10B 编码器强制差异值。该信号遍历 TX 相位补偿 FIFO。 ■ 当 tx_forcedisp 端口被拉高时，一个高电平强制对负差异代码组进行编码。 ■ 当 tx_forcedisp 端口被拉高时，一个低电平强制对正差异代码组进行编码。
	tx_invpolarity	输入	异步信号。最小脉冲宽为两个并行时钟周期。	发送器极性倒转控制。 ■ 一个高电平对串化器的8或10-bit输入数据的每一位的极性进行倒转。
	tx_bitslipboundaryselect	输入	异步信号。	控制串化器前滑掉的 bit 数量。 ■ 有效值从 0 到 9
TX PMA	tx_dataout	输出	—	发送器串行数据输出信号。
	tx_forceelecidle	输入	异步信号。	强制发送缓冲器达到 PIPE 电路空闲信号电平。欲了解关于 PIPE 2.00 规范中定义的等同的信号，请参考 第 1-54 页表 1-15.

表 1-27. Cyclone IV GX ALTGX 宏功能中的接收器端口 (1/3)

模块	端口名	输入 / 输出	时钟域	说明
RX PCS	rx_syncstatus	输出	同步到 tx_clkout（带有速率匹配 FIFO 的 non-bonded 模式）、rx_clkout（不带有速率匹配 FIFO 的 non-bonded 模式）、coreclkout (bonded 模式）或者 rx_coreclk（当使用可选的 rx_coreclk 输入时）	字对齐同步状态指示器。该信号遍历 RX 相位补偿 FIFO。 ■ 在 bit-slip 模式中不可用
	rx_patterndetect	输出	同步到 tx_clkout（带有速率匹配 FIFO 的 non-bonded 模式）、rx_clkout（不带有速率匹配 FIFO 的 non-bonded 模式）、coreclkout (bonded 模式）或者 rx_coreclk（当使用可选的 rx_coreclk 输入时）	当字对齐逻辑在当前字边界中检测到对齐码型时指示。该信号遍历 RX 相位补偿 FIFO。
	rx_bitslip	输入	异步信号。最小脉冲宽为两个并行时钟周期。	Bit-slip 控制用于 bit-slip 模式下配置的字对齐器。 ■ 在每一个上升沿，字对齐器都会将一个 bit 滑入接收到的数据流中，有效地对字边界位移一个 bit。
	rx_rlv	输出	异步信号。在没有字节串化器的配置中，被驱动最少两个恢复时钟周期。在有字节串化器的配置中，被驱动最少三个恢复时钟周期。	运行长度违规指示器。 ■ 一个高脉冲表明了已接收的数据流中连续1或0的数量超过了设置的运行长度违规阈值。
	rx_invpolarity	输入	异步信号。最小脉冲宽为两个并行时钟周期。	通用接收器极性倒转控制。 ■ 一个高电平对字对齐器的 8 或 10-bit 数据的每一位的极性进行倒转。
	rx_enapatternalign	输入	异步信号。	对手动对齐模式下配置的字对齐器操作进行控制。
	rx_rmfifodatainserted	输出	同步到 tx_clkout (non-bonded 模式）或者 coreclkout (bonded 模式）	速率匹配 FIFO 插入状态指示器。 ■ 一个高电平表明插入了速率匹配码型字节以对上游发送器与本地接收器之间参考时钟频率上的 ppm 差异进行补偿。
	rx_rmfifodatadeleted	输出	同步到 tx_clkout (non-bonded 模式）或者 coreclkout (bonded 模式）	速率匹配 FIFO 删除状态指示器。 ■ 一个高电平表明删除了速率匹配码型字节以对上游发送器与本地接收器之间参考时钟频率上的 ppm 差异进行补偿。

表 1-27. Cyclone IV GX ALTGX 宏功能中的接收器端口 (2/3)

模块	端口名	输入 / 输出	时钟域	说明
RX PCS	rx_rmfifofull	输出	同步到 tx_clkout (non-bonded 模式) 或者 coreclkout (bonded 模式)	速率匹配 FIFO 满状态指示器。 ■ 一个高电平表明速率匹配 FIFO 是满的。 ■ 在没有字节串化器的配置中，驱动至少两个串行时钟周期。在有字节串化器的配置中，驱动至少三个恢复时钟周期。
	rx_rmfifoempty	输出	同步到 tx_clkout (non-bonded 模式) 或者 coreclkout (bonded 模式)	速率匹配 FIFO 空状态指示器。 ■ 一个高电平表明速率匹配 FIFO 是空的。 ■ 在没有字节串化器的配置中，驱动至少两个串行时钟周期。在有字节串化器的配置中，驱动至少三个恢复时钟周期。
	rx_ctrldetect	输出	同步到 tx_clkout (non-bonded 模式) 或者 coreclkout (bonded 模式)	8B/10B 解码器控制或数据标识符。 ■ 一个高电平表明接收到的代码组是一个 /Kx.y/ 控制代码组。 ■ 一个低电平表明接收到的代码组是一个 /Dx.y/ 控制代码组。
	rx_errdetect	输出	同步到 tx_clkout (non-bonded 模式) 或者 coreclkout (bonded 模式)	8B/10B 代码组违规或差异错误指示器。 ■ 一个高电平表明在相关已接收的代码组中检测到代码组违规或差异错误。 ■ 通过 rx_disperr 信号来区分代码组违规和差异错误，如下所示：[rx_errdetect:rx_disperr] ■ 2'b00— 没有错误 ■ 2'b10— 代码组违规 ■ 2'b11— 差异错误或两者
	rx_disperr	输出	同步到 tx_clkout (non-bonded 模式) 或者 coreclkout (bonded 模式)	8B/10B 差异错误指示器。 ■ 一个高电平表明在相关已接收的代码组中检测到差异错误。
	rx_runningdisp	输出	同步到 tx_clkout (non-bonded 模式) 或者 coreclkout (bonded 模式)	8B/10B 当前运行差异指示器。 ■ 一个高电平表明已解码的字节末端上的正当前运行差异。 ■ 一个低电平表明已解码的字节末端上的负当前运行差异。
	rx_enabyteord	输入	异步信号	使能字节排序控制 ■ 一个从低到高的跳变触发了字节排序模块重新开始字节排序操作。
	rx_byteorder alignstatus	输出	同步到 tx_clkout (non-bonded 模式) 或者 coreclkout (bonded 模式)	字节排序状态指示器。 ■ 一个高电平表明字节排序模块在字节解串器中已接收数据的最低有效位中已经检测到已设置的字节排序码型。
	rx_dataout	输出	同步到 tx_clkout (non-bonded 模式) 或者 coreclkout (bonded 模式)	从接收器到 FPGA 架构的并行数据输出。 ■ 总线宽度取决于与每个实例通道数相乘的通道宽度。
	rx_clkout	输出	时钟信号	当速率匹配 FIFO 没有使用时的 FPGA 架构接收器接口时钟。

表 1-27. Cyclone IV GX ALTGX 宏功能中的接收器端口 (3/3)

模块	端口名	输入 / 输出	时钟域	说明
RX PCS	rx_coreclk	输出	时钟信号	用于 RX 相位补偿 FIFO 的可选读时钟端口。
	rx_phase_comp_fifo_error	输出	同步到 tx_clkout (non-bonded 模式) 或 coreclkout (bonded 模式)	RX 相位补偿 FIFO 满或空指示器。 ■ 一个高电平表明 FIFO 是满的或者空的。
	rx_bitslipboundaryselectout	输出	异步信号	表明在手动对齐模式下配置的字对齐器中滑掉的 bit 数量。 ■ 值范围从 0 到 9。
RX PMA	rx_datain	输入	N/A	接收器串行数据输入端口。
	rx_freqlocked	输出	异步信号	接收器 CDR 锁定状态指示器 ■ 一个高电平表明 CDR 处于 LTD 状态。 ■ 一个低电平表明 CDR 处于 LTR 状态。
	rx_locktodata	输出	异步信号	接收器 CDR LTD 状态控制信号 ■ 一个高电平强制 CDR 处于 LTD 状态 ■ 置低时，接收器 CDR 锁定状态取决于 rx_locktorefclk 信号电平。
	rx_locktorefclk	输出	异步信号	接收器 CDR LTR 状态控制信号 ■ rx_locktorefclk 和 rx_locktodata 信号控制接收器 CDR 状态，如下所示：[rx_locktodata:rx_locktorefclk] ■ 2'b00— 接收器 CDR 处于自动锁定模式 ■ 2b'01— 接收器 CDR 处于手动锁定模式 (LTR 状态) ■ 2b'1x—接收器CDR处于手动锁定模式(LTD状态)
	rx_signaldetect	输出	异步信号	信号阈值检测指示器 ■ 在PIPE模式下可用，并且当使用 8B/10B编码器/解码器时，在 Basic 模式下也可用。 ■ 一个高电平表明接收器输入缓冲器上出现的信号高于设置的信号检测阈值。
	rx_recovclkout	输出	时钟信号	CDR 低速恢复时钟 ■ 仅在GIGE模式下用于Synchronous Ethernet等应用。

表 1-28. Cyclone IV GX ALTGX 宏功能中的 PIPE 接口端口 *(1)*(1/2)

端口名	输入 / 输出	时钟域	说明
fixedclk	输入	时钟信号	125-MHz 时钟，用于仅 PIPE 模式下的接收器检测及偏移校准。
tx_detectrx loop	输入	异步信号	接收器检测或反向并行回环控制。 ■ P1 电源状态中的一个高电平和已置位的 tx_forceelecidle 信号开始接收器检测操作，来确定是否存在一个有效的接收器下游。当 pipephydonestatus 信号表明接收器检测完成时，此信号必须被拉低。 ■ P0 电源状态中的一个高电平和已置位的 tx_forceelecidle 信号对通道进行动态配置，以支持反向并行回环模式。
tx_forcedisp compliance	输入	异步信号	强制 8B/10B 编码器对负运行差异进行编码。 ■ 仅当发送PIPE兼容码型的第一个字节来强制8B/10B编码器对负运行差异进行编码时被置位。
pipe8b10binvpolarity	输入	异步信号	将 8B/10B 解码器的 10-bit 输入数据的每个 bit 的极性进行倒转
powerdn	输入	异步信号	PIPE 电源状态控制 ■ 信号为 2 bit 宽，并被编码，如下所示： ■ 2'b00: P0（正常操作） ■ 2'b01: P0s（低恢复时间延迟，低功耗状态） ■ 2'b10: P1 (更长的恢复时间延迟，更低的功耗状态) ■ 2'b11: P2 (最低的功耗状态)
pipedatavalid	输出	N/A	rx_dataout 和 rx_ctrldetect 端口上的有效数据与控制指示器。
pipephydone status	输出	异步信号	PHY 功能完成指示器。 ■ 被置位一个时钟周期来与几个 PHY 功能的完成进行通信，例如功耗状态跳变和接收器检测。
pipeelecidle	输出	异步信号	在接收器上检测到的或推断出的电路空闲指示器。 ■ 当使用空闲电路推断时，此信号推断出电路空闲情况时将被驱动为高电平。 ■ 当没有使用电路空闲推理时， rx_signaldetect 信号将被倒转，并在此端口上被驱动。
pipestatus	输出	N/A	PIPE 接收器状态端口。 ■ 信号为 3 bit 宽，并被编码，如下所示： ■ 3'b000: 接收到的数据 OK ■ 3'b001: 添加一个 SKP 符号 ■ 3'b010: 移除一个 SKP 符号 ■ 3'b011: 检测到接收器 ■ 3'b100: 8B/10B 解码器错误 ■ 3'b101: 弹性缓冲器上溢 ■ 3'b110: 弹性缓冲器下溢 ■ 3'b111: 接收到的差异错误

表 1-28. Cyclone IV GX ALTGX 宏功能中的 PIPE 接口端口 *(1)*(2/2)

端口名	输入 / 输出	时钟域	说明
rx_elecidle infersel	输入	N/A	控制第 1-57 页表 1-17 中指定的电路空闲推理机制。

表 1-28 注释：

(1) 欲了解关于 PIPE 2.00 规范中定义的等效信号的详细信息，请参考第 1-54 页表 1-15。

表 1-29. Cyclone IV GX ALTGX 宏功能中的多用 PLL、通用 PLL 和各种端口 (1/2)

模块	端口名	输入 / 输出	时钟域	说明
PLL	pll_inclk	输入	时钟信号	输入参考时钟，用于收发器实例所使用的 PLL（多用 PLL 或通用 PLL）。当通过确定性延迟模式中发送器与接收器通道配置进行配置时，以下的多个 pll_inclk 端口均可使用。 通过 PLL PFD 反馈进行配置 —x 是所选择的通道数： ■ pll_inclk[x-1..0] 为输入参考时钟，用于收发器实例中的每个发送器 ■ pll_inclk[x+1..x] 为输入参考时钟，用于收发器实例中的每个接收器 不通过 PLL PFD 反馈进行配置： ■ pll_inclk[0] 为输入参考时钟，用于收发器实例中的发送器 ■ pll_inclk[1] 为输入参考时钟，用于收发器实例中的接收器
	pll_locked	输出	异步信号	PLL（收发器实例所使用的）锁定指示器。
	pll_areset	输入	异步信号	PLL（收发器实例所使用的）复位。 ■ 置位时，PLL 保持在复位状态。 ■ 置低时，PLL 有效，并锁定到输入参考时钟。
	coreclkout	输出	时钟信号	bonded 模式中的 FPGA 架构收发器接口时钟。
复位 & 断电	gxb_powerdown	输入	异步信号	收发器模块断电。 ■ 置位时，PCS、HSSI、CDR 和 PCIe 模块中的所有数字及模拟电路都会断电。 ■ 置位 gxb_powerdown 信号不会使 refclk 缓冲器断电。
	tx_digitalreset	输入	异步信号。最小脉冲宽为两个并行时钟周期。	发送器 PCS 复位。 ■ 置位时，发送器 PCS 模块被复位。
	rx_analogreset	输入	异步信号。最小脉冲宽为两个并行时钟周期。	接收器 PMA 复位。 ■ 置位时，接收器 PMA 模块中的模拟电路被复位。
	rx_digitalreset	输入	异步信号。最小脉冲宽为两个并行时钟周期。	接收器 PCS 复位。 ■ 置位时，接收器 PCS 模块被复位。
重配置	reconfig_clk	输入	时钟信号	动态重配置模块。 ■ 也用于除了 PIPE 模式下的偏移校准。 ■ 关于此时钟的所支持频率范围的详细信息，请参考 *Cyclone IV Device Data Sheet* 章节。
	reconfig_togxb	输入	异步信号	来自动态重配置控制器。
	reconfig_fromgxb	输出	异步信号	到动态重配置控制器。

表 1-29. Cyclone IV GX ALTGX 宏功能中的多用 PLL、通用 PLL 和各种端口 (2/2)

模块	端口名	输入 / 输出	时钟域	说明
校准模块	cal_blk_clk	输入	时钟信号	用于收发器校准模块的时钟。
	cal_blk_powerdown	输入	异步信号	校准模块掉电控制。
测试模式	rx_bistdone	输出	异步信号	BIST 或 PRBS 测试完成指示器。 ■ BIST 测试模式期间的一个高电平表明验证器接收到完整的码型周期或者检测到一个错误，并且保持在置位状态，直到使用 rx_digitalreset 端口对其复位。 ■ PRBS 测试模式期间的一个高电平表明验证器接收到完整的码型周期，并且保持在置位状态，直到使用 rx_digitalreset 端口对其复位。
	rx_bisterr	输出	异步信号	BIST 或 PRBS 验证器错误指示器 ■ 在 BIST 测试模式中，当检测到错误时，此信号保持在置位状态，直到使用 rx_digitalreset 端口对其复位。 ■ 在 PRBS 测试模式中，当检测到错误时，此信号置位至少 3 个 rx_clkout 时钟周期，如果 PRBS 序列不包含错误，此信号将被拉低。

文档修订历史

表 1–30 列出了本章节的修订历史。

表 1–30. 文档修订历史

日期	版本	修订内容
2011 年 11 月	3.3	■ 更新了 “ 字对齐器 ” 和 “Basic 模式 ” 部分。 ■ 更新了图 1–37。
2010 年 12 月	3.2	■ 针对 Quartus II 10.1 发布所做的更新。 ■ 更新了表 1–1、表 1–5、表 1–11、表 1–14、表 1–24、表 1–25、表 1–26、表 1–27、表 1–28 和表 1–29。 ■ 更新了 “8B/10B 编码器 ”、“ 发送器输出缓冲器 ”、“ 接收器输入缓冲 ”、“ 时钟数据恢复 ”、“ 多种发送器 PCS 特性 ”、“ 多种接收器 PCS 特性 ”、“ 输入参考时钟 ”、“PCI Express (PIPE) 模式 ”、“ 通道去偏移 ”、“ 通道同步 ”、“ 串行回环 ” 和 “ 自测试模式 ” 部分。 ■ 添加了图 1–9、图 1–10、图 1–19、图 1–20 和图 1–43。 ■ 更新了图 1–53、图 1–55、图 1–59、图 1–60、图 1–69、图 1–70、图 1–71、图 1–72、图 1–73 和图 1–74。
2010 年 11 月	3.1	更新了介绍信息。
2010 年 7 月	3.0	■ 针对 Quartus II 10.0 发布所作的更新。 ■ 复位控制、断电和动态重配置信息被移到了新的 *Cyclone IV 复位控制和断电*和 *Cyclone IV 动态重配置*章节中。

2. Cyclone IV 复位控制与断电

CYIV-52002-1.2

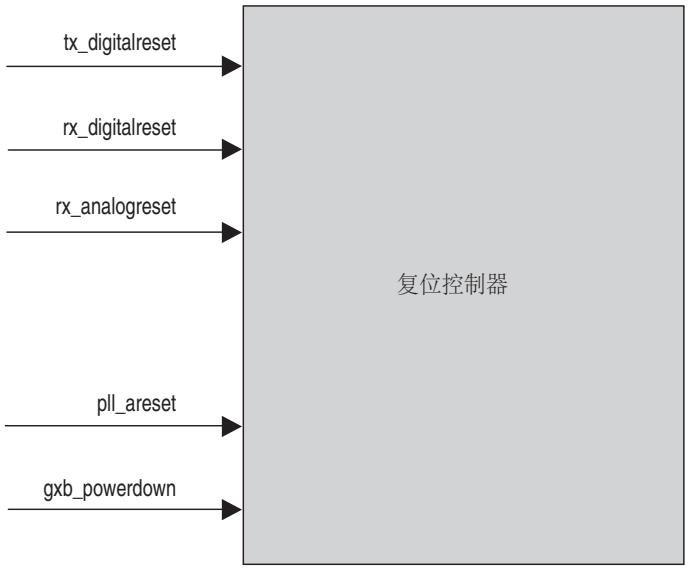
Cyclone® IV GX 器件提供了多个复位信号来对收发器通道进行独立地控制。ALTGX Transceiver MegaWizard™插件管理器对设计中例化的每个通道均提供了单独的复位信号。此外，它对每个收发器模块也提供了一个断电（power-down）信号。

本章节包含以下几部分内容：

- “用户复位与断电信号” 第 2-2 页
- “收发器复位流程” 第 2-4 页
- “动态重配置复位流程” 第 2-19 页
- “断电” 第 2-22 页
- “仿真要求” 第 2-22 页
- “参考信息” 第 2-23 页

图 2-1 显示了 Cyclone IV GX 器件的复位控制与断电模块。

图 2-1. 复位控制与断电模块



© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

用户复位与断电信号

Cyclone IV GX 器件中的每一个收发器通道均具有单独的复位信号，对其物理编码子层 (PCS) 以及物理介质附加子层 (PMA) 进行复位。此外，收发器模块也具有一个断电 (power-down) 信号，影响到收发器模块中的多用锁相环 (PLL)、通用锁相环 (PLL) 以及所有通道。



所有的复位和断电信号都是异步的。

表 2-1 列出了可用于收发器通道的复位信号。

表 2-1. 收发器通道的复位信号

信号	ALTGX MegaWizard 插件管理器配置	说明
tx_digitalreset *(1)*	■ Transmitter Only ■ Receiver and Transmitter	对发送器 PCS 中的所有数字逻辑提供了异步复位，包括 XAUI 发送状态机。 该信号的最小脉冲宽度为两个并行时钟周期。
rx_digitalreset *(1)*	■ Receiver Only ■ Receiver and Transmitter	对接收器 PCS 中的所有数字逻辑进行复位，包括： ■ XAUI 接收器状态机 ■ GIGE 接收器状态机 ■ XAUI 通道对齐状态机 ■ BIST-PRBS 验证器 ■ BIST 增量验证器 该信号的最小脉冲宽度为两个并行时钟周期。
rx_analogreset	■ Receiver Only ■ Receiver and Transmitter	对存在于接收通道中的接收器 CDR 进行复位。 最小脉冲宽度为两个并行时钟周期。

表 2-1 注释：

(1) 置位该信号，直到来自多用 PLL 以及接收器 CDR 上的时钟变得稳定。稳定的并行时钟对于 PCS 中发送器和接收器相位补偿 FIFO 的正确操作是至关重要的。

表 2-2 列出了用于每一个收发器模块的断电（power-down）信号。

表 2-2. 收发器模块的断电信号

信号	说明
pll_areset	复位收发器 PLL。pll_areset 信号在以下两种情况中被置位： ■ 复位流程期间，该信号被置位来复位收发器 PLL。该信号由用户控制。 ■ 对收发器 PLL 进行重配置后，该信号被 ALTPLL_RECONFIG 控制器拉高。该信号不由用户控制。
gxb_powerdown	将整个收发器模块断电。当该信号被置位时，该信号将所有收发器通道中的 PCS 和 PMA 断电。 该信号独立于其它复位信号进行操作。该信号对于收发器模块是通用的。
pll_locked	一个状态信号。表明发送器多用 PLL 或通用 PLL 的状态。 ■ 高电平 — 表明多用 PLL 或通用 PLL 被锁定到输入参考时钟频率。
rx_freqlocked	一个状态信号。表明接收器 CDR 锁定模式的状态。 ■ 高电平 — 接收器处于 lock-to-data 模式。 ■ 低电平 — 接收器 CDR 处于 lock-to-reference 模式。
busy	一个状态信号。ALTGX_RECONFIG 模块上一个输出表明了动态重配置控制器的状态。该信号上电后在第一个 reconfig_clk 时钟周期保持在低电平，然后从第二个 reconfig_clk 时钟周期开始被置位。该信号的置位表明了在接收缓冲器以及接收器 CDR 上正在执行偏移校准进程。该信号被拉低表明了偏移校准的完成。 另外，此 busy 信号也用于表明动态重配置的持续时间，例如在模拟重配置模式和通道重配置模式中。


欲了解关于偏移校准的详细信息，请参考 *Cyclone IV Dynamic Reconfiguration* 章节。


如果在收发器模块中没有通道被例化，那么 Quartus® II 软件将自动关断整个收发器模块。

被复位和断电信号所影响的模块

表 2-3 列出了被指定的复位及掉电信号所影响的模块。

表 2-3. 被复位和掉电信号所影响的模块 (1/2)

收发器模块	rx_digitalreset	rx_analogreset	tx_digitalreset	pll_areset	gxb_powerdown
多用 PLL 和通用 PLL	—	—	—	✓	—
发送器相位补偿 FIFO	—	—	✓	—	✓
字节串化器	—	—	✓	—	✓
8B/10B 编码器	—	—	✓	—	✓
串化器	—	—	✓	—	✓
发送缓冲器	—	—	—	—	✓
发送器 XAUI 状态机	—	—	✓	—	✓
接收缓冲器	—	—	—	—	✓
接收器 CDR	—	✓	—	—	✓
接收解串器	—	—	—	—	✓
接收字对齐器	✓	—	—	—	✓

表 2-3. 被复位和掉电信号所影响的模块 (2/2)

收发器模块	rx_digitalreset	rx_analogreset	tx_digitalreset	pll_areset	gxb_powerdown
接收器去偏斜 FIFO	✓	—	—	—	✓
接收器时钟速率补偿 FIFO	✓	—	—	—	✓
接收器 8B/10B 解码器	✓	—	—	—	✓
接收器字节解串器	✓	—	—	—	✓
接收器字节排序	✓	—	—	—	✓
接收器相位补偿 FIFO	✓	—	—	—	✓
接收器 XAUI 状态机	✓	—	—	—	✓
BIST 验证器	✓	—	—	—	✓

收发器复位流程

您能够在各种配置中对 Cyclone IV GX 器件中的收发器通道进行配置。在除了 XAUI 功能模式之外的所有功能模式中，收发器通道可以是 bonded 或者 non-bonded。在 XAUI 功能模式中，收发器通道必须是 bonded。在 PCI Express® (PCIe®) 功能模式中，收发器通道既可以是 bonded，也可以是 non-bonded，但需要遵照指定的复位流程。

本章节所介绍的 Cyclone IV GX 器件的复位流程有两类：

- “除 PCIe 功能模式以外的所有支持的功能模式” 第 2-6 页 — 介绍了 bonded 和 non-bonded 配置中的复位流程。
- “PCIe功能模式” 第2-17页—介绍了PCIe模式中例化/兼容相位及常规操作相位的复位流程。

busy信号在第一个reconfig_clk时钟周期保持在低电平，然后从第二个reconfig_clk时钟周期开始被置位。 busy 信号随后的撤销表明了偏移校准进程的完成。除了 transmitter only 通道配置以外，此 busy 信号在收发器复位流程中是必需的。请参考图 2–2 中所示的复位流程以及图注释中列出的相应参考。

Altera 强烈建议遵循这些复位流程，从而对 Cyclone IV GX 收发器进行正确的操作。

图 2–2 显示了 Cyclone IV GX 器件的收发器复位流程。

图 2–2. 收发器复位流程图

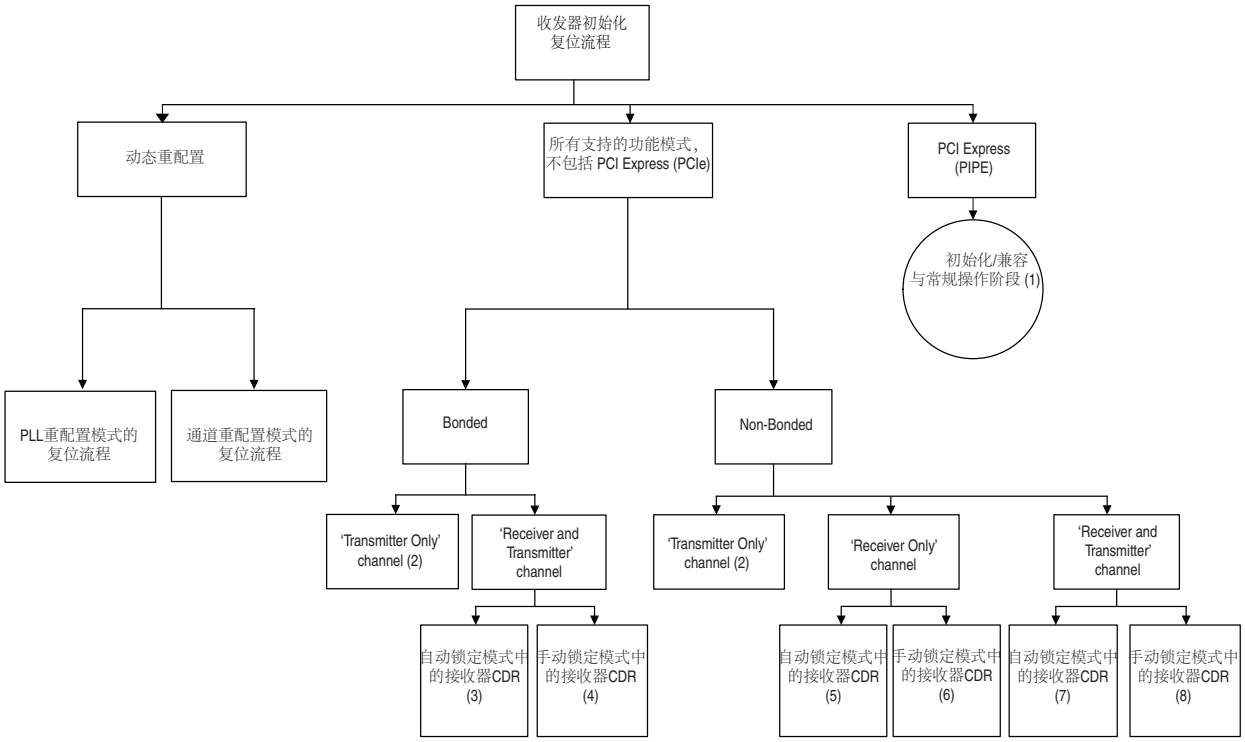


图 2–2 注释：

(1) 请参考图 2–10 中的时序图。
(2) 请参考图 2–3 中的时序图。
(3) 请参考图 2–4 中的时序图。
(4) 请参考图 2–5 中的时序图。
(5) 请参考图 2–6 中的时序图。
(6) 请参考图 2–7 中的时序图。
(7) 请参考图 2–8 中的时序图。
(8) 请参考图 2–9 中的时序图。

除 PCIe 功能模式以外的所有支持的功能模式

这一部分对 bonded 和 non-bonded 配置中的收发器通道复位流程作了介绍。一些常用配置的时序图将有助于正确复位流程的实现。在这些配置模式中，您既可以在自动锁定模式中，也可以在手动锁定模式中对接收器 CDR 进行设置。

在手动锁定模式中，根据 rx_locktorefclk 和 rx_locktodataIn 信号上的逻辑电平，接收器 CDR 锁定到参考时钟 (lock-to-reference) 或者输入串行数据 (lock-to-data)。通过采用手动锁定模式下的接收器 CDR，您可以在 non-bonded，或者 bonded 模式下对 Cyclone IV GX 器件中的收发器通道进行配置。在 bonded 配置中，例如在 XAUI 模式中，四个通道结合在一起使用。

表 2-4 列出了 rx_locktorefclk 和 rx_locktodata 信号的 lock-to-reference (LTR) 与 lock-to-data (LTD) 控制器锁定模式。

表 2-4. Lock-To-Reference 与 Lock-To-Data 模式

rx_locktorefclk	rx_locktodata	LTR/LTD 控制器锁定模式
1	0	手动,LTR 模式
—	1	手动,LTD 模式
0	0	自动锁定模式

Bonded 通道配置

在 bonded 通道配置中，您可以同时对所有 bonded 通道进行复位。一些 bonded 通道配置的实例是 XAUI、PCIe Gen1 ×2 和 ×4 以及 Basic ×2 和 ×4 功能模式。在 Basic ×2 和 ×4 功能模式中 ，你可以将 **Transmitter Only** 通道结合在一起。

在 XAUI 模式中，接收通道与发送通道被结合在一起。该模式中的每一个接收通道均有各自的 rx_freqlocked 输出状态信号。您一定要考虑到复位流程中这些信号的时序。

表 2-5 列出了在所提及的功能模式下，bonded 通道配置的复位与断电流程。

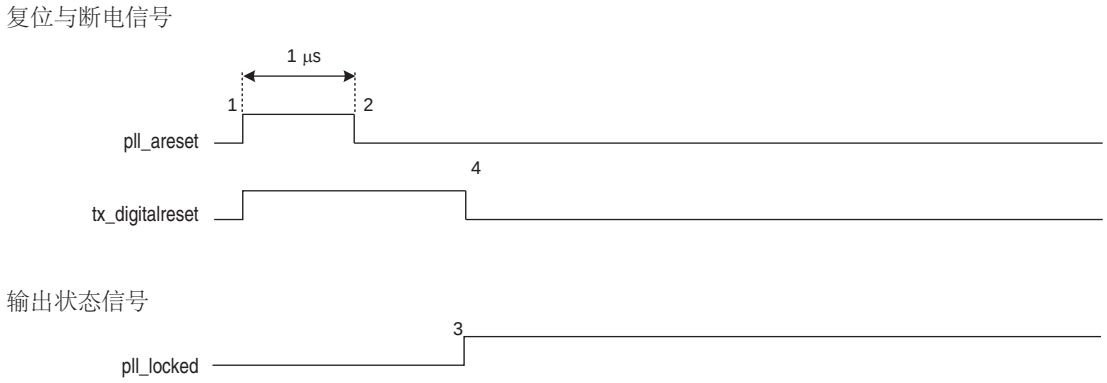
表 2-5. Bonded 通道配置的复位与断电流程

通道	接收器 **CDR** 模式	参考
Transmitter Only	Basic ×2 和 ×4	“Transmitter Only 通道 ” 第 2-7 页
Receiver and Transmitter	XAUI 功能模式的自动锁定模式	“ 接收与发送通道 — 自动锁定模式中的接收器 CDR” 第 2-8 页
Receiver and Transmitter	XAUI 功能模式的手动锁定模式	“ 接收与发送通道 — 手动锁定模式中的接收器 CDR” 第 2-9 页

Transmitter Only 通道

此配置仅包含一个发送通道。如果您在 ALTGX MegaWizard 插件管理器中的 Basic ×4 功能模式下创建了一个 **Transmitter Only** 实例，那么需要采用图 2-3 中所示的复位流程。

图 2-3. Bonded 和 Non-Bonded 配置 Transmitter Only 通道的复位流程样例



如图 2-3 所示，执行下面的复位步骤来实现 **Transmitter Only** 通道配置：

1. 上电后，置位 pll_areset 至少 1 µs（标记 1 和 2 的间隔时间）。
2. 这一期间内，保持 tx_digitalreset 信号处于置位状态。拉低 pll_areset 信号后，多用 PLL 开始锁定到发送器输入参考时钟。
3. 当多用 PLL 锁定时（由 pll_locked 信号变为高电平（标记 3）表明），拉低 tx_digitalreset 信号（标记 4）。此刻，发送器便可以开始数据发送。

接收与发送通道 — 自动锁定模式中的接收器 CDR

该配置包含发送通道以及接收通道。当接收器 CDR 处于自动锁定模式中时，需要采用图 2–4 中所示的复位流程。

图 2–4. Bonded 配置接收与发送通道 — 自动锁定模式中的接收器 CDR 的复位流程样例

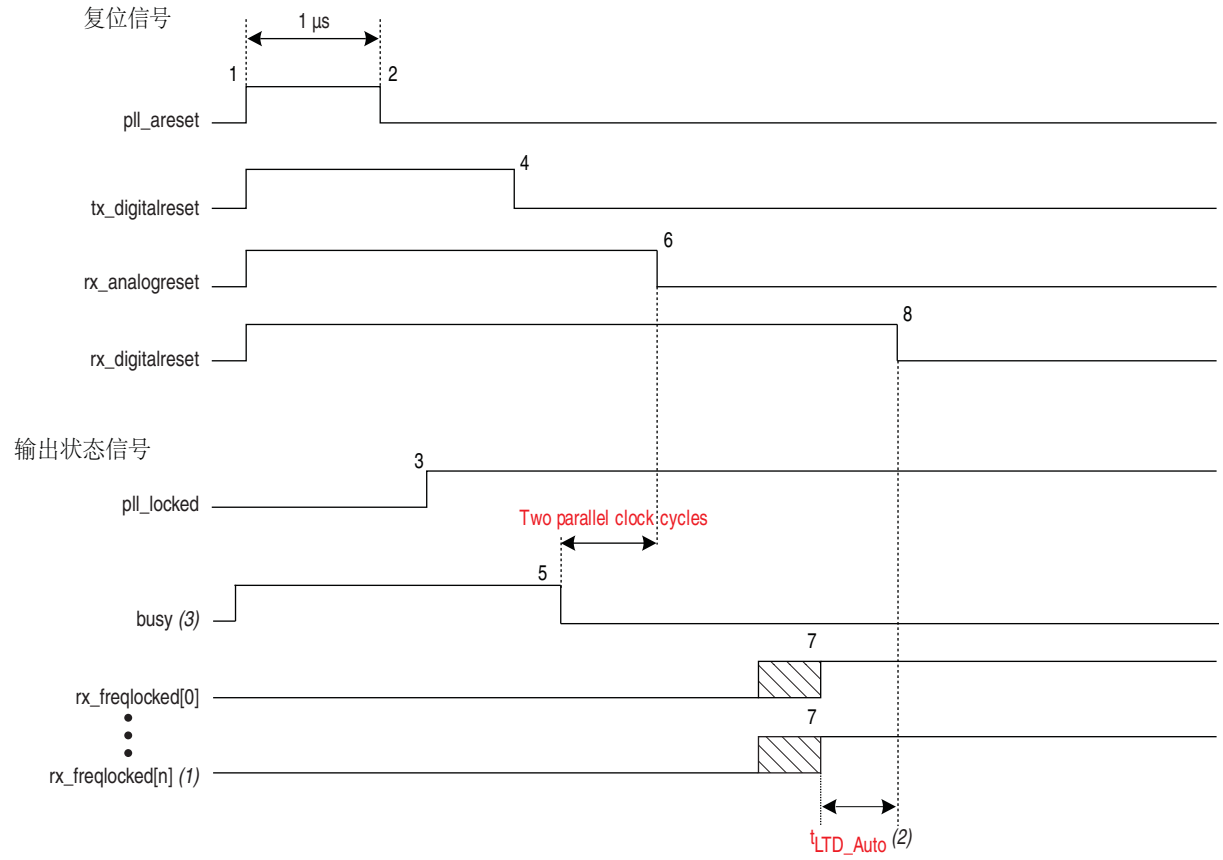


图 2–4 注释：

(1) rx_freqlocked[n] 信号的数量取决于已配置的通道数量。 n= 通道数量。

(2) 关于 t_{LTD_Auto} 持续时间，请参考 *Cyclone IV Device Datasheet* 章节。

(3) 当发生偏移校准时， busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时， busy 信号才会被拉高或拉低。

如图 2–4 所示，执行下面的复位步骤来实现自动锁定模式中的接收器 CDR 配置：

1. 上电后，置位 pll_areset 至少 1 µs （标记 1 和 2 的间隔时间）。
2. 保持 tx_digitalreset、 rx_analogreset 和 rx_digitalreset 信号在此期间处于置位状态。拉低 pll_areset 信号后，多用 PLL 开始锁定到输入参考时钟。
3. 多用 PLL 锁定后（由 pll_locked 信号变为高电平表明），拉低 tx_digitalreset 信号。此刻，发送器便可以开始数据传输。

4. 对于接收器操作， busy 信号撤销后，等待两个并行时钟周期来置低 rx_analogreset 信号。
5. 等待每个通道的 rx_freqlocked 信号变为高电平。每个通道的 rx_freqlocked 信号在不同的时间都有可能变高（由标记 7 中的斜线码型表明）。
6. 在 bonded 通道组中，当所有通道的 rx_freqlocked 信号都已经变为高电平时，从此刻开始，需要等待至少 t_{LTD_Auto} 时间以使接收器并行时钟变得稳定，然后拉低 rx_digitalreset 信号（标记 8）。这时候，所有的接收器均可以开始数据传输。

接收与发送通道 — 手动锁定模式中的接收器 CDR

该配置包括发送通道以及接收通道。当接收器 CDR 处于手动锁定模式中时，需要采用图 2-5 中所示的复位流程。

图 2-5. Bonded 配置接收与发送通道 — 手动锁定模式中的接收器 CDR 的复位流程样例

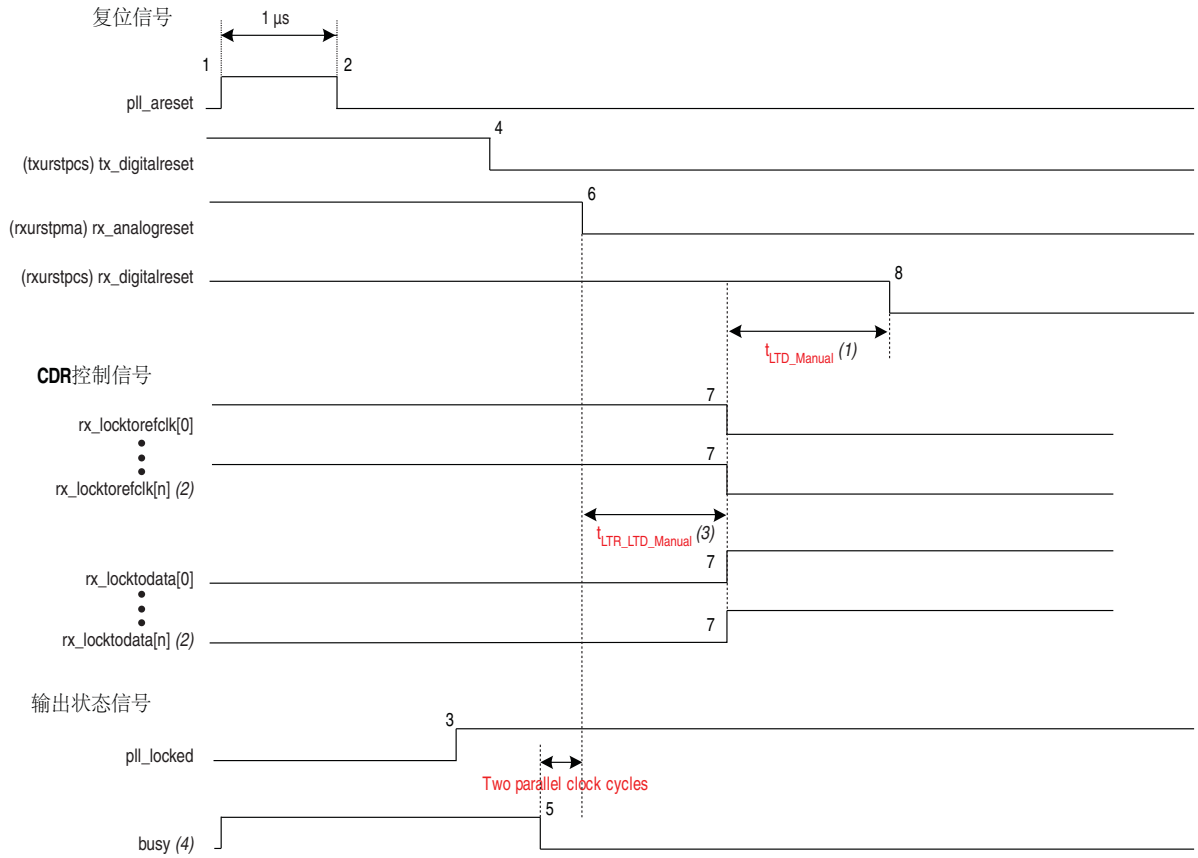


图 2-5 注释：

(1) 关于 t_{LTD_Manual} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
(2) rx_locktorefclk[n] 和 rx_locktodata[n] 信号的数量取决于已配置通道的数量。 n= 通道数量。
(3) 关于 $t_{LTR_LTD_Manual}$ 持续时间，请参考 *Cyclone IV Device Datasheet* 章节。
(4) 当发生偏移校准时， busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作， busy 信号才会被拉高或拉低。

如图 2–5 所示，执行下面的复位步骤来进行手动锁定模式中的接收器 CDR 配置：

1. 上电后，置位 pll_areset 至少 1 µs（标记 1 与 2 的间隔时间）。
2. 在此期间保持 tx_digitalreset、rx_analogreset、rx_digitalreset 和 rx_locktorefclk 信号处于置位状态，并且保持 rx_locktodata 信号处于置低状态。拉低 pll_areset 信号后，多用 PLL 开始锁定到输入参考时钟。
3. 多用 PLL 锁定后（由 pll_locked 信号变为高电平（标记 3）表明），拉低 tx_digitalreset 信号（标记 4）。对于接收器操作，busy 信号拉低后，等待**两个并行时钟周期**来拉低 rx_analogreset 信号。
4. 在 bonded 通道组中，等待至少 $t_{LTR_LTD_Manual}$，然后拉低 rx_locktorefclk，并置位 rx_locktodata（标记 7）。这时候，所有通道的接收器 CDR 会进入 lock-to-data 模式，并开始锁定到已接收的数据。
5. 置位 rx_locktodata 信号后，在拉低 rx_digitalreset 信号前，等待至少 t_{LTD_Manual}（标记 7 与 8 的间隔时间）。此刻，发送器和接收器便可以开始数据传输。

Non-Bonded 通道配置

在 non-bonded 通道中，ALTGX MegaWizard 插件管理器实例中的每个通道均包含各自的 tx_digitalreset、rx_analogreset、rx_digitalreset 以及 rx_freqlocked 信号。

您能够单独地复位每个通道。例如，如果有四个 non-bonded 通道，那么 ALTGX MegaWizard 插件管理器将对每个通道提供以下四个信号：tx_digitalreset、rx_analogreset、rx_digitalreset 和 rx_freqlocked。

表 2–6 列出了在所提及的功能模式下的 non-bonded 配置中的复位和断电流程。

表 2–6. Non-Bonded 通道配置的复位和断电流程

通道	接收器 CDR 模式	参考
Transmitter Only	Basic ×1	“Transmitter Only 通道” 第 2-11 页
Receiver Only	自动锁定模式	“Receiver Only 通道 — 自动锁定模式中的接收器 CDR” 第 2-11 页
Receiver Only	手动锁定模式	“Receiver Only 通道 — 手动锁定模式中的接收器 CDR” 第 2-12 页
Receiver and Transmitter	自动锁定模式	“接收与发送通道 — 自动锁定模式中的接收器 CDR” 第 2-13 页
Receiver and Transmitter	手动锁定模式	“接收与发送通道 — 手动锁定模式中的接收器 CDR” 第 2-14 页

对于 non-bonded 配置中的所有其它通道，需要遵循同一复位流程。

Transmitter Only 通道

该配置仅包含一个发送通道。如果要在 ALTGX MegaWizard 插件管理器中创建一个 **Transmitter Only** 实例，则需要采用第 1-7 页图 2-3 中所示的同一复位流程。

Receiver Only 通道 — 自动锁定模式中的接收器 CDR

该配置仅包含一个接收通道。如果要在 ALTGX MegaWizard 插件管理器中通过自动锁定模式中的接收器 CDR 来创建一个 **Receiver Only** 实例，则需要采用图 2-6 中所示的复位流程。

图 2-6. Receiver Only 通道 — 自动锁定模式中的接收器 CDR 的复位流程样例

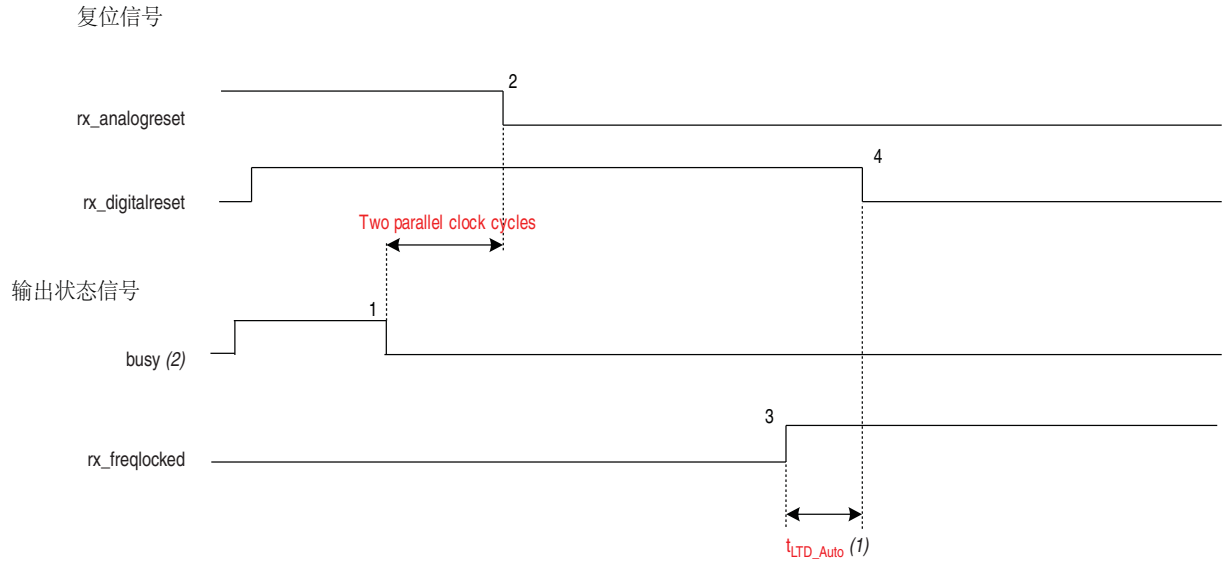


图 2-6 注释：

(1) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。

(2) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

如图 2-6 所示，执行下面的复位步骤来进行自动锁定模式中的接收器 CDR 配置：

1. 上电后，等待 busy 信号被拉低。
2. 这期间保持 rx_digitalreset 和 rx_analogreset 信号处于置位状态。
3. 拉低 busy 信号后，再等待两个并行时钟周期，然后拉低 rx_analogreset 信号。
4. 等待 rx_freqlocked 信号变为高电平。
5. 当 rx_freqlocked 变高（标记 3），从此刻起，等待至少 t_{LTD_Auto}，然后拉低 rx_digitalreset 信号（标记 4）。此时，接收器便可以开始接收数据。

Receiver Only 通道 — 手动锁定模式中的接收器 CDR

该配置仅包含一个接收通道。如果要在 ALTGX MegaWizard 插件管理器中通过手动锁定模式中的接收器 CDR 来创建一个 **Receiver Only** 实例，则需要采用图 2–7 中所示的复位流程。

图 2–7. Receiver Only 通道 — 手动锁定模式中的接收器 CDR 的复位流程样例

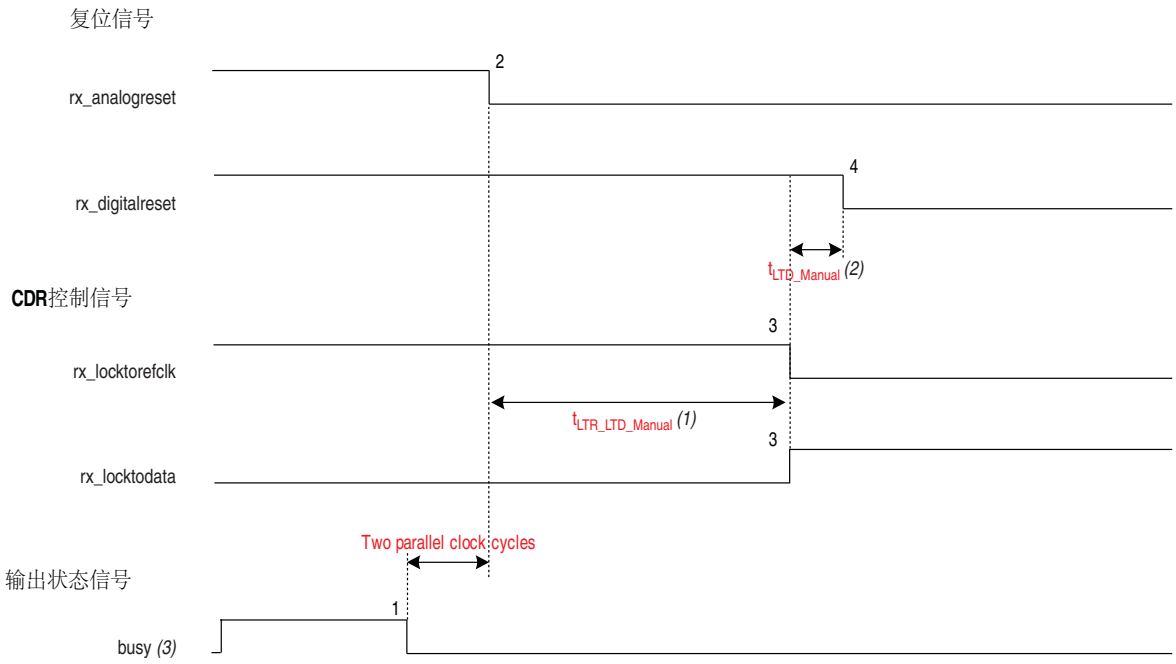


图 2–7 注释：

(1) 关于 $t_{LTR_LTD_Manual}$ 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
(2) 关于 t_{LTD_Manual} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
(3) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作，busy 信号才会被拉高或拉低。

如图 2–7 所示，对于手动锁定模式中的接收器 CDR，执行下面的复位步骤：

1. 上电后，等待 busy 信号被置位。
2. 这期间保持 rx_digitalreset 和 rx_locktorefclk 信号处于置位状态，并且保持 rx_locktodata 信号处于置低状态。
3. busy 信号置低后，等待两个并行时钟周期来拉低 rx_analogreset 信号。
4. 等待至少 $t_{LTR_LTD_Manual}$，然后拉低 rx_locktorefclk 信号。与此同时，置位 rx_locktodata 信号（标记 3）。
5. 置位 rx_locktodata 信号后，拉低 rx_digitalreset 信号至少 t_{LTD_Manual}（标记 3 与 4 的间隔时间）。此刻，接收器便可以开始接收数据了。

接收与发送通道 — 自动锁定模式中的接收器 CDR

此配置包含一个发送通道以及一个接收通道。如果要在 ALTGX MegaWizard 插件管理器中通过自动锁定模式中的接收器 CDR 来创建一个 **Receiver and Transmitter** 实例，则需要采用图 2–8 中所示的复位流程。

图 2–8. 接收与发送通道 — 自动锁定模式中的接收器 CDR 的复位流程样例

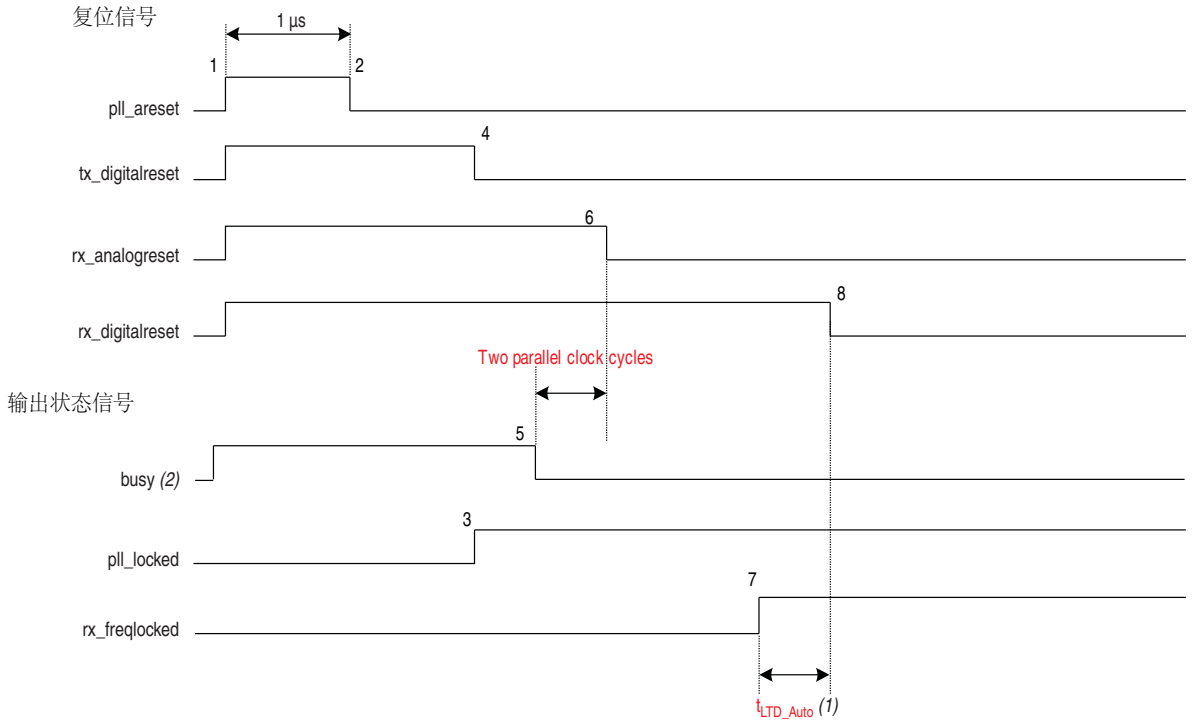


图 2–8 注释：

(1) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。

(2) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

如图 2–8 所示，执行下面的复位步骤来进行自动锁定模式中的接收器 CDR 配置：

1. 上电后，置位 pll_areset 至少 1 µs（标记 1 与 2 的间隔时间）。
2. 这期间保持 tx_digitalreset、rx_analogreset 和 rx_digitalreset 信号处于置位状态。拉低 pll_areset 信号后，多用 PLL 开始锁定到发送器输入参考时钟。
3. 多用 PLL 锁定后（由 pll_locked 信号变为高电平（标记 3）表明），拉低 tx_digitalreset 信号。对于接收器操作，busy 信号拉低后，等待两个并行时钟周期来拉低 rx_analogreset 信号。
4. 等待 rx_freqlocked 信号变为高电平（标记 7）。
5. rx_freqlocked 信号变为高电平后，等待至少 t_{LTD_Auto}，然后拉低 rx_digitalreset 信号（标记 8）。这时候，发送器和接收器均可以开始进行数据传输。

接收与发送通道 — 手动锁定模式中的接收器 CDR

此配置包含一个发送通道以及一个接收通道。如果要在 ALTGX MegaWizard 插件管理器中通过手动锁定模式中的接收器 CDR 来创建一个 **Receiver and Transmitter** 实例，则需要采用图 2–9 中所示的复位流程。

图 2–9. 接收与发送通道 — 手动锁定模式中的接收器 CDR 的复位流程样例

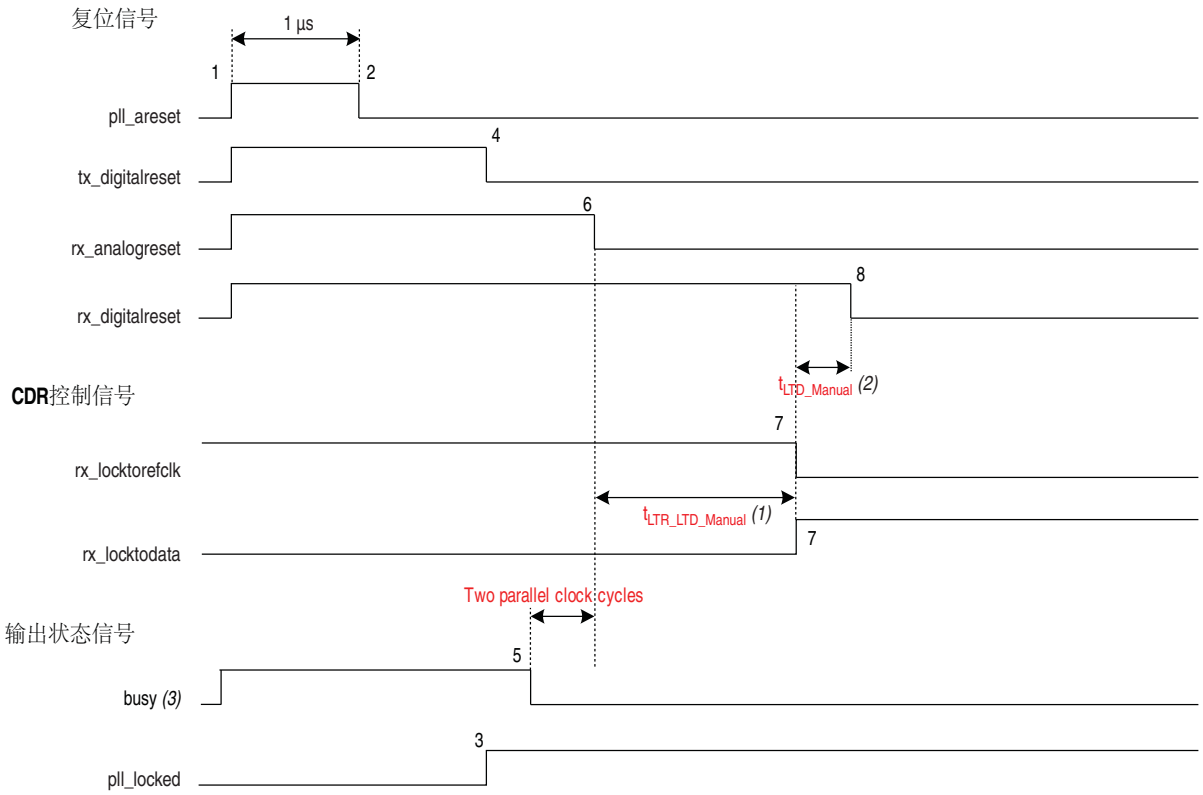


图 2–9 注释：

(1) 关于 $t_{LTR_LTD_Manual}$ 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
(2) 关于 t_{LTD_Manual} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
(3) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

如图 2–9 所示，对于手动锁定模式中的接收器 CDR，执行下面的复位步骤：

1. 上电后，置位 pll_areset 至少 1 µs（标记 1 与 2 的间隔时间）。
2. 这期间保持 tx_digitalreset、 rx_analogreset、 rx_digitalreset 和 rx_locktorefclk 信号处于置位状态，并且保持 rx_locktodata 信号处于置低状态。置低 pll_areset 信号后，多用 PLL 开始锁定到发送器输入参考时钟。
3. 多用 PLL 锁定后（由 pll_locked 信号变为高电平（标记 3）表明），拉低 tx_digitalreset。对于接收器操作，busy 信号拉低后，等待两个并行时钟周期来拉低 rx_analogreset 信号。
4. 等待至少 $t_{LTR_LTD_Manual}$（标记 6 与 7 的时间间隔），然后拉低 rx_locktorefclk 信号。与此同时，置位 rx_locktodata 信号（标记 7）。这时候，接收器 CDR 进入 lock-to-data 模式，接收器 CDR 开始锁定到已接收的数据。

5. 置位 rx_locktodata 信号后，拉低 rx_digitalreset 信号至少 t_{LTD_Manual}（标记 7 与 8 的时间间隔）。这时候，发送器和接收器便可以开始数据传输了。

链路丢失情况下的复位流程

本地参考时钟源的丢失或者未接插头的电缆都会致使链路的丢失。像电源中断这种情况也可能导致其它器件或者链路搭档的信号丢失。

本地 REFCLK 或其它参考时钟丢失的情况

如果本地参考时钟输入被禁用或者变得不稳定，则需要采取以下步骤：

1. 监控 pll_locked 信号。如果本地参考时钟源不可用，那么置低 Pll_locked 信号。
2. 由于 TX PLL 锁定到输入时钟，因此 Pll_locked 信号的置位表明了一个稳定的参考时钟。您可以遵循器件手册中所提供的相应复位流程（从 pll_locked 信号的置位开始）。

由未接电源及远端关闭引起的链路丢失的情况

通过下面的一种或几种方法可以判断链路搭档是否处于通电状态：

- 信号检测功能在PCIe和Basic模式下可用。您可以通过监控rx_signaldetect信号作为链路丢失的指示器。当链路搭档返回时， rx_signaldetect 信号被置位。
- 在那些没有信号检测功能的模式下，您可以通过实现器件内核中的 ppm 检测器来监控链路。ppm 检测器可以帮助判断链路是否处于通电状态。
- 在用户逻辑中，数据损坏或者 RX 相位补偿 FIFO 的上溢或下溢，都有可能表明链路丢失的情况。

当检测到链路丢失时，需要应用下面的复位流程：

- 对于自动 CDR 锁定模式：
  a. 监控 rx_freqlocked 信号。当 CDR 回到 lock-to-data(LTD) 模式时，链路丢失将导致 rx_freqlocked 信号被拉低。
  b. 置位 rx_digitalreset。
  c. 当 CDR 不断在 LTR 与 LTD 模式间进行切换时，随着时间的推移将出现 rx_freqlocked 的触发。
  d. 如果 rx_freqlocked 变为低电平，则拉低 rx_digitalreset。
  e. 在用户逻辑中，如果观测到数据损坏或者 RX 相位补偿 FIFO 的上溢或下溢的情况，那么置位 rx_digitalreset 两个并行时钟周期，然后将其拉低。

这一解决方案可能会违背某些协议特定的要求。这种情况下，你可以使用手动 CDR 锁定选项。

- 对于手动 CDR 锁定模式，rx_freqlocked 信号不可用。当检测到一个死链路，需要执行下面的步骤：
  a. 切换到 LTR 模式。
  b. 置位 rx_digitalreset。
  c. 等待 rx_pll_locked 变为高电平。
  d. 当在接收管脚上检测到输入数据时，切换到 LTD 模式。
  e. 等待一个 t_{LTD_Manual} 的持续时间，这是 rx_locktodata 信号在手动模式下被置位后，恢复有效数据所使用的时间。
  f. 置低 rx_digitalreset。

PCIe 功能模式

您可以通过或者不通过 Cyclone IV GX 器件中的接收器时钟速率补偿 FIFO，来对 PCIe 功能模式进行配置。无论使用接收器时钟速率补偿 FIFO 与否，复位流程都将保持不变。

PCIe 复位流程

PCIe 协议由初始化 / 兼容阶段及常规操作阶段组成。这两个阶段的复位流程在图 2–10 中的时序图中有所介绍。

图 2–10. PCIe 功能模式的复位流程 *(1)*, *(2)*

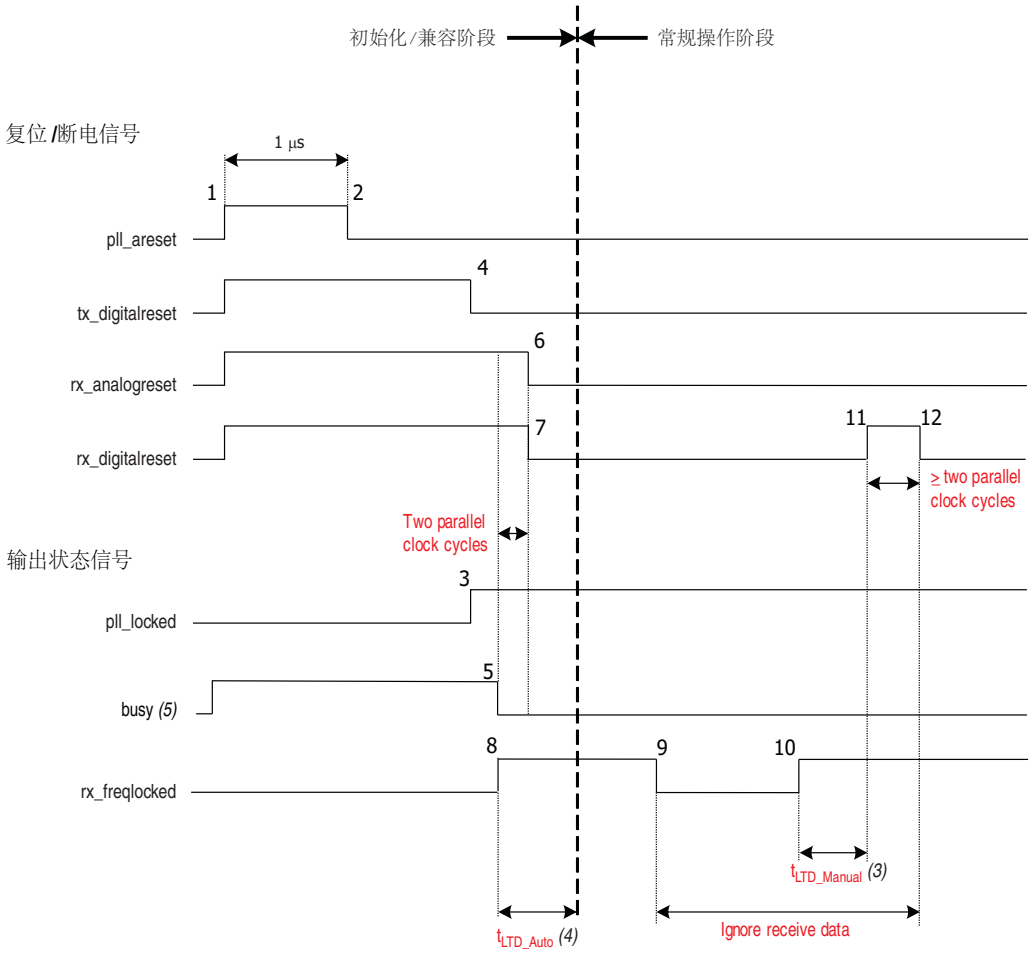


图 2–10 注释：

(1) 该时序图是根据 PCIe Gen 1 ×1 模式绘制而成的。
(2) 对于 bonded PCIe Gen 1 ×2 和 ×4 模式，将存在额外的 rx_freqlocked[n] 信号。n= 通道数量。
(3) 关于 t_{LTD_Manual} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
(4) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。
(5) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

PCIe 初始化 / 兼容阶段

器件上电后，PCIe 兼容器件在初始化过程中遍历整个兼容阶段。正如链路层所需要的， rx_digitalreset 信号在该兼容阶段必须被置低来实现 pipephydonestatus 信号上的跳变。根据 rx_freqlocked 信号的置位来置低 rx_digitalreset 信号。

在初始化 / 兼容阶段，不要使用 rx_freqlocked 信号来触发 rx_digitalreset 信号的撤销。相反，需要执行下面的复位流程：

1. 上电后，置位 pll_areset 至少 1 µs（标记 1 和 2 的间隔时间）。这期间保持 tx_digitalreset、 rx_analogreset 和 rx_digitalreset 信号处于置位状态。拉低 pll_areset 信号后，多用 PLL 开始锁定到输入参考时钟。
2. 多用 PLL 锁定后（由 pll_locked 信号变为高电平（标记 3）所表明）， 置低 tx_digitalreset 信号。对于接收器操作，busy 信号置低后，等待两个并行时钟周期来置低 rx_analogreset 信号。 rx_analogreset 置低后，接收器 CDR 开始锁定到接收器输入参考时钟。
3. 同时拉低 rx_analogreset 信号 (marker 6) 以及 rx_digitalreset 信号（标记 7），如图 2–10 中所指示的。置低 rx_digitalreset 后， 收发器通道中的 pipephydonestatus 信号跳变表明了链路层的状态。根据这一状态 pipephydonestatus 信号将有助于兼容阶段的继续。这一阶段成功完成后，器件进入常规操作阶段。

PCIe 常规阶段

对于常规 PCIe 阶段：

1. 初始化 / 兼容阶段完成后，运行在 Gen1 数据速率的常规操作期间， rx_freqlocked 信号被置低（图 2–10 中的标记 9)。
2. 等待 rx_freqlocked 信号再一次变高。在这一阶段，接收到的数据是有效的（不是电路空闲），并且接收器 CDR 锁定到输入数据。 rx_freqlocked 信号置位后，继续复位流程。
3. rx_freqlocked 信号变高后，置位 rx_digitalreset（图 2–10 中的标记 12) 两个并行时钟周期前，等待至少 t_{LTD_Manual}，以便能够对接收器相位补偿 FIFO 进行初始化。对于 bonded PCIe Gen 1 模式 (×2 和 ×4)，等待所有的 rx_freqlocked 信号变高，然后在置位 rx_digitalreset 两个并行时钟周期前，等待 t_{LTD_Manual} 。

动态重配置复位流程

当在 PLL 重配置或通道重配置中的数据速率分频模式中使用动态重配置时，需要采用下面的复位流程。

PLL 重配置模式中的复位流程

当您使用 PLL 动态重配置控制器来更改收发器通道的数据速率时，需要使用图 2–11 中所示的复位流程实例。在这一实例中，PLL 动态重配置用于动态地重配置收发器通道的数据速率，该数据速率在具有自动锁定模式中接收器 CDR 的 Basic ×1 模式中配置。

图 2–11. 当使用 PLL 动态重配置控制器来更改收发器通道的数据速率时的复位流程

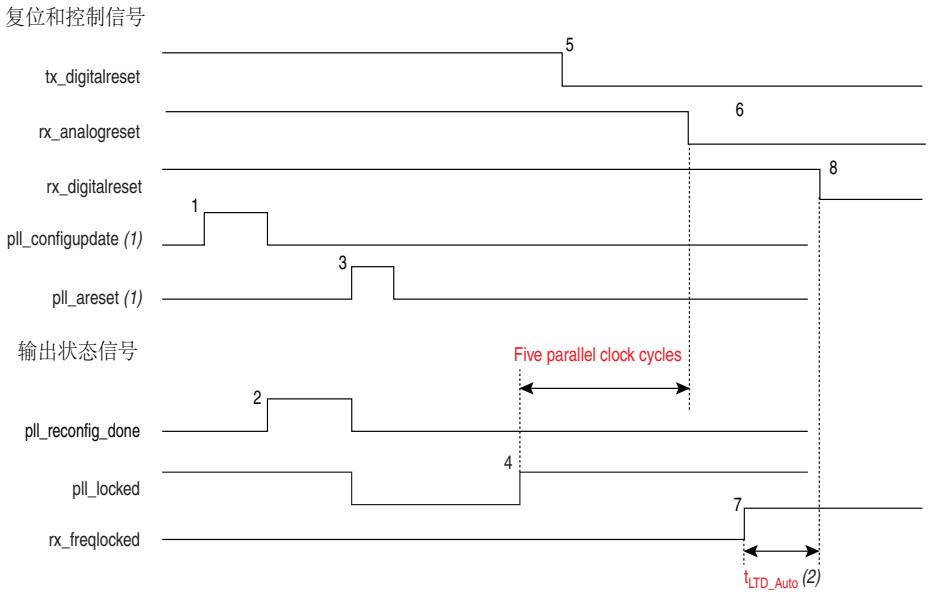


图 2–11 注释：

(1) pll_configupdate 和 pll_areset 信号由 ALTPLL_RECONFIG 宏功能来驱动。关于详细信息，请参考 *AN 609: 实现 Cyclone IV GX 器件中的动态重配置*和 *Cyclone IV Dynamic Reconfiguration* 章节。

(2) 关于 t_{LTD_Auto} 持续时间，请参考 *Cyclone IV Device Datasheet* 章节。

如图 2–11 所示，当使用 PLL 动态重配置控制器来更改发送通道中的 PLL 配置时，需要执行下面的复位步骤：

1. 置位 tx_digitalreset、rx_analogreset 和 rx_digitalreset 信号。最后的数据位被发送后，ALTPLL_RECONFIG 宏功能将置位 pll_configupdate 信号（标记 1）。pll_reconfig_done 信号被置位（标记 2），以告知 ALTPLL_RECONFIG 宏功能已完成扫描链进程。然后，ALTPLL_RECONFIG 宏功能置位 pll_areset 信号（标记 3）来复位收发器 PLL。

2. 复位 PLL 后，等待 pll_locked 信号变高（标记 4），其表明 PLL 锁定到输入参考时钟。 pll_locked 信号置位后，拉低 tx_digitalreset 信号（标记 5）。
3. pll_locked 信号被置位后，需要等待至少五个并行时钟周期来置低 rx_analogreset 信号（标识 6）。
4. 当 rx_freqlocked 信号变高时（标识 7），从此刻起，等待至少 t_{LTD_Auto}，然后置低 rx_digitalreset 信号（标识 8）。这时候，接收器便可以开始数据传输了。

通道重配置模式中的复位流程

当您使用动态重配置控制器来更改收发器通道的 PCS 设置时，需要采用图 2–12 中所示的复位流程实例。在这一实例中，PLL 动态重配置用于动态地重配置收发器通道的数据速率，该数据速率在具有自动锁定模式中接收器 CDR 的 Basic ×1 模式中配置。

图 2–12. 当使用 PLL 动态重配置控制器来更改收发器通道的 PCS 设置时的复位流程

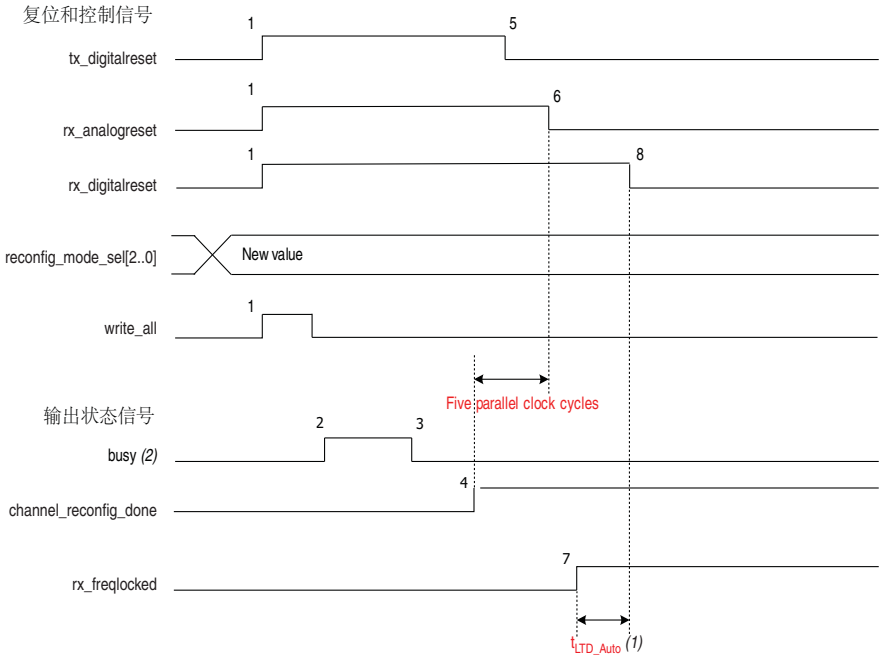


图 2–12 注释：

(1) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。

(2) 当发生偏移校准时， busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时， busy 信号才会被拉高或拉低。

如图 2–12 所示，当使用 PLL 动态重配置控制器来更改发送通道中的配置时，需要执行下面的复位步骤：

1. 上电并确保收发器按需操作后，将所需的新值写进相应的寄存器中（包括 reconfig_mode_sel[2:0]），接下来置位 write_all 信号（标记 1）以启动动态重配置。

   欲了解详细信息，请参考 *Cyclone IV Dynamic Reconfiguration* 章节。

2. 置位 tx_digitalreset、 rx_analogreset 和 rx_digitalreset 信号。
3. write_all 信号一被置位，动态重配置控制器就会开始执行它的操作。这是由 busy 信号的置位表明的（标记 2）。
4. 等待 channel_reconfig_done 信号的置位（标记 4），其表明在该模式下动态重配置的完成。
5. 置低 tx_digitalreset 信号（标记 5）。在 channel_reconfig_done 信号（标记 4）置位后和 rx_analogreset 信号（标记 6）置低前，必须拉低该信号。
6. channel_reconfig_done 信号（标记 4）置位后，等待至少五个并行时钟周期来置低 rx_analogreset 信号（标记 6）。
7. 最后，等待 rx_freqlocked 信号变高。 rx_freqlocked 变高后（标记 7），等待 t_{LTD_Auto} 来置低 rx_digitalreset 信号（标记 8）。这时候，接收器便可以开始数据传输。

断电

Quartus II 软件自动选择断电通道功能，当配置 Cyclone IV GX 器件时，这些功能变得有效。对所有未使用的收发器通道以及模块进行断电，从而降低总功耗。

gxb_powerdown 信号是一个可选的收发器模块信号。此信号关断收发器模块中的所有收发器通道及所有的功能模块。此信号的最小脉冲宽度为 1 µs。上电后，如果要使用 gxb_powerdown 信号，那么需要等待 busy 信号的置低，然后置位 gxb_powerdown 信号至少 1 µs。最后，遵循图 2–13 中所示的流程。

busy 信号的置低表明成功完成了接收通道上的偏移校准进程。

图 2–13. 使用可选 gxb_powerdown 信号的接受与发送通道 – 自动锁定模式中的接收器 CDR 的复位流程样例 *(1)*

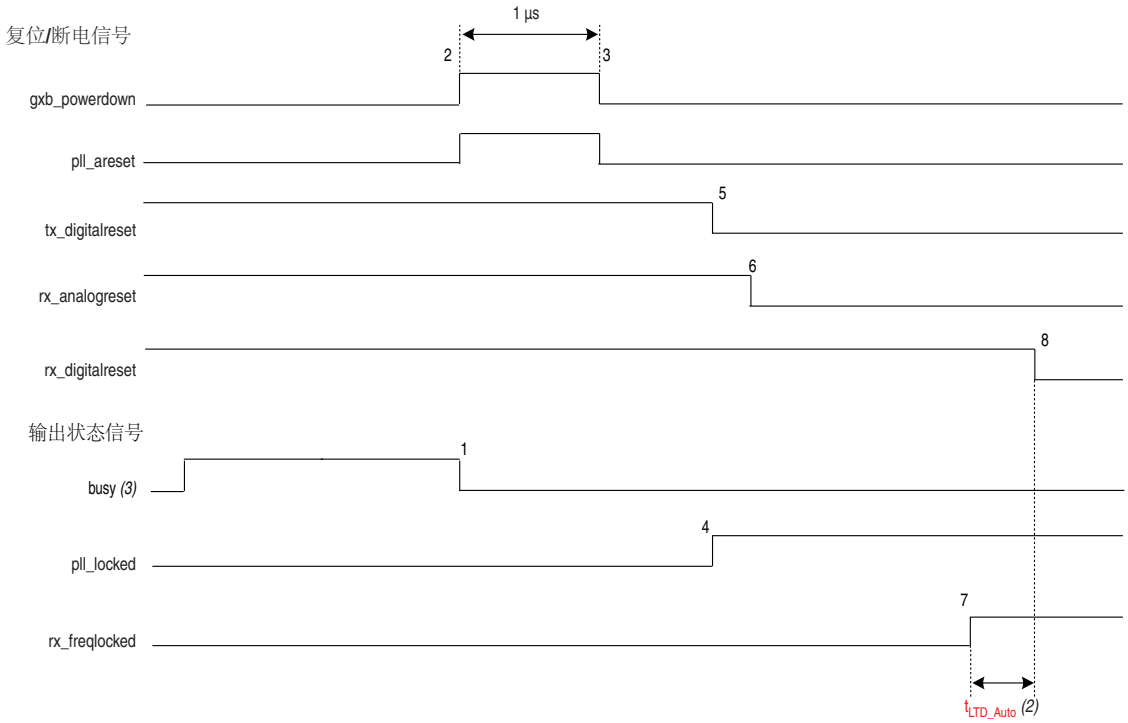


图 2–13 注释：

(1) 在偏移校准流程中，一定不要置位 gxb_powerdown 信号。

(2) 关于 t_{LTD_Auto} 持续时间的信息，请参考 *Cyclone IV Device Datasheet* 章节。

(3) 当发生偏移校准时，busy 信号仅在初始上电期间被拉高或拉低。在随后的复位流程中，只有对 ALTGX_RECONFIG 宏功能进行读或写操作时，busy 信号才会被拉高或拉低。

仿真要求

仿真要求如下：

- gxb_powerdown 端口是可选的。在仿真中，如果 gxb_powerdown 端口没有被例化，那么您必须适当地置位 tx_digitalreset、 rx_digitalreset 以及 rx_analogreset 信号，以实现正确的仿真行为。
- 如果 gxb_powerdown 端口被例化，并且其它的复位信号没有被使用，那么您必须置位 gxb_powerdown 信号至少 1 µs，以实现正确的仿真行为。

- rx_freqlocked 信号变高后，立即拉低 rx_digitalreset 信号，从而减少仿真运行时间。不必等待 t_{LTD_Auto}（真复位流程中所建议的）。
- 20 个并行 reconfig_clk 时钟周期后，busy 信号被拉低，从而减少仿真运行时间。对于硬件中的芯片行为，您可以遵照前面部分所介绍的复位流程。
- 在 PCIe 模式仿真中，发送常规数据前，必须置位 tx_forceelecidle 信号至少一个并行时钟周期，以实现正确的仿真行为。

参考信息

欲了解本章中一些常用的参考术语，请参考表 2–7 中所列出的相关链接。

表 2–7. 参考信息

本章中所使用的术语	参考页
自动锁定模式	第 2–8 页
Bonded 通道配置	第 2–6 页
busy	第 2–3 页
动态重配置复位流程	第 2–19 页
gxb_powerdown	第 2–3 页
LTD	第 2–6 页
LTR	第 2–6 页
手动锁定模式	第 2–9 页
Non-Bonded 通道配置	第 2–10 页
PCIe	第 2–17 页
pll_locked	第 2–3 页
pll_areset	第 2–3 页
rx_analogreset	第 2–2 页
rx_digitalreset	第 2–2 页
rx_freqlocked	第 2–3 页
tx_digitalreset	第 2–2 页

文档修订历史

表 2–8 列出了本章节的修订历史。

表 2–8. 文档修订历史

日期	版本	修订内容
2011 年 11 月	1.2	更新了 “ 除 PCIe 功能模式以外的所有支持的功能模式 ” 部分。
2010 年 12 月	1.1	■ 针对 Quartus II 10.1 的发布所作的更新。 ■ 将所有的 pll_powerdown 更新成 pll_areset。 ■ 在图 2–4、图 2–5、图 2–6、图 2–7、图 2–8、图 2–9、图 2–10、图 2–12 和图 2–13 中添加了关于 busy 信号的相关信息。 ■ 添加了更详细的相关信息（“ 接收与发送通道 — 自动锁定模式中的接收器 CDR”、“Receiver Only 通道 — 自动锁定模式中的接收器 CDR”、“Receiver Only 通道 — 手动锁定模式中的接收器 CDR”、“ 接收与发送通道 — 手动锁定模式中的接收器 CDR” 和 “ 通道重配置模式中的复位流程 ”）。 ■ 少量的文本编辑。
2010 年 7 月	1.0	首次发布。

3. Cyclone IV 动态重配置

CYIV-52003-2.1

Cyclone® IV GX 收发器支持对收发器的不同部分进行动态重配置，而无需对器件的任何部分断电。本章节提供并讲解了用于动态重配置各种模式的实例。

您可以使用 ALTGX_RECONFIG 和 ALTPLL_RECONFIG 控制器实例来对物理介质附加子层 (PMA) 控制、物理代码子层 (PCS)、 多用锁相环 (PLL) 以及通用锁相环 (PLL) 进行重配置。

本章节包含以下几部分内容：

- “术语表” 第 3-1 页
- “动态重配置控制器的体系结构” 第 3-2 页
- “动态重配置模式” 第 3-10 页
- “动态重配置期间的错误指示” 第 3-31 页
- “动态重配置进程的功能仿真” 第 3-32 页

术语表

表 3-1 列出了本章中所使用的术语：

表 3-1. 本章中所使用的术语

术语	描述
ALTGX_RECONFIG 实例	由 ALTGX_RECONFIG MegaWizard™ 插件管理器生成的动态重配置控制器实例。
ALTGX 实例	由 ALTGX MegaWizard 插件管理器生成的收发器实例。
ALTPLL_RECONFIG 实例	由 ALTPLL_RECONFIG Megawizard 插件管理器生成的动态 PLL 重配置控制器实例。
逻辑通道寻址	当对逻辑通道寻址的概念进行解释时，要用到这一术语。该术语并不是指 ALTGX_RECONFIG MegaWizard 插件管理器中的 logical_channel_address 端口。
存储器初始化文件 (.mif 文件)	带有 .mif 扩展名的文件将被生成，以用于基于 .mif 的重配置模式。此文件既可以用于通道重配置模式，也可以用于 PLL 重配置模式。 ■ 通道重配置模式 — 此文件包含了关于已设置的各种 ALTGX MegaWizard 插件管理器选项的相关信息。.mif 文件中的每个字为 16 bit 宽。动态重配置控制器将 .mif 中的信息写入到收发器通道。 ■ PLL 重配置模式 — 此文件包含了关于各种 PLL 参数与设置的相关信息，这些 PLL 参数与设置用于将收发器 PLL 配置成不同的输出频率。此 .mif 文件的容量为 144 × 1-bit。PLL 重配置模式期间，PLL 重配置控制器将这些 144-bit 串行地移入至收发器 PLL。
PMA 控制	代表在 ALTGX 以及 ALTGX_RECONFIG MegaWizard 插件管理器中所显示的 analog controls (Voltage Output Differential [V_{OD}]、Pre-emphasis、DC Gain 和 Manual Equalization)。
收发器通道	指的是一个内嵌 PMA 及 PCS 模块的发送通道、接收通道或者双工通道。

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO 9001:2008 Registered

动态重配置控制器的体系结构

动态重配置控制器是一种使用 FPGA 架构资源的软知识产权 (IP)。您只能在每个收发器模块中使用一个控制器。您不可以使用动态重配置控制器来控制多个 Cyclone IV 器件或者芯片外接口。

图 3-1 显示了动态重配置控制器体系结构的概念性视图。欲了解关于 ALTGX_RECONFIG 实例的输入与输出的详细说明，请参考第 3-31 页中的 “ 动态重配置期间的错误指示 ”。

图 3-1. 动态重配置控制器

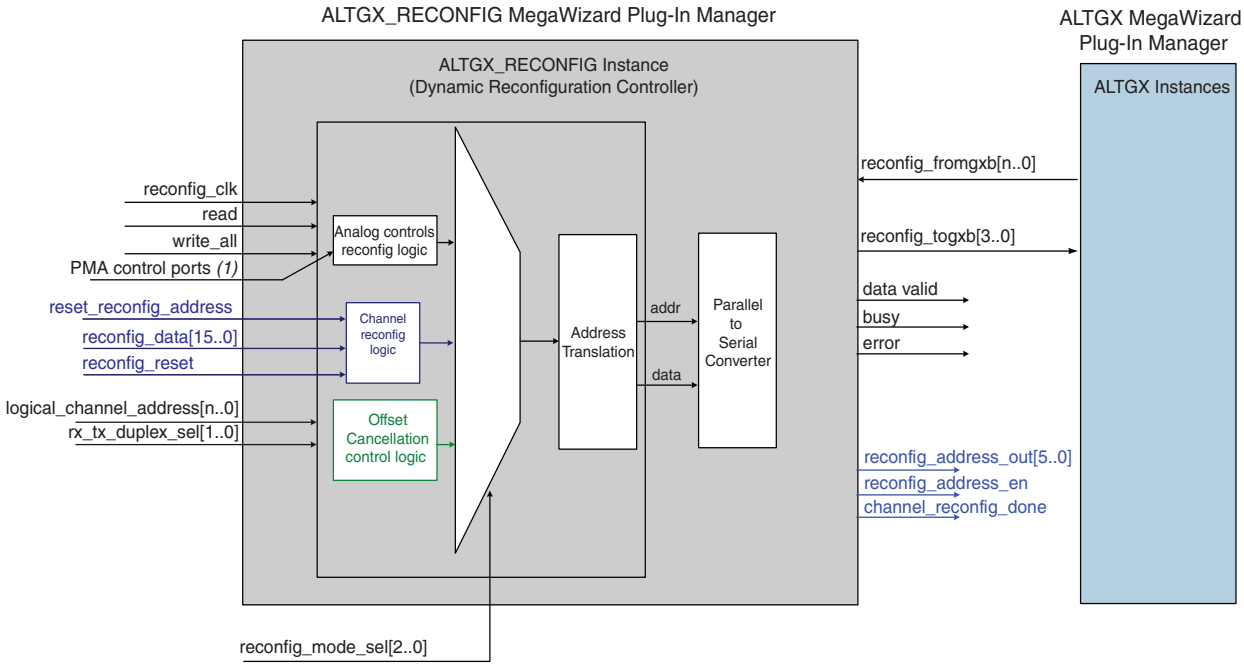


图 3-1 注释：

(1) PMA 控制端口由 V_{OD}、预加重、DC 增益以及手动均衡控制组成。

只有 PMA 重配置模式支持手动均衡控制。

您可以使用一个 ALTGX_RECONFIG 实例来控制多个收发器模块。然而，您不能使用多个 ALTGX_RECONFIG 实例来控制一个收发器模块。

动态重配置控制器端口列表

表 3–2 列出了动态重配置控制器的输入控制端口以及输出状态端口。

表 3–2. 动态重配置控制器端口列表 (ALTGX_RECONFIG 实例) (1/6)

端口名称	输入 / 输出	说明
ALTGX_RECONFIG 实例的时钟输入		
reconfig_clk	输入	该时钟的频率范围取决于下面的收发器通道配置模式： ■ **Receiver only** (37.5 MHz 到 50 MHz) ■ **Receiver and Transmitter** (37.5 MHz 到 50 MHz) ■ **Transmitter only** (2.5 MHz 到 50 MHz) 默认情况下，Quartus® II 对该端口分配一个全局时钟源。该时钟必须是一个由 I/O 时钟管脚产生的自激时钟。请不要使用专用收发器 REFCLK 管脚以及任何由收发器生成的时钟。
ALTGX 与 ALTGX_RECONFIG 接口信号		
reconfig_fromgxb [n..0]	输入	ALTGX 实例中的一个输出端口和 ALTGX_RECONFIG 实例中的一个输入端口。由于该信号是基于收发器模块的，因此该信号的宽度以每个收发器模块 5 bit 的幅度增长。 在 ALTGX MegaWizard 插件管理器中，该信号的宽度取决于 **General** 界面中 **What is the number of channels?** 选项中所选择的通道数量。 例如，若所选的 ALTGX 实例中的通道数量如下所示： 1 ≤ 通道数量 ≤ 4，则输出端口 reconfig_fromgxb[4..0] = 5 bit 5 ≤ 通道数量 ≤ 8，则输出端口 reconfig_fromgxb[9..0] = 10 bit 9 ≤ 通道数量 ≤ 12，则输出端口 reconfig_fromgxb[14..0] = 15 bit 13 ≤ 通道数量 ≤ 16，则输出端口 reconfig_fromgx[19..0] = 20 bit 请遵照下面的原则来连接 ALTGX_RECONFIG 实例与多个 ALTGX 实例之间的 reconfig_fromgxb 端口： ■ 连接 ALTGX 实例 1 的 reconfig_fromgxb[4..0] 到 ALTGX_RECONFIG 实例的 reconfig_fromgxb[4..0]。连接下一个 ALTGX 实例的 reconfig_fromgxb[] 端口到 ALTGX_RECONFIG 实例中接下来的可用 bit，以此类推。 ■ 连接ALTGX实例的reconfig_fromgxb端口(其具有最高的**What is the starting channel number?** 选项) 到 ALTGX_RECONFIG 实例的 reconfig_fromgxb 端口的最高有效位 (MSB)。 如果动态重配置选项在 ALTGX 实例中被使能，而 reconfig_fromgxb 和 reconfig_togxb 端口没有连接到 ALTGX_RECONFIG 实例，那么 Quartus II Fitter 会产生一个警告信息。
reconfig_togxb [3..0]	输出	ALTGX 实例的一个输入端口和 ALTGX_RECONFIG 实例的一个输出端口。您必须将由动态重配置控制器控制的每个 ALTGX 实例的 reconfig_togxb[3..0] 输入端口连接至 ALTGX_RECONFIG 实例的 reconfig_togxb[3..0] 输出端口。 该端口宽度始终固定为 4 bit。

表 3-2. 动态重配置控制器端口列表 (ALTGX_RECONFIG 实例) (2/6)

端口名称	输入 / 输出	说明
FPGA 架构与 ALTGX_RECONFIG 接口信号		
write_all	输入	置位该信号一个 reconfig_clk 时钟周期，以启动一个从 ALTGX_RECONFIG 实例到 ALTGX 实例的写传输。 可以通过两种方式将该信号用于基于 .mif 文件的模式： ■ 连续写操作 — 选择 Enable continuous write of all the words needed for reconfiguration 选项，仅对 write_all 信号提供一次脉冲来实现整个 .mif 文件的写入。What is the read latency of the MIF contents 选项仅在该情况中可用。依据 reconfig_clk 周期数来输入所需的延迟。 ■ 常规写操作 — 当 Enable continuous write of all the words needed for reconfiguration 选项禁用时，.mif 文件的每个字均需要各自的写周期。
busy	输出	该信号用于表明在偏移校准期间动态重配置控制器的繁忙状态。器件上电后，该信号在第一个 reconfig_clk 时钟周期保持低电平，然后被置位，并在动态重配置控制器对所有连接至 ALTGX_RECONFIG 实例的接收通道执行偏移校准时，保持高电平。 busy 信号的撤销表明了偏移校准过程的圆满完成。 ■ PMA 控制重配置模式 — 当动态重配置控制器执行读写操作时，该信号处于高电平。 ■ 通道重配置模式 — 当动态重配置控制器在收发器通道写入 .mif 文件时，该信号处于高电平。
read	输入	置位该信号一个 reconfig_clk 时钟周期，以启动读传输。read 端口仅适用于 PMA 控制重配置模式。当在 Reconfiguration settings 标签中选择 Analog controls，并在 Analog controls 标签中选择至少一个 PMA 控制端口时，read 端口才可用。
data_valid	输出	仅适用于 PMA 控制重配置模式。该端口表明了动态重配置控制器从收发器所读取的数据的有效性。 只有 data_valid 为高电平时，输出读端口上的数据才有效。 当使能至少一个用于读传输的 PMA 控制端口时，该信号才被使能。例如，tx_vodctrl_out。
error	输出	该端口表明了试图进行一个不支持的操作。您可以在 Error checks 界面中选择该端口。当尝试不支持的操作时，动态重配置控制器会撤销 busy 信号，并置位 error 信号两个 reconfig_clk 周期。要了解详细信息，请参考第 3-31 页中的 “ 动态重配置期间的错误指示 ”。
logical_channel_address[n..0]	输入	当您在 Analog controls 界面中使能了 Use 'logical_channel_address' port for Analog controls reconfiguration 选项时，ALTGX_RECONFIG MegaWizard Plug-In Manager 将使能该端口。 logical_channel_address 端口宽度取决于您在 Reconfiguration settings 界面的 What is the number of channels controlled by the reconfig controller? 选项中设置的值。只有在动态重配置控制器所控制的通道数量大于一个时，该端口才能被使能。 由重配置控制器所控制的通道数量 → logical_channel_address 输入端口宽度 2 → logical_channel_address[0] 3 - 4 → logical_channel_address[1..0] 5 - 8 → logical_channel_address[2..0] 9 - 16 → logical_channel_address[3..0]

表 3-2. 动态重配置控制器端口列表 (ALTGX_RECONFIG 实例) (3/6)

端口名称	输入 / 输出	说明
rx_tx_duplex_sel [1..0]	输入	这是一个 2 bit 宽信号，您可以在 **Error checks** 界面中选择该端口。 使用该可选端口的好处在于：即使通道配置是双工的，您也能够仅对通道的发送部分进行重配置。 对于设置： ■ rx_tx_duplex_sel[1:0] = 2'b00— 对通道的接收以及发送部分进行重配置。 ■ rx_tx_duplex_sel[1:0] = 2'b01— 对通道的接收部分进行重配置。 ■ rx_tx_duplex_sel[1:0] = 2'b10— 对通道的发送部分进行重配置。
模拟设置控制 / 状态信号		
tx_vodctrl[2..0] *(1)*	输入	这是一个可选的发送缓冲器 V_{OD} 控制信号，每个发送通道 3 bit。根据 ALTGX MegaWizard 插件管理器的 **TX Analog** 界面上的发送缓冲器供应设置以及匹配电阻设置，设置数量会有所不同。 如果使能了 **Analog controls** 界面中的 **Use 'logical_channel_address' port for Analog controls reconfiguration** 选项，或者 **Use same control signal for all the channels** 选项，那么该信号的宽度会固定为 3 bit。否则，该信号的宽度为每通道 3 bit。 下面显示了与 100-Ω匹配电阻的 tx_vodctrl 设置相对应的 V_{OD} 的值。 欲了解详细信息，请参考 *Cyclone IV GX Device Datasheet* 章节中的 "Programmable Output Differential Voltage" 部分。 tx_vodctrl[2:0] — 相应的 ALTGX 实例设置 — 相应的 V_{OD} 设置 (mV) 3'b001 — 1 — 400 3'b010 — 2 — 600 3'b011 — 3 — 800 3'b111 — 4 *(2)* — 900 *(2)* 3'b100 — 5 — 1000 3'b101 — 6 — *1200* 所有其它值 => N/A

表 3-2. 动态重配置控制器端口列表 (ALTGX_RECONFIG 实例) (4/6)

端口名称	输入 / 输出	说明
tx_preemp[4..0] *(1)*	输入	这是一个用于发送缓冲器的可选预加重写控制。根据此输入端的设置值，控制器将值动态地写入发送缓冲器的预加重控制寄存器中。 如果使能了 **Analog controls** 界面中的 **Use 'logical_channel_address' port for Analog controls reconfiguration** 选项，或者 **Use same control signal for all the channels** 选项，那么该信号的宽度会固定为 5 bit。否则，该信号的宽度为每通道 5 bit。 tx_preemp[4..0] — 相应的 ALTGX 实例设置 — 相应的预加重设置 (mA) 00000 — 0 — Disabled 00001 — 1 — 0.5 00101 — 5 — 1.0 01001 — 9 — 1.5 01101 — 13 — 2.0 10000 — 16 — 2.375 10001 — 17 — 2.5 10010 — 18 — 2.625 10011 — 19 — 2.75 10100 — 20 — 2.875 10101 — 21 — 3.0 所有其它值 => N/A
rx_eqctrl[3..0] *(1)*	输入	这是一个可选的写控制，写入用于 PMA 接收侧的均衡控制值。 如果使能了 **Analog controls** 界面中的 **Use 'logical_channel_address' port for Analog controls reconfiguration** 选项，或者 **Use same control signal for all the channels** 选项，那么该信号的宽度会固定为 4 bit。否则，该信号的宽度为每通道 4 bit。 rx_eqctrl[3..0] — 相应的 ALTGX 实例设置 0001 — 低 0101 — 中低 0100 — 中高 0111 — 高 所有其它值 => N/A
rx_eqdcgain [1..0] *(1)*	输入	这是一个可选的均衡器 DC 增益写控制。 如果使能了 **Analog controls** 界面中的 **Use 'logical_channel_address' port for Analog controls reconfiguration** 选项，或者 **Use same control signal for all the channels** 选项，那么该信号的宽度会固定为 2 bit。否则，该信号的宽度为每通道 2 bit。 下面的值是该信号所允许的合法设置： rx_eqdcgain[1..0] — 相应的 ALTGX 设置 — 相应的 DC 增益值 (dB) 2'b00 — 0 — 0 2'b01 — 1 — 3 *(2)* 2'b10 — 2 — 6 所有其它值 => N/A 关于详细信息，请参考 *Cyclone IV GX Device Datasheet* 章节的 "Programmable Equalization and DC Gain" 部分。

表 3-2. 动态重配置控制器端口列表 (ALTGX_RECONFIG 实例) (5/6)

端口名称	输入 / 输出	说明
tx_vodctrl_out [2..0]	输出	这是一个可选的发送 V_{OD} 读控制信号。该信号读出被写入到 V_{OD} 控制寄存器中的值。该输出信号的宽度取决于动态重配置控制器所控制的通道数量，以及 **Use 'logical_channel_address' port for Analog controls reconfiguration** 选项和 **Use same control signal for all the channels** 选项的配置。
tx_preemp_out [4..0]	输出	这是一个可选的预加重读控制信号。该信号读出被其输入控制信号写入的值。 该输出信号的宽度取决于动态重配置控制器所控制的通道数量，以及 **Use 'logical_channel_address' port for Analog controls reconfiguration** 选项和 **Use same control signal for all the channels** 选项的配置。
rx_eqctrl_out [3..0]	输出	这是一个可选的读控制信号，以读取 ALTGX 实例均衡设置的设置值。 该输出信号的宽度取决于动态重配置控制器所控制的通道数量，以及 **Use 'logical_channel_address' port for Analog controls reconfiguration** 选项和 **Use same control signal for all the channels** 选项的配置。
rx_eqdcgain_out [1..0]	输出	这是一个可选的均衡器 DC 增益读控制信号。该信号读出 ALTGX 实例 DC 增益的设置值。该输出信号的宽度取决于动态重配置控制器所控制的通道数量，以及 **Use 'logical_channel_address' port for Analog controls reconfiguration** 选项和 **Use same control signal for all the channels** 选项的配置。
收发器通道重配置控制 / 状态信号		
reconfig_mode_ sel[2..0] *(3)*	输入	对该信号设置下面的值，以启用相应的动态重配置模式： 3'b000 = PMA 控制重配置模式 (这是默认值) 3'b001 = 通道重配置模式 所有其它值 => N/A 仅当使能多个动态重配置模式时，reconfig_mode_sel[] 才可用作输入端。
reconfig_address _out[5..0]	输出	该信号始终可用于在 **Channel reconfiguration** 界面中进行选择。该信号仅适用于包括 **channel interface** 与 **Use RX local divider** 选项的 **Channel reconfiguration mode** 下的一组动态重配置模式。 当在收发器通道中写入 **.mif** 文件时，该信号代表 ALTGX_RECONFIG 实例所使用的当前地址。该信号从 0 开始，以 1 递增到最后的地址，然后再从 0 地址开始。您可以使用该信号来表明所有 **.mif** 文件写传输的结束 (reconfig_address_out[5..0] 在所有 .mif 文件写传输结束时，从最后的地址变到 0)。
reconfig_address _en	输出	这是一个可在 **Channel reconfiguration** 界面中选择的可选信号。该信号仅适用于 **Channel reconfiguration** 选项下的一组动态重配置模式。 动态重配置控制器置位 reconfig_address_en，以表明 reconfig_address_out[5..0] 已经改变。该信号仅在动态重配置控制器完成写入 **.mif** 文件的一个 16-bit 字之后才被置位。
reset_reconfig_ address	输入	这是一个可在 **Channel reconfiguration** 界面中选择的可选信号。该信号仅适用于 **Channel reconfiguration** 选项下的一组动态重配置模式。 如果要重配置期间对 ALTGX_RECONFIG 实例所使用的重配置地址进行复位，则需要使能该信号，并且置位该信号一个 reconfig_clk 时钟周期。
reconfig_data [15..0]	Input	该信号仅适用于 **Channel reconfiguration** 选项下的一组动态重配置模式。这是一个含有重配置信息的 16-bit 字，存储在必须生成的 **.mif** 文件中。ALTGX_RECONFIG 实例要求您通过使用 write_all 信号来对每一个 **.mif** 文件写传输提供 reconfig_data [15..0]。
reconfig_reset *(4)*	输入	通过使用这一信号，您可以在 **Channel reconfiguration** 模式中对所有的重配置进程进行复位。置位此端口将对重配置控制器逻辑中所有的寄存器进行复位。此端口仅出现在 **Channel reconfiguration** 模式中。 如果正在驱动此端口，则需要将复位信号同步到 reconfig_clk 域。

表 3-2. 动态重配置控制器端口列表 (ALTGX_RECONFIG 实例) (6/6)

端口名称	输入 / 输出	说明
channel_reconfig_done	输出	该信号变为高电平表明动态重配置控制器已经完成了写入 .mif 文件的所有字。channel_reconfig_done 信号在新的动态重配置写序列的开始部分被自动撤销。此信号仅适用于通道重配置模式中。

表 3-2 注释：

(1) 不是所有组合的输入 bit 都是合法值。

(2) 此设置被要求用于实现 PCI Express® (PIPE) 功能模式兼容。

(3) 通过使用 ALTPLL_RECONFIG 控制器来执行 PLL 重配置。因此，它不是通过 reconfig_mode_sel[2..0] 端口选择的。

(4) reconfig_reset 将不会重新开始偏移校准操作。 偏移校准仅在上电后出现一次，当对随后的 reconfig_reset 置位时，不会出现偏移校准。

偏移校准功能

Cyclone IV GX 器件在每一接收通道上均提供了偏移校准电路，以解决由于工艺、电压和温度 (PVT) 而导致的偏移变化。这些变化在模拟电路电压中会产生偏移，使它们超出了所期望的范围。除了重配置收发器通道，上电后动态重配置控制器在连接到它的所有接收通道上也将执行偏移校准功能。

对于 **Receiver and Transmitter** 与 **Receiver only** 配置，**Offset cancellation for Receiver channels** 选项在 ALTGX 以及 ALTGX_RECONFIG MegaWizard 插件管理器中被自动使能。此选项不适用于 **Transmitter only** 配置。对于 **Receiver and Transmitter** 与 **Receiver only** 配置，一定要在 ALTGX_RECONFIG 与 ALTGX（带有接收通道）实例之间连接必要的接口信号。

偏移校准在每一次器件上电后会自动执行。偏移校准的控制逻辑集成到动态重配置控制器中。在您的设计中，必须连接 ALTGX_RECONFIG 与 ALTGX 实例（带有接收通道）。另外，也必须将 reconfig_fromgxb、reconfig_togxb 和必要的时钟信号连接到 ALTGX_RECONFIG 以及 ALTGX 实例（带有接收通道）。

器件上电时，通过将接收器输入管脚从接收器数据通路中断开，动态重配置控制器在接收通道上启动偏移校准功能。随后，偏移校准进程将遍历不同的状态，并以接收缓冲器的偏移校准告终。

上电后偏移校准进程仅出现一次。当对下一个 reconfig_reset 置位时，将不会出现偏移校准进程。偏移校准进程完成后，如果置位 reconfig_reset，那么偏移校准进程将不会再次运行。如果上电后置位 reconfig_reset，那么直到撤销 reconfig_reset，偏移校准进程才会开始。如果在上电之后，但在偏移校准进程完成之前置位 reconfig_reset，那么将不会完成偏移校准进程，仅当 reconfig_reset 被撤销时，才会重新开始偏移校准进程。

图 3–2 显示了偏移校准进程的连接情况。

图 3–2. 偏移校准进程中 ALTGX 与 ALTGX_RECONFIG 的连接情况

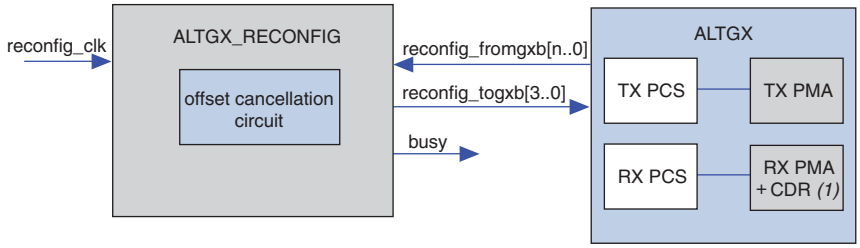


图 3–2 注释：

(1) 此模块在偏移校准进程中是有效的。

动态重配置控制器通过 reconfig_togxb 和 reconfig_fromgxb 信号将数据发送到收发器通道，以及接收收发器通道的数据。

偏移校准执行期间，一定不要置位 gxb_powerdown 信号。

图 3–3 显示了偏移校准进程的时序图。

图 3–3. 偏移校准期间动态重配置信号的跳变情况

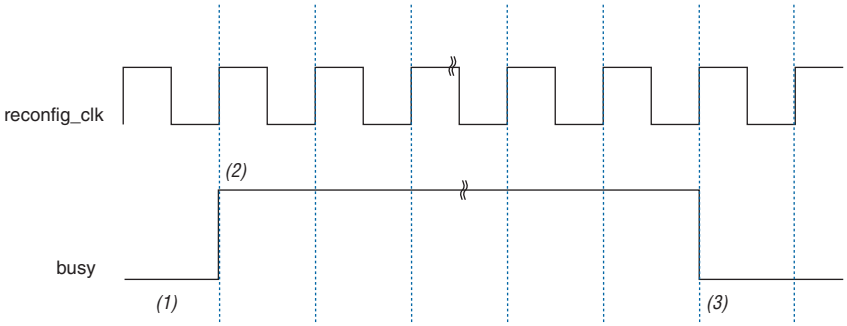


图 3–3 注释：

(1) 器件上电后，busy 信号在第一个 reconfig_clk 时钟周期保持在低电平。
(2) 当动态重配置控制器启动偏移校准进程时，busy 信号便在第二个 reconfig_clk 时钟周期被置位。
(3) busy 信号的撤销表明了偏移校准进程的圆满完成。

偏移校准进程的功能仿真

在您的设计中，必须连接 ALTGX_RECONFIG 与 ALTGX 实例，以实现功能仿真。功能仿真使用动态重配置控制器已减少的时序模型。因此，对于功能仿真而言，偏移校准进程的持续时间为 16 个 reconfig_clk 时钟周期。在偏移校准执行期间（针对功能仿真和芯片），一定不要置位 gxb_powerdown 信号。

动态重配置模式

动态重配置功能使能后，您可以对每一个收发器通道的下列部分进行动态重配置，而无需关断其它的收发器通道或者器件的 FPGA 架构：

- 模拟 (PMA) 控制重配置
- 通道重配置
- PLL 重配置

表 3-3 列出了 Cyclone IV GX 器件所支持的动态重配置模式。

表 3-3. Cyclone IV GX 器件所支持的动态重配置模式

所支持的动态重配置模式	操作模式			Quartus II 实例			.mif 文件要求
	Transmitter Only	Receiver Only	Transmitter and Receiver Only	ALTGX	ALTGX_RECONFIG	ALTPLL_RECONFIG	
偏移校准	—	✓	✓	✓	✓	—	—
模拟 (PMA) 控制重配置	✓	✓	✓	✓	✓	—	—
通道重配置							
通道接口	✓	✓	✓	✓	✓	—	✓
接收通道中的数据速率分频	—	✓	✓	✓	✓	—	✓
PLL 重配置	✓	✓	✓	✓	—	✓	✓

下面列出的模式可用于对 Cyclone IV 收发器进行动态重配置：

- “PMA 控制重配置模式 ” 第 3-10 页
- “ 收发器通道重配置模式 ” 第 3-17 页
  - 通道接口（基于 **.mif** 文件）
  - 接收通道中的数据速率分频（基于 **.mif** 文件）

以下部分将对每一种模式进行详尽的介绍。

以下模式不支持动态重配置：

- 动态地使能 / 禁止 PRBS 或者 BIST
- Receiver-only 通道与 Transmitter-only 通道之间进行切换
- ×1 模式与 bonded ×4 模式之间进行切换

PMA 控制重配置模式

对于在 ALTGX 实例中配置的所有支持的收发器配置通道，您可以对下面的 PMA 控制进行动态重配置：

- 预加重设置
- 均衡设置（通道重配置模式不支持均衡设置）
- DC 增益设置

- V_{OD} 设置

通过使用模拟重配置功能，您能够对 PMA 模块发送器或者收发器中的收发器通道设置进行动态重配置，并根据所需的输入数据即时更新 PMA 控制，以及对该模拟重配置模式分别执行读写传输。

下面的三个方法用于动态重配置收发器通道的 PMA 控制：

- “ 方法 1：使用 logical_channel_address 重配置指定的收发器通道 ” 第 3-11 页
- “ 方法 2：写入相同的控制信号来控制所有的收发器通道 ” 第 3-13 页
- “ 方法 3：对所有收发器通道同时写入不同控制信号 ” 第 3-15 页

方法 1：使用 logical_channel_address 重配置指定的收发器通道

在 **Analog controls** 标签上选择 **Use ‘logical_channel_address’ port** 选项以使能 logical_channel_address 端口。此方法仅适用于动态重配置控制器控制多个通道的设计。

另外，您也可以通过设置 rx_tx_duplex_sel 输入端口上的相应值来对收发器通道的接收器部分、发射器部分、或者两个部分同时进行重配置。欲了解详细信息，请参考第 1-3 页表 3-2。

连接 PMA 控制端口

不管 ALTGX_RECONFIG 实例所控制的通道数是多少，选定的 PMA 控制端口总是保持固定的宽度：

- tx_vodctrl 和 tx_vodctrl_out 固定在 3 bit
- tx_preemp 和 tx_preemp_out 固定在 5 bit
- rx_eqdcgain 和 rx_eqdcgain_out 固定在 2 bit
- rx_eqctrl 和 rx_eqctrl_out 固定在 4 bit

写传输

要完成一个写传输，需要执行下列步骤：

1. 按需要设置选定的 PMA 控制端口（例如， tx_vodctrl = **3’b001**）。
2. 将 logical_channel_address 输入端口设置成收发器通道（欲重配置其 PMA 控制）的逻辑通道地址。
3. 将 rx_tx_duplex_sel 端口设置成 **2’b10**，这样只有发送 PMA 控制被写入到收发器通道中。
4. 写传输开始前，要确保 busy 信号为低电平。
5. 置位 write_all 信号一个 reconfig_clk 时钟周期。

busy 输出状态信号为高电平，表明动态重配置控制器正忙于写入 PMA 控制值。读传输完成后，busy 信号变为低电平。

图 3-4 显示了方法 1 中的写传输的波形。

图 3-4. 写传输波形 —Use ‘logical_channel_address port’ 选项

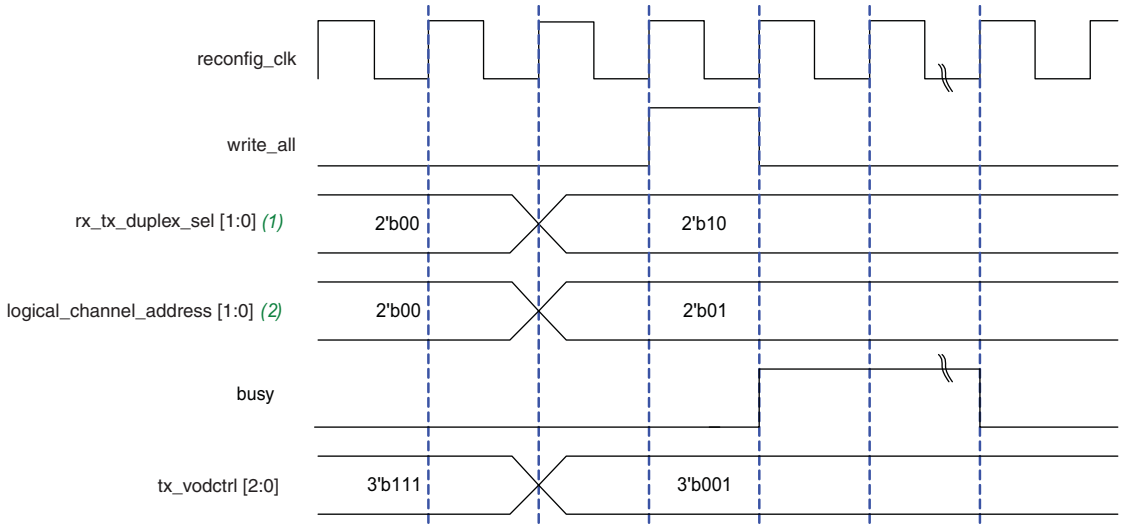


图 3-4 注释：

(1) 在此波形实例中，只能在通道的发射器部分写入数据。
(2) 在此波形实例中，连接到动态重配置控制器的通道数为四。因此，logical_channel_address 端口为 2 bit 宽。

读传输

举例说明，要从由 ALTGX_RECONFIG 实例控制的指定通道发射器部分中的发射 V_{OD} 控制寄存器中读取现有的 V_{OD} 值，需要执行下列步骤：

1. 将 logical_channel_address 输入端口设置成收发器通道（欲读取其 PMA 控制）的逻辑通道地址（例如，tx_vodctrl_out)。
2. 将 rx_tx_duplex_sel 端口设置成 **2’b10**，以便从收发器通道中只读取发送 PMA 控制。
3. 读传输开始前，要确保 busy 信号为低电平。
4. 置位 read 信号一个 reconfig_clk 时钟周期，从而启动读传输。

busy 输出状态信号被拉高，表明动态重配置控制器正忙于读取 PMA 控制值。读传输完成后，busy 信号变为低电平。data_valid signal 被置位表明了读控制信号上的可用数据是有效的。

图 3-5 显示了方法 1 的读传输波形。

图 3-5. 读传输波形 —Use ‘logical_channel_address port’ 选项

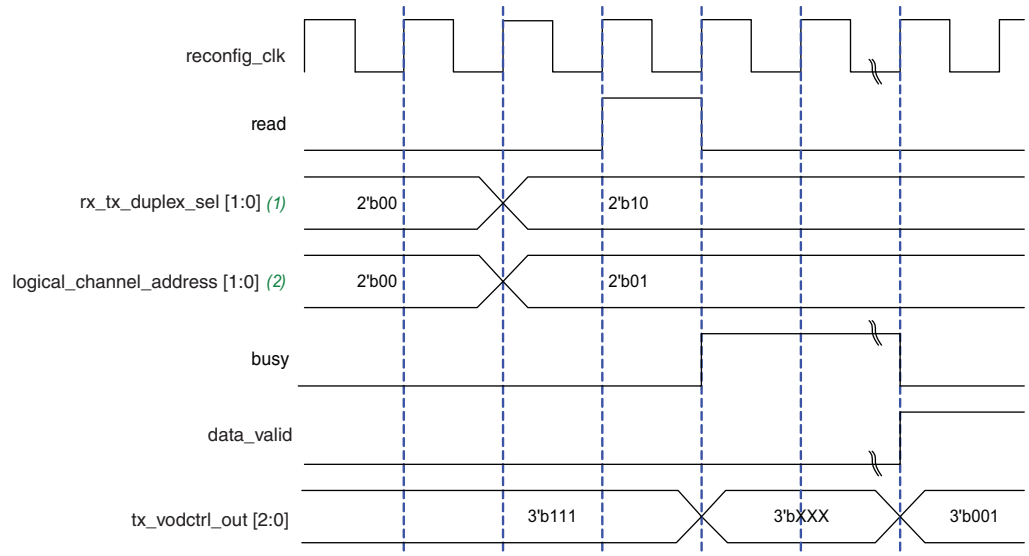


图 3-5 注释：

(1) 在这一波形实例中，仅从通道的发送器部分读取数据。
(2) 在这一波形实例中，连接到动态重配置控制器的通道数为四。因此，logical_channel_address 端口为 2 bit 宽。

同时进行读写传输是不允许的。

方法 2：写入相同的控制信号来控制所有的收发器通道

该方法不要求 logical_channel_address 端口。对连接到 ALTGX_RECONFIG 实例的所有收发器通道的 PMA 控制进行重配置。

您可以使用 ALTGX_RECONFIG MegaWizard 插件管理器的 **Analog controls** 标签中的 **Use the same control signal for all the channels** 选项。如果使能该选项，则 PMA 控制端口的固定宽度如下所示：

写传输中所使用的 PMA 控制端口

- tx_vodctrl 固定为 3 bit
- tx_preemp 固定为 5 bit
- rx_eqdcgain 固定为 2 bit
- rx_eqctrl 固定为 4 bit

读传输中所使用的 PMA 控制端口

- tx_vodctrl_out 为每通道 3 bit
- tx_preemp_out 为每通道 5 bit
- rx_eqdcgain_out 为每通道 2 bit
- rx_eqctrl_out 为每通道 4 bit

例如，假设由动态重配置控制器控制的通道数为 2，则 tx_vodctrl_out 为 6 bit 宽。

写传输

在选定的 PMA 控制端口中设定的值会被写入到连接至 ALTGX_RECONFIG 实例的所有收发器通道。

例如，假设您已经在 ALTGX_RECONFIG MegaWizard Plug-In Manager 中使能了 tx_vodctrl，从而对收发器通道的 V_{OD} 进行重配置。要通过完成写传输来重配置 V_{OD}，需要执行下列步骤：

1. 启动写传输前，按需要设置选定的 PMA 控制端口（例如，tx_vodctrl = 3'b001）。
2. 将 rx_tx_duplex_sel 端口设置成 2'b10，以便只有发送 PMA 控制被写入到收发器通道。
3. 写传输开始前，要确保 busy 信号为低电平。
4. 置位 write_all 信号一个 reconfig_clk 时钟周期，从而启动写传输。
5. busy 输出状态信号被拉高，表明动态重配置控制器正忙于写入 PMA 控制值。读传输完成后，busy 信号变为低电平。

图 3-6 显示了方法 2 中的写传输。

图 3-6. 写传输波形 — 将同一信号用于所有的通道选项

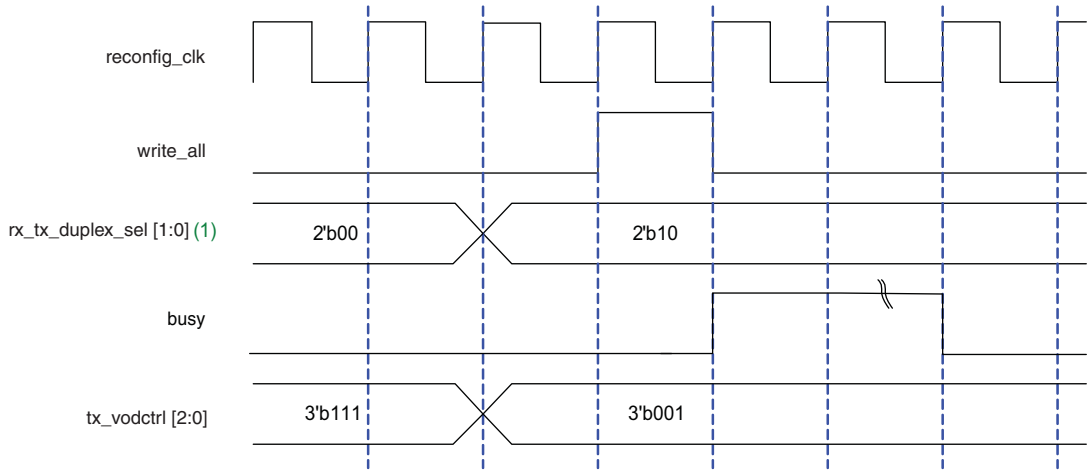


图 3-6 注释：

(1) 在这一波形实例中，仅从通道的发送器部分读取数据。

读传输

如果要从连接至 ALTGX_RECONFIG 实例的指定通道中读取现有的值，那么在读传输完成后，需要观测 PMA 控制端口的相应字节位置。

例如，如果由 ALTGX_RECONFIG 控制的通道数为 2，则 tx_vodctrl_out 为 6 bit 宽。tx_vodctrl_out[2:0] 信号与通道 1 相对应，tx_vodctrl_out[5:3] 信号与通道 2 相对应。

要完成第二个通道 V_{OD} 值的读传输，需要执行下列步骤：

1. 启动读传输之前，需要将 rx_tx_duplex_sel 端口设置成 2'b10，以便从收发器通道中仅读取发送 PMA 控制。

2. 读传输开始前，要确保 busy 信号为低电平。
3. 置位 read 信号一个 reconfig_clk 时钟周期，从而启动读传输。
4. busy 输出状态信号被拉高，表明动态重配置控制器正忙于读取 PMA 控制设置。
5. 读传输完成后，busy 信号变为低电平。data_valid 信号被置位，表明读控制信号上的可用数据是有效的。
6. 要读取通道 2 中的 V_{OD} 的当前值，需要观测 tx_vodctrl_out[5:3] 中的值。

在图 3-7 所示的波形实例中，读传输开始前在通道 1 和 2 中写入的传输 V_{OD} 设置值分别为 3'b001 和 3'b010。

图 3-7. 读传输波形 — 将同一控制信号用于已使能的所有通道选项

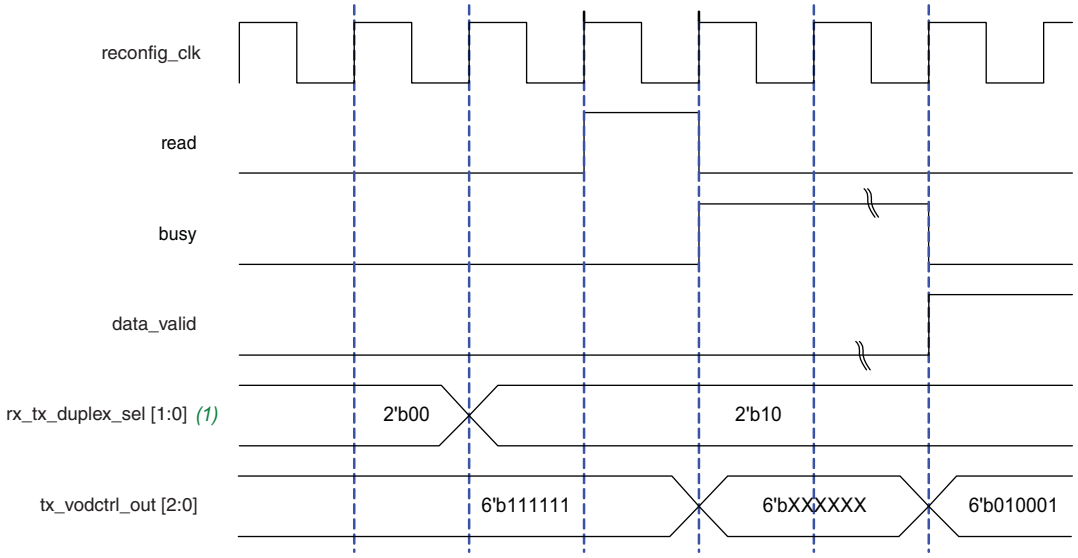


图 3-7 注释：
(1) 在这一波形实例中，仅从通道的发送器部分读取数据。

同时进行读写传输是不允许的。

方法 3：对所有收发器通道同时写入不同控制信号

如果禁用 **Use the same control signal for all the channels** 选项，则写传输的 PMA 控制端口对于每一个通道都是独立的。如果禁用该选项，则 PMA 控制端口的固定宽度如下所示：

写传输中所使用的 PMA 控制端口

- tx_vodctrl 为每通道 3 bit
- tx_preemp 为每通道 5 bit
- rx_eqdcgain 为每通道 2 bit
- rx_eqctrl 为每通道 4 bit

例如，如果有两个通道，则 tx_vodctrl 为 6 bit 宽（tx_vodctrl [2:0] 与通道 1 相对应，tx_vodctrl [5:3] 与通道 2 相对应）。

读传输中所使用的 PMA 控制端口

正如第 3-13 页中的 “ 方法 2：写入相同的控制信号来控制所有的收发器通道 ” 所解释的，读传输的 PMA 控制端口的数据宽对于每一个通道始终是独立的。

写传输

由于所有通道的 PMA 控制都将被写入，因此如果想对连接至 ALTGX_RECONFIG 实例的指定通道进行重配置，则需要在所需通道的相应 PMA 控制端口设置一个新值，并且在此写传输开始之前，通过读传输在其它有效通道中保留之前存储的值。

例如，如果由 ALTGX_RECONFIG 实例控制的通道数为 2，那么该情况下的 tx_vodctrl 信号应该为 6 bit 宽。tx_vodctrl[2:0] 信号与通道 1 相对应，tx_vodctrl[5:3] 信号与通道 2 相对应。

- 要想使用一个新值仅对通道 2 的 PMA 控制进行动态重配置，首先需要执行读传输，从 tx_vodctrl_out[5:0] 中检索现有的 PMA 控制值。将 tx_vodctrl_out[2:0] 值用于 tx_vodctrl[2:0]，以写入通道 1。这样通道 1 就会被相同的值覆盖。
- 执行写传输。这样可以确保仅在通道 2 中写入新值，而通道 1 保持不变。

图 3-8 显示了 **Use the same control signal for all the channels** 选项被禁用时的写传输波形。

图 3-8. 写传输波形 — 将同一控制信号用于被禁用的所有通道选项

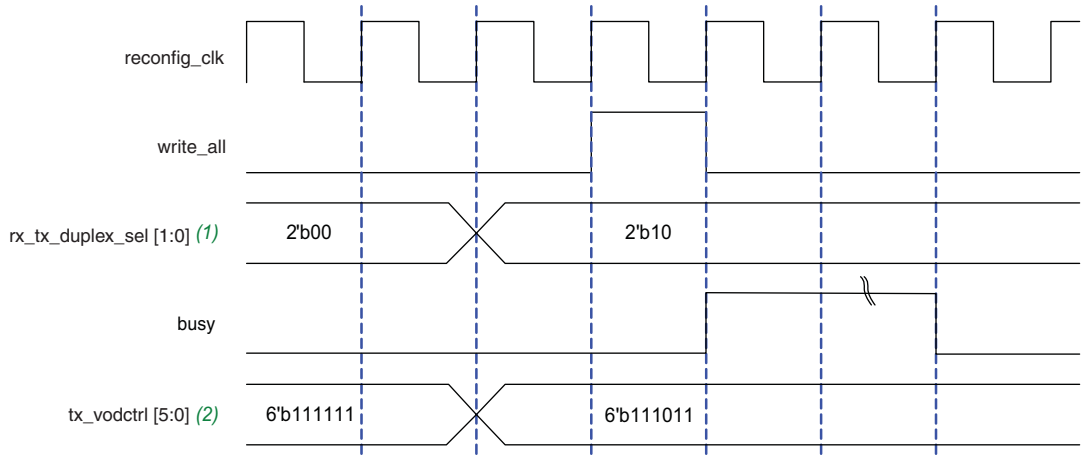


图 3-8 注释：

(1) 在这一波形实例中，仅对通道的发送器部分写入数据。
(2) 在这一波形实例中，由动态重配置控制器 (ALTGX_RECONFIG 实例) 所控制的通道数量为 2，并且 tx_vodctrl 控制端口是使能的。

同时进行读写传输是不允许的。

读传输

方法 3 中的读传输与方法 2 中的读传输是完全相同的，请参考第 3-14 页中的 “ 读传输 ” 。

这是一个低效的方法。即便是改变通道中的一个参数，您也必须对所有的通道写入所有的 PMA 设置。对于时序要求严格的应用，Altera 建议使用 logical_channel_address 方法。

对于每一种方法，您也可以重配置收发器通道的发送器以及接收器部分、仅发送器部分或者仅接收器部分的 PMA 设置。欲了解详细信息，请参考第 3-3 页中的 “ 动态重配置控制器端口列表 ”。您可以通过选择 ALTGX_RECONFIG MegaWizard Plug-In Manager 的 **Error checks** 标签中的 **Use 'rx_tx_duplex_sel' port to enable RX only, TX only or duplex reconfiguration** 选项来使能 rx_tx_duplex_sel 端口。

图 3-9 显示了在模拟重配置模式下进行设置时的 ALTGX_RECONFIG 到 ALTGX 实例的连接情况。欲了解详细信息，请参考第 3-3 页中的 “ 动态重配置控制器端口列表 ”。

图 3-9 显示了 PMA 重配置模式的连接情况。

图 3-9. PMA 重配置模式的 ALTGX 与 ALTGX_RECONFIG 的连接情况

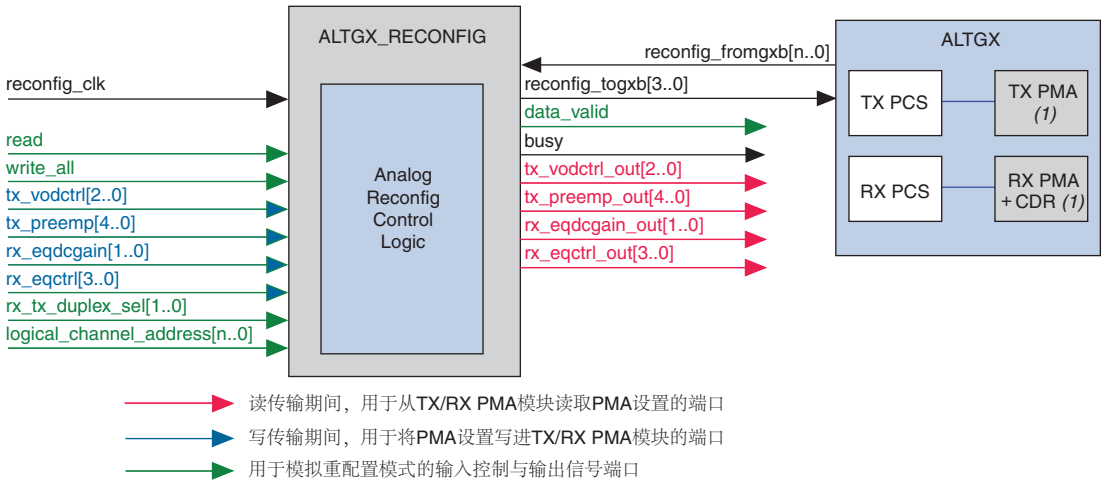


图 3-9 注释：

(1) 能够在 PMA 重配置模式中对此模块进行重配置。

收发器通道重配置模式

通过选择 ALTGX 和 ALTGX_RECONFIG MegaWizards 中的 **Channel Reconfiguration** 选项，您可以将收发器通道从现有的功能模式重配置成其它功能模式。由通道重配置模式重配置的模块是收发器通道的 PCS 和 RX PMA 模块。

欲了解关于使用通道重配置模式对收发器通道的 RX PMA 模块进行重配置的详细信息，请参考第 3-22 页中的 “ 使用 RX 本地分频器的数据速率重配置模式 ”。

在通道重配置中，仅出现写传输；读传输是不允许的。通过选择 ALTGX_RECONFIG MegaWizard Plug-In Manager 中的连续写操作，您可以选择触发一次 write_all 信号。Quartus II 软件然后继续写入重配置所要求的所有字。

对于通道重配置，需要 **.mif** 文件对通道重配置模式下的收发器通道进行动态重配置。**.mif** 文件包含了用于即时动态重配置收发器通道的重配置信息。在 Quartus II 软件设置中选择了 **Generate GXB Reconfig MIF** 选项后，将自动生成 **.mif** 文件内容。对于不同的 **.mif** 文件设置，您需要稍后对 ALTGX MegaWizard 进行重配置以及重编译，以生成基于所要求的重配置设置的 **.mif** 文件。

动态重配置控制器能够根据字的大小（16-bit 数据）有选择地对选定的收发器通道执行一个连续的写操作或者常规的写操作。

以下是通道重配置模式选项：

- 通道接口重配置
- 接收通道中的数据速率分频

通道接口重配置模式

如果收发器通道的重配置涉及到以下的变更，则需要使能这一选项：

- 重配置的通道具有修改后的 FPGA 架构收发器通道接口数据宽度。
- 重配置的通道具有修改后的输入控制信号和输出状态信号。
- 重配置的通道具有已使能及已禁用的收发器通道的静态 PCS 模块

以下是使能这一选项时可使用的新输入信号：

- tx_datainfull— 这一输入信号的数据位宽度取决于您在 ALTGX MegaWizard 插件管理器中设置的通道数量。该输入信号为每通道 22 bit 宽。该信号仅对 **Transmitter only** 和 **Receiver and Transmitter** 配置有效。这个端口取代了现有的 tx_datain 端口。
- rx_dataoutfull—这一输出信号的数据位宽度取决于您在ALTGX MegaWizard插件管理器上设置的通道数量。该输入信号为每通道 32 bit 宽。该信号仅对 **Receiver only** 和 **Receiver and Transmitter** 配置有效。这个端口取代了现有的 rx_dataout 端口。

  Quartus II 软件会进行合法性检查以验证 tx_datainfull 和 rx_dataoutfull 的连接以及在 **Clocking/Interface** 界面中使能的各种控制和状态信号。例如，Quartus II 软件支持选择并连接 pipestatus 和 powerdn 信号。您可以切换到 PCI Express (PIPE) 功能模式，并从 PCI Express (PIPE) 功能模式切换回。

表 3-4 描述了 tx_datainfull[21..0] FPGA 架构收发器通道接口信号。

表 3-4. tx_datainfull[21..0] FPGA 架构收发器通道接口信号的说明 (1/2) *(1)*

FPGA 架构收发器通道接口的说明	发送信号说明（基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度）
8-bit FPGA 架构收发器通道接口	tx_datainfull[7:0]: 8-bit 数据 (tx_datain)
	下面的信号只能在 8B/10B 模式中使用：
	tx_datainfull[8]: 控制位 (tx_ctrlenable)
	tx_datainfull[9] 除了 PCI Express (PIPE) 功能模式之外的所有模式中的发送器强制差异兼容 (PCI Express [PIPE]) (tx_forcedisp)。对于 PCI Express (PIPE) 功能模式，需要使用 (tx_forcedispcompliance)。
	■ 对于 non-PIPE: tx_datainfull[10]: 强制差异值 (tx_dispval) ■ 对于 PCIe: tx_datainfull[10]: 强制电路空闲 (tx_forceelecidle)
10-bit FPGA 架构收发器通道接口	tx_datainfull[9:0]: 10-bit 数据 (tx_datain)

表 3-4. tx_datainfull[21..0] FPGA 架构收发器通道接口信号的说明 (2/2) *(1)*

FPGA 架构收发器通道接口的说明	发送信号说明（基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度）
具有设置为 8/10 bit PCS-PMA 的 16-bit FPGA 架构收发器通道接口	两个 8-bit 数据 (tx_datain) tx_datainfull[7:0] – tx_datain (LSByte) 和 tx_datainfull[18:11] – tx_datain (MSByte)
	下面的信号只能在 8B/10B 模式中使用：
	tx_datainfull[8] – tx_ctrlenable (LSB) 和 tx_datainfull[19] – tx_ctrlenable (MSB)
	强制差异使能 ■ 对于 non-PIPE: tx_datainfull[9] – tx_forcedisp (LSB) 和 tx_datainfull[20] – tx_forcedisp (MSB) ■ 对于 PCIe: tx_datainfull[9] – tx_forcedispcompliance 和 tx_datainfull[20] – 0
	强制差异值 ■ 对于 non-PIPE: tx_datainfull[10] – tx_dispval (LSB) 和 tx_datainfull[21] – tx_dispval (MSB) ■ 对于 PCIe: tx_datainfull[10] – tx_forceelecidle 和 tx_datainfull[21] – tx_forceelecidle
具有设置为 10 bit PCS-PMA 的 20-bit FPGA 架构收发器通道接口	两个 10-bit 数据 (tx_datain) tx_datainfull[9:0] – tx_datain (LSByte) 和 tx_datainfull[20:11] – tx_datain (MSByte)

表 3-4 注释：

(1) 欲了解所有与收发器相关的端口的详细信息，请参考 *Cyclone IV GX Transceiver Architecture* 章节中的 “Transceiver Port Lists” 部分。

表 3-5 介绍了 rx_dataoutfull[31..0] FPGA 架构收发器通道接口信号。

表 3-5. rx_dataoutfull[31..0] FPGA 架构收发器通道接口信号的说明 (1/3)

FPGA 架构收发器通道接口的说明	接收信号说明（基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度）
8-bit FPGA 架构收发器通道接口	**下面的信号只能在 8-bit 8B/10B 模式中使用：**
	rx_dataoutfull[7:0]: 8-bit 解码数据 (rx_dataout)
	rx_dataoutfull[8]: 控制位 (rx_ctrldetect)
	rx_dataoutfull[9]: 代码违规状态信号 (rx_errdetect)
	rx_dataoutfull[10]: rx_syncstatus
	rx_dataoutfull[11]: 差异错误状态信号 (rx_disperr)
	rx_dataoutfull[12]: 码型检测状态信号 (rx_patterndetect)
	rx_dataoutfull[13]: non-PCI Express (PIPE) 功能模式中的速率匹配FIFO删除状态指示器 (rx_rmfifodatadeleted)。
	rx_dataoutfull[14]: non-PCI Express (PIPE) 功能模式中的速率匹配FIFO插入状态指示器 (rx_rmfifodatainserted)。
	rx_dataoutfull[14:13]: PCI Express (PIPE) 功能模式 (rx_pipestatus)
	rx_dataoutfull[15]: 8B/10B 运行差异指示器 (rx_runningdisp)
10-bit FPGA 架构收发器通道接口	rx_dataoutfull[9:0]: 10-bit 未编码数据 (rx_dataout)
	rx_dataoutfull[10]: rx_syncstatus
	rx_dataoutfull[11]: 8B/10B 差异错误指示器 (rx_disperr)
	rx_dataoutfull[12]: rx_patterndetect
	rx_dataoutfull[13]: non-PCI Express (PIPE) 功能模式中的速率匹配FIFO删除状态指示器 (rx_rmfifodatadeleted)
	rx_dataoutfull[14]: non-PCI Express (PIPE) 功能模式中的速率匹配FIFO插入状态指示器 (rx_rmfifodatainserted)
	rx_dataoutfull[15]: 8B/10B 运行差异指示器 (rx_runningdisp)

表 3-5. rx_dataoutfull[31..0] FPGA 架构收发器通道接口信号的说明 (2/3)

FPGA 架构收发器通道接口的说明	接收信号说明（基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度）
具有设置为 8/10 bit PCS-PMA 的 16-bit FPGA 架构收发器通道接口	两个 8-bit 未编码数据 (rx_dataout) rx_dataoutfull[7:0] – rx_dataout (LSByte) and rx_dataoutfull[23:16]– rx_dataout (MSByte)
	下面的信号只能在 16-bit 8B/10B 模式中使用：
	两个控制位 rx_dataoutfull[8] – rx_ctrldetect (LSB) and rx_dataoutfull[24]– rx_ctrldetect (MSB)
	两个接收器错误检测位 rx_dataoutfull[9] – rx_errdetect (LSB) and rx_dataoutfull[25]– rx_errdetect (MSB)
	两个接收器同步状态位 rx_dataoutfull [10] – rx_syncstatus (LSB) and rx_dataoutfull[26] – rx_syncstatus (MSB)
	两个接收器差异错误位 rx_dataoutfull [11] – rx_disperr (LSB) and rx_dataoutfull[27] – rx_disperr (MSB)
	两个接收器码型检测位 rx_dataoutfull[12] – rx_patterndetect (LSB) and rx_dataoutfull[28]– rx_patterndetect (MSB)
	rx_dataoutfull[13] and rx_dataoutfull[29]: non-PCI Express (PIPE) 功能模式中的速率匹配 FIFO 删除状态指示器 (rx_rmfifodatadeleted)
	rx_dataoutfull[14] and rx_dataoutfull[30]: non-PCI Express (PIPE) 功能模式中的速率匹配 FIFO 插入状态指示器 (rx_rmfifodatainserted)
	两个 2-bit PCI Express (PIPE) 功能模式状态位 rx_dataoutfull[14:13] – rx_pipestatus (LSB) and rx_dataoutfull[30:29] – rx_pipestatus (MSB)
	rx_dataoutfull[15] and rx_dataoutfull[31]: 8B/10B 运行差异指示器 (rx_runningdisp)

表 3-5. rx_dataoutfull[31..0] FPGA 架构收发器通道接口信号的说明 (3/3)

FPGA 架构收发器通道接口的说明	接收信号说明（基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度）
具有设置为 10 bit PCS-PMA 的 20-bit FPGA 架构收发器通道接口	两个 10-bit 数据 (rx_dataout) rx_dataoutfull[9:0] – rx_dataout (LSByte) and rx_dataoutfull[25:16] – rx_dataout (MSByte)
	两个接收器同步状态位 rx_dataoutfull[10] – rx_syncstatus (LSB) and rx_dataoutfull[26] – rx_syncstatus (MSB)
	rx_dataoutfull[11] and rx_dataoutfull[27]: 8B/10B 差异错误指示器 (rx_disperr)
	两个接收器码型检测位 rx_dataoutfull[12] – rx_patterndetect (LSB) and rx_dataoutfull[28] – rx_patterndetect (MSB)
	rx_dataoutfull[13] and rx_dataoutfull[29]: non-PCI Express (PIPE) 功能模式中的速率匹配 FIFO 删除状态指示器 (rx_rmfifodatadeleted)
	rx_dataoutfull[14] and rx_dataoutfull[30]: non-PCI Express (PIPE) 功能模式中的速率匹配 FIFO 插入状态指示器 (rx_rmfifodatainserted)
	rx_dataoutfull[15] and rx_dataoutfull[31]: 8B/10B 运行差异指示器 (rx_runningdisp)

使用 RX 本地分频器的数据速率重配置模式

RX 本地分频器位于每一个通道的 RX PMA 模块中。这是一种硬件特性，在每一个接收通道中均内嵌一个 /2 分频器，用于所支持的器件。您可以使用这一 RX 本地分频器对接收通道中的数据速率进行重配置。此硬件特性可用于某些协议，例如具有 2 分频数据速率的串行数字接口 (SDI)。

通过使用这一 RX 本地分频器，能够支持两个不同的数据速率，而无需使用其它收发器 PLL。这一动态重配置模式适用于接收器，但不适用于发送器。 使用 RX 本地分频器 (/2) 的这一重配置模式仅在 P4CGX30 (F484 封装)、EP4CGX50 以及 EP4CGX75 器件可用，并获得支持。

欲了解关于该 RX 本地分频器的详细信息，请参考 *Cyclone IV GX Transceiver Architecture* 章节。

通道重配置的控制与状态信号

通道重配置模式所涉及到的各种控制与状态信号如下所示。欲了解关于控制与状态信号的说明信息，请参考第 3-3 页中的 “ 动态重配置控制器端口列表 ”。

以下是输入控制信号：

- logical_channel_address[n..0]
- reset_reconfig_address
- reconfig_reset
- reconfig_mode_sel[2..0]
- write_all

以下是输出状态信号：

- reconfig_address_en
- reconfig_address_out[5..0]
- channel_reconfig_done
- busy

当在通道重配置模式中进行设置时，ALTGX_RECONFIG 与 ALTGX 实例连接的情况如下图所示。欲了解关于端口的详细信息，请参考第 3-3 页中的 “ 动态重配置控制器端口列表 ”。

图 3-10 显示了通道重配置模式下连接情况。

图 3-10. 通道重配置模式下的 ALTGX 与 ALTGX_RECONFIG 实例的连接情况

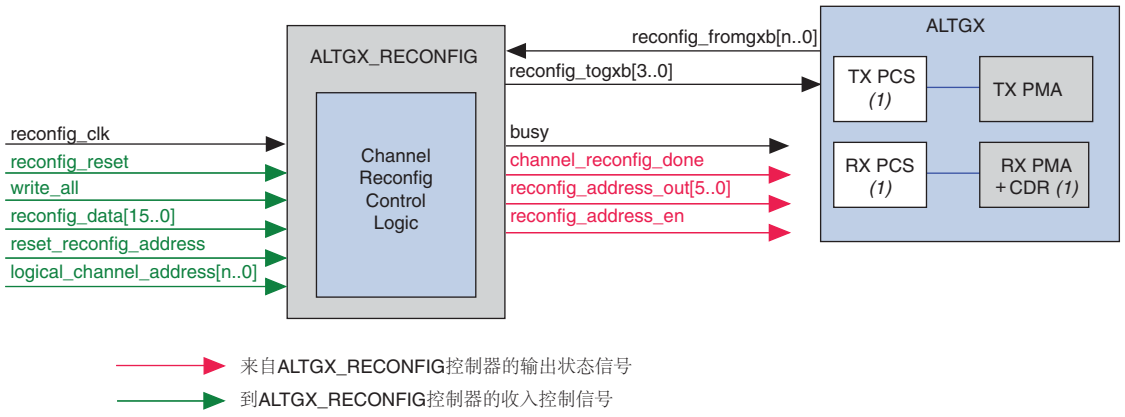


图 3-10 注释：

(1) 能够在通道重配置模式中对此模块进行重配置。

Clocking/Interfac 选项

以下部分介绍了 Cyclone IV GX 器件中的 Clocking/Interface 选项。核心时钟的建立对收发器核心时钟进行了描述，该时钟分别是 TX 相位补偿 FIFO 与 RX 相位补偿 FIFO 的读写时钟。核心时钟分为发送器核心时钟和接收器核心时钟。

表 3-6 列出了 Cyclone IV GX 器件的通道重配置模式所支持的时钟接口设置

表 3-6. 通道重配置模式中的动态重配置时钟接口设置

ALTGX 设置	说明
动态重配置通道内部及接口设置	
如何对接收器提供时钟？ (How should the receivers be clocked?)	选择其中的一个可用选项： ■ 在接收器之间共享同一发送器核心时钟(Share a single transmitter core clock between receivers) ■ 使用各自的通道发送器核心时钟 (Use the respective channel transmitter core clocks) ■ 使用各自的通道接收器核心时钟 (Use the respective channel receiver core clocks)
如何对发送器提供时钟？ (How should the transmitters be clocked?)	选择其中的一个可用选项： ■ 在发送器之间共享同一发送器核心时钟(Share a single transmitter core clock between transmitters) ■ 使用各自的通道发送器核心时钟 (Use the respective channel transmitter core clocks)

发送器核心时钟是指用于将 FPGA 架构中的并行数据写入到 TX 相位补偿 FIFO 的时钟。您可以使用下面其中一个时钟来将数据写入到 TX 相位补偿 FIFO：

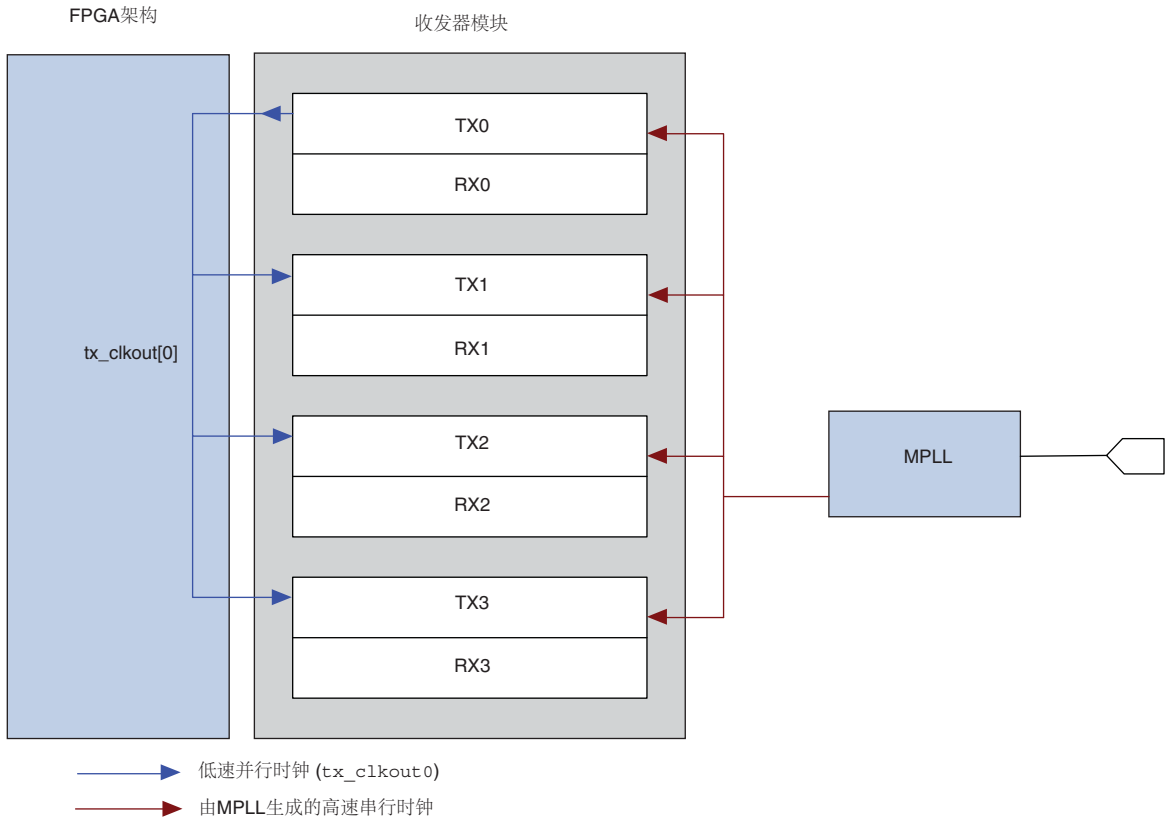
- tx_coreclk—使用一个与FPGA架构中tx_clkout相同频率的时钟，来为TX相位补偿 FIFO 提供写时钟。如果使用 tx_coreclk，那么它将覆盖在 ALTGX MegaWizard 插件管理器中的 tx_clkout 选项。
- tx_clkout—Quartus II软件自动将tx_clkout布线到FPGA架构，并返回到TX相位补偿 FIFO。

选项 1: 在发送器之间共享同一发送器核心时钟

- 如果想使收发器模块第一个通道（channel 0）的 tx_clkout 对收发器模块中的其它通道的 TX 相位补偿 FIFO 提供写时钟，则需要使能这一选项。
- 当收发器模块中所有的通道都具有相同的功能模式和数据速率，以及重配置成同一功能模式和数据速率的时候，通常使能这一选项。

图 3-11 显示了收发器模块的所有四个普通通道之间的通道 0 的 tx_clkout 的共享情况。

图 3-11. 用于发送器核心时钟的选项 1（通道重配置模式）

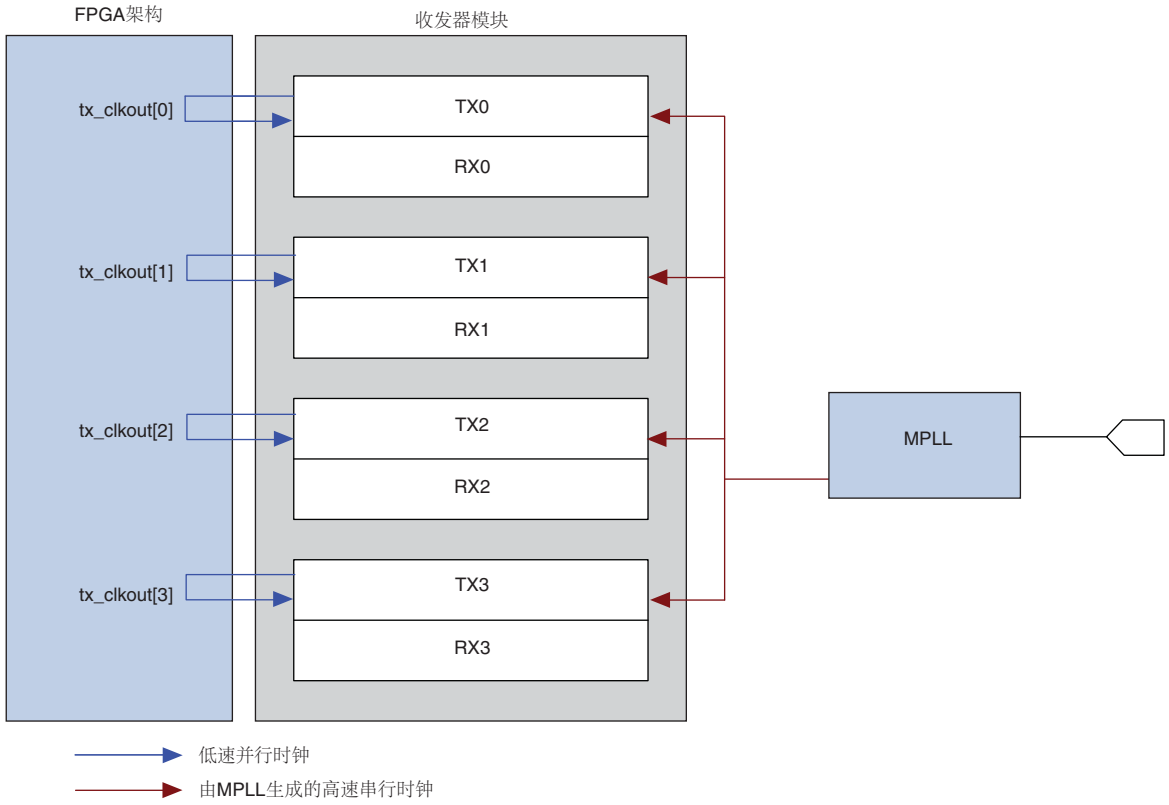


选项 2：使用各自的通道发送器核心时钟

- 如果想使单独的发送通道tx_clkout信号对它们各自的TX相位补偿FIFO提供写时钟，则需要使能这一选项。
- 当通过使用通道重配置将每一个收发器通道重配置成不同功能模式的时候，通常需要使能这一选项。

图 3-12 显示了每一个发送通道的 tx_clkout 信号是如何对各自收发器通道的 TX 相位补偿 FIFO 提供时钟的。

图 3-12. 用于发送器核心时钟的选项 2（通道重配置模式）



接收器核心时钟是指用于读取 RX 相位补偿 FIFO 中的并行数据并送至 FPGA 架构的时钟。您可以使用下面其中一个时钟来读取 RX 相位补偿 FIFO 中的并行数据：

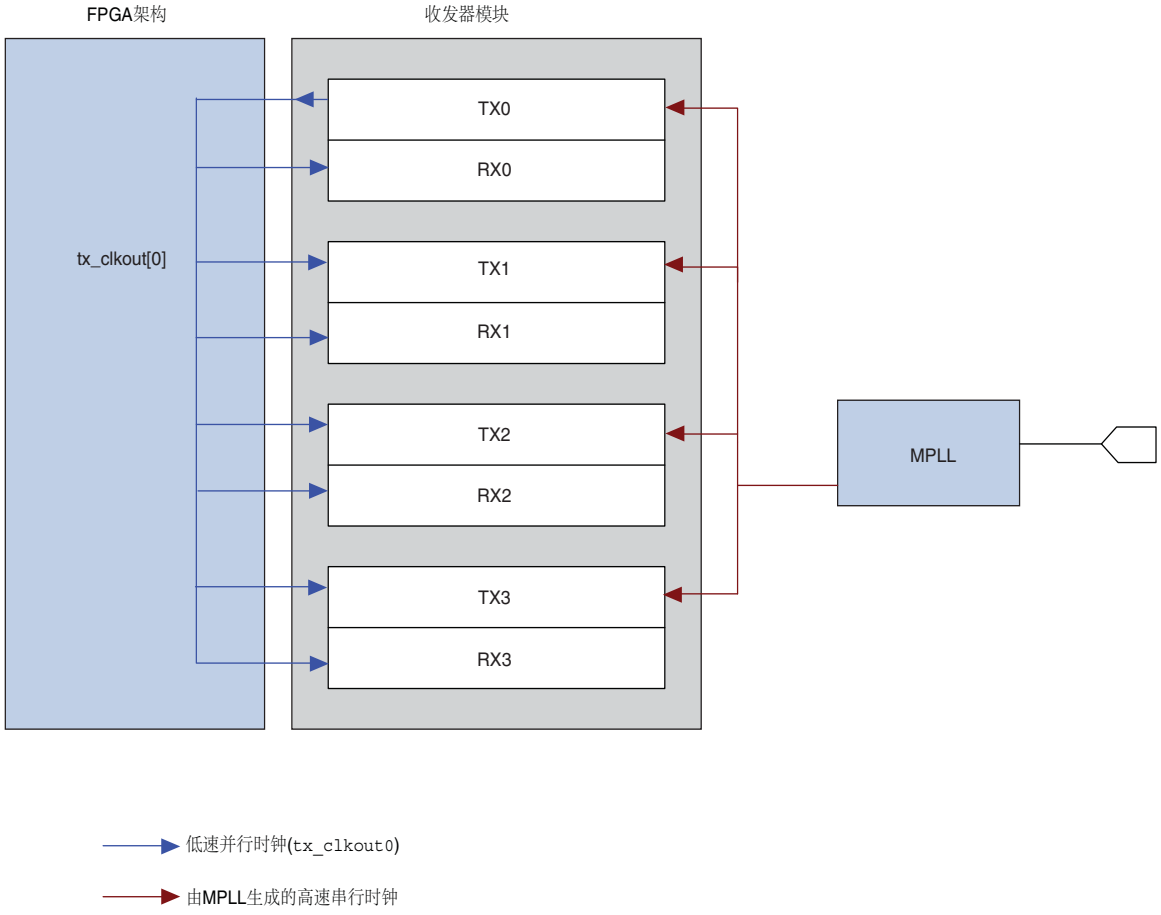
- rx_coreclk— 使用一个与 FPGA 架构中 rx_clkout 相同频率的时钟，来为 RX 相位补偿 FIFO 提供读时钟。如果使用 rx_clkout，那么它将覆盖在 ALTGX MegaWizard 插件管理器中的 rx_clkout 选项。
- rx_clkout—Quartus II 软件自动将rx_clkout布线到FPGA架构，并返回到RX相位补偿 FIFO。

选项 1：在接收器之间共享同一发送器核心时钟

- 如果想使收发器模块第一个通道（channel 0）的 tx_clkout 对收发器模块中的其它通道的 RX 相位补偿 FIFO 提供读时钟，则需要使能这一选项。
- 当收发器模块中所有通道均处于具有速率匹配使能的 Basic 或者 Protocol 配置下，并且重配置成另一个具有速率匹配使能的 Basic 或者 Protocol 配置的时候，通常使能这一选项。

图 3-13 显示了收发器模块的所有四个通道之间的通道 0 的 tx_clkout 的共享情况。

图 3-13. 用于接收器核心时钟的选项 1（通道重配置模式）



选项 2：使用各自的通道发送器核心时钟

- 如果想使单独的发送通道 tx_clkout 信号对它各自的 RX 相位补偿 FIFO 提供读时钟，则需要使能这一选项。
- 当所有的收发器通道均以不同的数据速率使能了速率匹配功能，并被重配置成另一个具有使能的速率匹配的 Basic 或者 Protocol 功能模式时，通常使能这一选项。

图 3-14 显示了在每个通道上的 tx_clkout 分别对收发器模块化上不同的通道提供时钟。

图 3-14. 用于接收器核心时钟的选项 2（通道重配置模式）

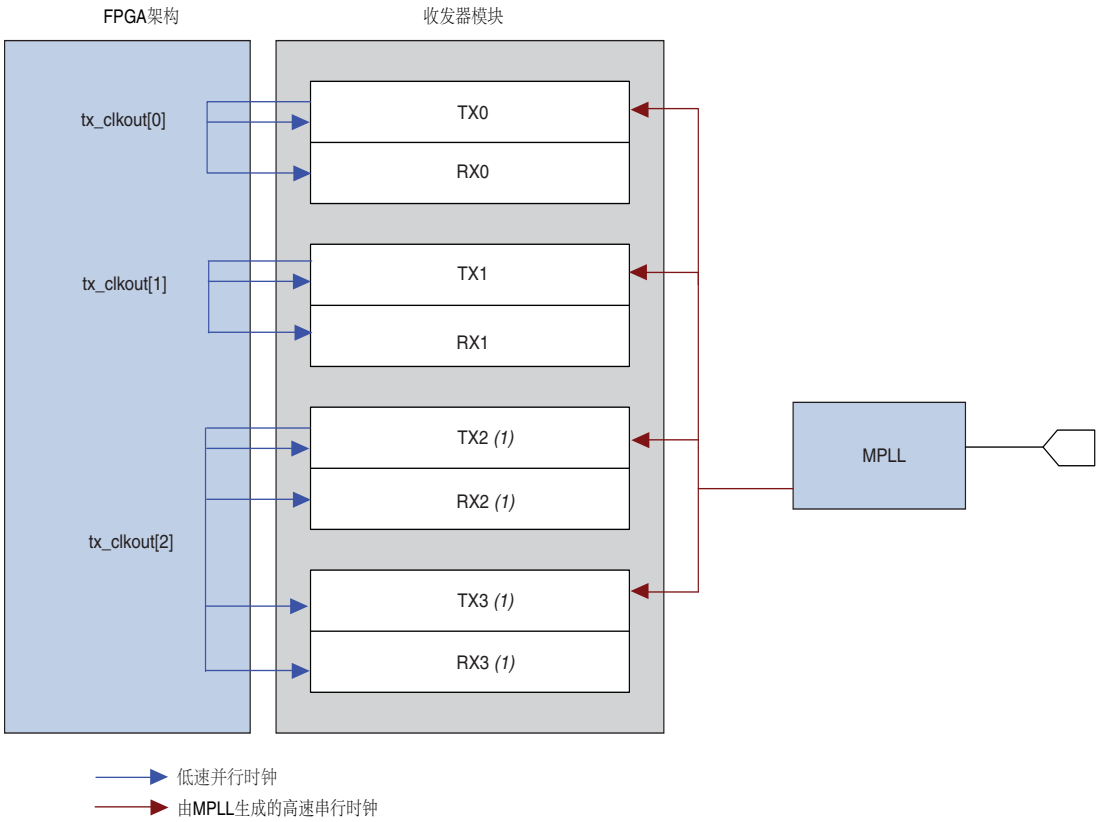


图 3-14 注释：

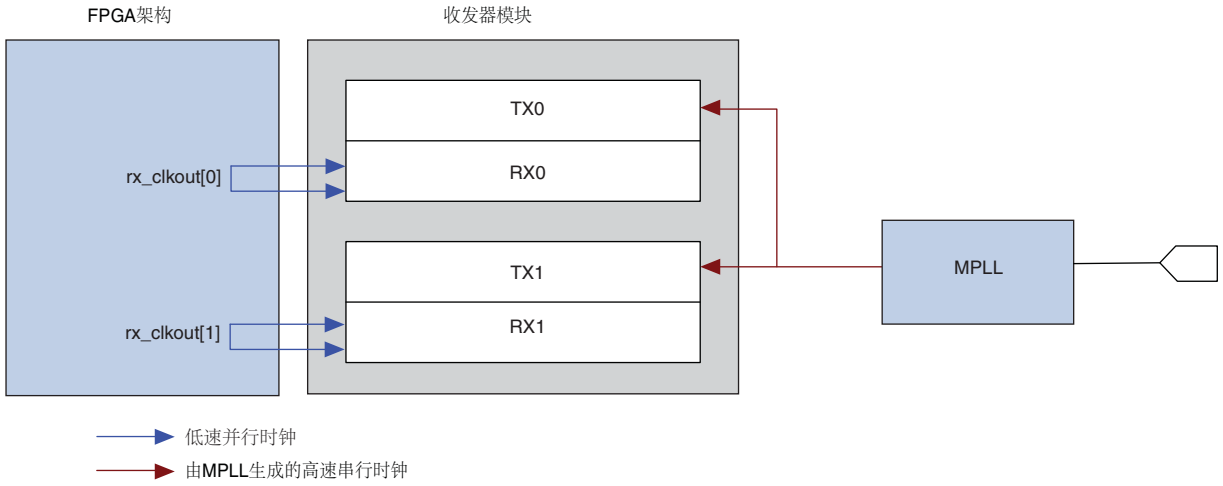
(1) 假设通道 2 与通道 3 运行在具有速率匹配使能的同一数据速率下，并且重配置成另一个具有数据匹配使能的 Basic 或者 Protocol 功能模式。

选项 3：使用各自的通道接收器核心时钟

- 要使单独的通道 rx_clkout 信号对它各自的 RX 相位补偿 FIFO 提供读时钟，则需要使能这一选项。
- 将通道从具有或没有速率匹配的 Basic 或者 Protocol 配置重配置成另一个具有或没有速率匹配的 Basic 或者 Protocol 配置时，通常使能这一选项。

图 3-15 显示了每个通道的 rx_clkout 分别对收发器模块化上不同的通道提供时钟。

图 3-15. 用于接收器核心时钟的选项（通道重配置模式）



PLL 重配置模式

Cyclone IV GX 器件通过 ALTPLL_RECONFIG MegaWizard 提供了对 PLL 重配置模式的支持。通过采用这一模式，在不影响收发器通道的其它模块情况下，对提供给收发器通道时钟的多用 PLL 或者通用 PLL 进行重配置。当对收发器模块的多用 PLL 或者通用 PLL 进行重配置，以运行在不同的数据速率上时，所有监听该多用 PLL 或者通用 PLL 的收发器通道也会被重配置成新的数据速率。通道设置不受影响。当对多用 PLL 或者通用 PLL 进行重配置以支持不同的数据速率时，务必要确保收发器通道的功能模式支持已重配置的数据速率。

通过在 ALTGX MegaWizard 图形界面的 **Reconfiguration setting** 标签下点选 **Enable PLL Reconfiguration** 选项，以使能 PLL 重配置模式。对于多用 PLL 或者通用 PLL 重配置而言，需要 **.mif** 文件来重配置 PLL 设置，以改变收发器 PLL 的输出频率，从而支持不同的数据速率。

.mif 文件中含有重配置信息，这些信息将用于对多用 PLL 或者通用 PLL 进行动态重配置。当在 ALTGX 实例图形界面的 **Reconfiguration setting** 标签下点选 **Enable PLL Reconfiguration** 选项时，会自动生成 **.mif** 文件内容。根据 ALTGX MegaWizard 中的数据速率以及输入参考时钟的设置来生成 **.mif** 文件。 您必须使用外部 ROM，并将其内容提供给 ALTPLL_RECONFIG 宏功能，以对多用 PLL 设置进行重配置。

欲了解关于例化ALTPLL_Reconfig的详细信息，请参考 *AN 609: 实现Cyclone IV GX器件中的动态重配置*。

图 3–16 显示了 PLL 重配置模式下的连接情况。

图 3–16. 重配置模式下的 ALTGX 与 ALTPLL_RECONFIG 连接。

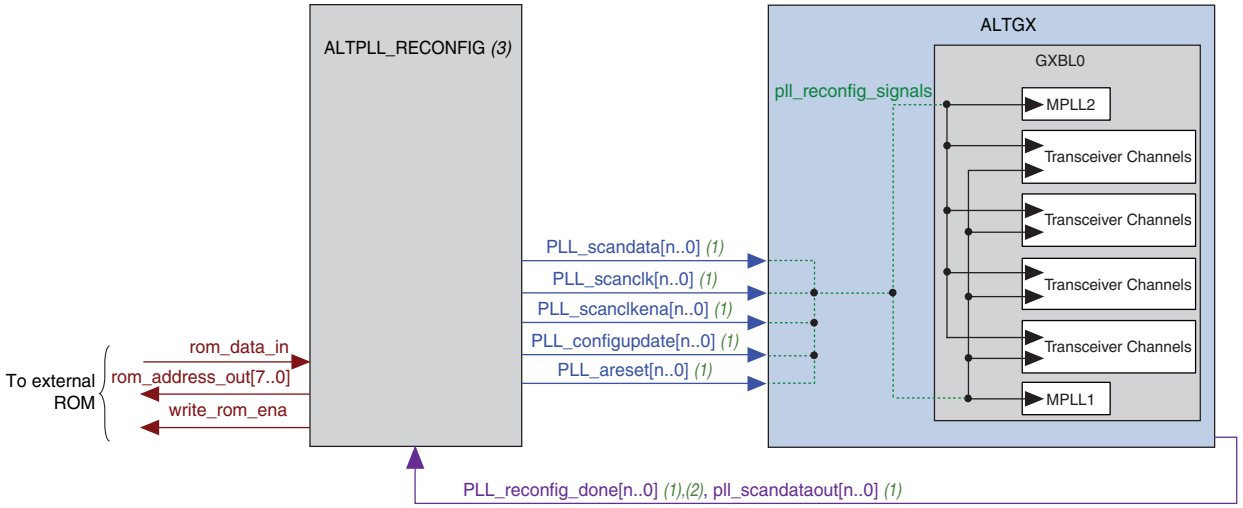


图 3–16 注释：

(1) *<n>* = （在 ALTGX MegaWizard 中配置的收发器 PLL 的数量） – 1。
(2) 必须将 ALTGX 的 pll_reconfig_done 信号连接到 ALTPLL_RECONFIG 的 pll_scandone 端口。
(3) 如果有两个独立的，并具有在每个 ALTGX 实例中例化的收发器的 PLL_ALTGX 实例，则需要两个 ALTPLL_RECONFIG 控制器。

欲了解关于连接 ALTPLL_RECONFIG 与 ALTGX 实例的详细信息，请参考 *AN 609: 实现 Cyclone IV GX 器件中的动态重配置*。

表 3–7 列出用于 PLL 重配置模式的 ALTGX 宏功能端口。.

表 3–7. 用于 PLL 重配置模式的 ALTGX 宏功能端口列表

端口名称 *(1)*	输入 / 输出	说明	注解
pll_areset [n..0]	输入	对收发器 PLL 进行复位。pll_areset 在以下两种情况下被拉起： ■ 复位流程中，此信号用于对收发器 PLL 进行复位，并受用户控制。 ■ 收发器PLL重配置后，此信号被 ALTPLL_RECONFIG 控制器拉高。此时，该信号不受用户控制。	必须将 ALTGX 的 pll_areset 端口连接到 ALTPLL_RECONFIG 宏功能的 pll_areset 端口。 来自 ALTGX 宏功能的 pll_reconfig_done 信号变高后，ALTPLL_RECONFIG 控制器在时钟的下一个上升沿置位 pll_areset 端口。pll_reconfig_done 信号变高后，收发器 PLL 被复位。PLL 重配置完成时，这一复位由 ALTPLL_RECONFIG 宏功能自动执行，并且不受用户控制。
pll_scandata [n..0]	输入	接收来自 ALTPLL_RECONFIG 宏功能的扫描数据输入。	可重配置收发器 PLL 通过此端口来接收扫描数据输入，以用于 ALTPLL_RECONFIG 控制器的动态可重配置位。
pll_scanclk [n..0]	输入	驱动可重配置收发器 PLL 上的 scanclk 端口。	将 ALTGX 宏功能的 pll_scanclk 端口连接到 ALTPLL_RECONFIG scanclk 端口。
pll_scanclkena [n..0]	输入	作为一个时钟使能信号，用于可重配置收发器 PLL 上的 scanclk 端口。	将 ALTGX 宏功能的 pll_scanclkena 端口连接到 ALTPLL_RECONFIG scanclk 端口。
pll_configupdate [n..0]	输入	驱动可重配置收发器 PLL 上的 configupdate 端口。	此端口连接到 ALTPLL_RECONFIG 控制器的 pll_configupdate 端口。最后一个数据位被发送后，ALTPLL_RECONFIG 控制器将置位此信号。

表 3-7. 用于 PLL 重配置模式的 ALTGX 宏功能端口列表

端口名称 (1)	输入 / 输出	说明	注解
pll_reconfig_done[n..0]	输出	此信号的置位表明了重配置的完成。	将 pll_reconfig_done 端口连接 到 ALTPLL_RECONFIG 控制器上的 pll_scandone 端口。收发器 PLL scandone 输出信号驱动此端口并确定何时对 PLL 进行重配置。
pll_scandataout [n..0]	输出	此端口扫描出收发器 PLL 的当前重配置。	将 pll_scandataout 端口连接到 ALTPLL_RECONFIG 控制器的 pll_scandataout 端口。此端口读取收发器 PLL 的当前配置，并将其发送至 ALTPLL_RECONFIG 宏功能。

表 3-7 注释：

(1) 〈*n*〉 = (ALTGX MegaWizard 中配置的收发器 PLL 的数量) – 1.

欲了解关于 ALTPLL_RECONFIG 宏功能端口列表、说明以及使用的详细信息，请参考 *Phase-Locked Loop Reconfiguration (ALTPL_RECONFIG) Megafunction User Guide*。

如果使用一个不同的 M 计数器值来重配置多用 PLL，那么需要执行以下几个步骤：

1. 收发器 PLL 重配置期间，置位 tx_digitalreset、 rx_digitalreset 和 rx_analogreset 信号。
2. 执行 PLL 重配置，以使用 PLL **.mif** 文件更新多用 PLL。
3. 执行通道重配置，并且使用 GXB 重配置 **.mif** 文件来更新收发器。如果存在与同一多用 PLL 连接的多个通道实例，那么需要对每一个通道进行重配置。
4. 撤销 tx_digitalreset 和 rx_analogreset 信号。
5. rx_freqlocked 信号变高后，等待至少 4 µs，然后撤销 rx_digitalreset 信号。

动态重配置期间的错误指示

当在 **Error checks/data rate switch** 标签中选择了 **Enable illegal mode checking** 或者 **Enable self recovery** 选项时，ALTGX_RECONFIG MegaWizard Plug-In Manager 将提供一个错误状态信号。该错误信号被置位的条件是：

- **Enable illegal mode checking** 选项 — 选择此选项后，动态重配置控制器将检查一个尝试的操作是否属于下列条件之一。动态重配置控制器在两个 reconfig_clk 周期内检测这些条件，撤销 busy 信号，并且置位两个 reconfig_clk 周期的 error 信号。
  - PMA 控制、读操作 — 没有输出端口 (rx_eqctrl_out、rx_eqdcgain_out、tx_vodctrl_out 和 tx_preemp_out) 在 ALTGX_RECONFIG 实例中被选定，并且 read 信号被置位。
  - PMA 控制、写操作 — 没有输入端口 (rx_eqctrl、rx_eqdcgain、tx_vodctrl 和 tx_preemp) 在 ALTGX_RECONFIG 实例中被选定，并且 write_all 信号被置位。
- **Channel reconfiguration** 和 **PMA reconfiguration mode** 选择读操作选项：
  - reconfig_mode_sel 输入端口被设为 **3’b001** （通道重配置模式）
  - read 信号被置位。

- **Enable self recovery** 选项 — 选择此选项后，ALTGX_RECONFIG MegaWizard Plug-In Manager 将提供错误输出端口。如果动态重配置控制器没有能够在预期的时钟周期数中完成，那么它会退出操作。从非法操作中恢复后，动态重配置控制器会置低 busy 信号，并且置位两个 reconfig_clk 周期的错误输出端口。

当一个非法值被写入到 PMA 控制中时，error 信号不会被置位。

动态重配置进程的功能仿真

这一部分对动态重配置进程的功能仿真过程中需要考虑的因素作了介绍。

- 在您的设计中，必须连接 ALTGX_RECONFIG 与 ALTGX 实例，以实现功能仿真。
- 功能仿真使用动态重配置控制器已减少的时序模型。因此，对于功能仿真而言，动态重配置进程的持续时间为 16 个 reconfig_clk 时钟周期。
- 在偏移校准执行期间，一定不要置位 gxb_powerdown 信号（对于功能仿真和芯片）。

文档修订历史

表 3-8 列出了本章节的修订历史。

表 3-8. 文档修订历史

日期	版本	修订内容
2011 年 11 月	2.1	■ 更新了 “ 动态重配置控制器的体系结构 ”， “PMA 控制重配置模式 ”， “PLL 重配置模式 ” 和 “ 动态重配置期间的错误指示 ” 部分。 ■ 更新了表 3-2 和表 3-4。
2010 年 12 月	2.0	■ 针对 Quartus II 10.1 的发布所作的更新。 ■ 更新了表 3-1、表 3-2、表 3-3、表 3-4、表 3-5 和表 3-6。 ■ 添加了表 3-7。 ■ 更新了图 3-1、图 3-11、图 3-13 和图 3-14。 ■ 更新了第3-8页中的“偏移校准功能”、第3-31页中的“动态重配置期间的错误指示 ”、第 3-22 页中的 “ 使用 RX 本地分频器的数据速率重配置模式 ”、第 3-10 页中的 “PMA 控制重配置模式 ” 和第 3-23 页中的 “ 通道重配置的控制与状态信号 ” 部分。
2010 年 7 月	1.0	首次发布。

实现 Cyclone IV GX 器件中的动态重配置

AN-609-2.0 应用笔记

Cyclone® IV GX 收发器支持动态重配置功能，该功能提供了一个解决方案，使您可以动态配置收发器通道到多种协议，数据速率以及物理介质附加子层 (PMA) 设置，而无需打断相邻的收发器通道和关断收发器通道。

本应用笔记介绍了如何使用 Cyclone IV GX 器件中的动态重配置功能，并根据您的应用需求对收发器进行重配置。以下是 Cyclone IV GX 器件支持的三种动态重配置模式：

- 模拟 (PMA) 控制重配置模式。这一模式：
  - 通过重配置输入与输出缓冲器的设置，控制并提高板级的信号完整性。
  - 当调试链路时，通过调整发射器或者接收器缓冲器的设置来对信号完整性进行微调。
  - 优化信号完整性，降低比特误差率 (BER)。
- 通道重配置模式。这一模式：
  - 通过在同一收发器中对多种协议的支持，提供一个具有设计灵活性的可靠解决方案。
  - 消除了使用多种专用集成电路器件 （ASSP）以及板级进行设计所带来的不便，以支持不同的协议和数据速率。
- 锁相环 (PLL) 重配置模式。这一模式：
  - 通过增加或者减少数据速率实现自动协商应用。
  - 支持串行协议标准以及专有协议标准的数据速率不断增长的趋势，以配合不断增加的带宽需求。

如果您正在使用 Cyclone IV GX 动态重配置功能，这里有几个不支持的重配置条件。您不可以：

- 在 **Receiver Only** 通道与 **Transmitter Only** 通道之间进行切换（静态 **Duplex** 到 receiver [RX]- 或者 transmitter [TX]-only）
- 在 non-bonded 配置模式与 bonded 配置模式之间进行切换
- 动态使能或者禁止伪随机二进制序列 (PRBS) 模式或者内建自测试 (BIST) 模式

101 Innovation Drive
San Jose, CA 95134
www.altera.com

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

QUALITY
ISO 9001:2008
NSAI Certified

Subscribe

设置指南

接下来的部分对每一种配置模式的实现作了介绍。在各种配置模式中使用的指定阶段取决于选择的模式。表 1 列出了每一种重配置模式以及实现时所涉及的阶段。

有可能涉及到的六个阶段，这取决于重配置模式：

- 阶段 I：创建 ALTGX_RECONFIG 实例 （第 3 页）
- 阶段 II：使能 ALTGX Megafunction 中的动态重配置 （第 5 页）
- 阶段 III：创建 ALTPLL_RECONFIG 实例 （第 8 页）
- 阶段 IV：连接 ALTGX、ALTGX_RECONFIG 与 ALTPLL_RECONFIG 实例的时钟端口 （第 11 页）
- 阶段 V：分别为通道重配置模式与 PLL 重配置模式生成一个 .mif 文件 （第 12 页）
- 阶段 VI：分别为通道重配置模式与 PLL 重配置模式创建单端口 (1-Port)ROM（第 15 页）

表 1 列出了需要的重配置模式，必须使用它们来支持典型的重配置应用。

表 1. 用于各种重配置要求的重配置模式

重配置的原因	要求的重配置模式	阶段
当调试链路时，通过调整发射器或者接收器缓冲设置对信号完整性进行微调	模拟控制重配置	I，II 和 IV
自动速率协商期间，以 2 的倍数增加或者减少接收器通道中的数据速率 *（注释 1）*	通道重配置 — 使用 RX 本地分频器 (/2) *（注释 2）*	I，II，IV，V 和 VI
在相同的收发通道中支持多种协议，以增加设计的灵活性	■ 模拟控制重配置 *（注释 3）* ■ PLL 重配置 ■ 通道重配置 — 通道接口	I - VI
重配置多用途 PLL(MPLL) 或者通用 PLL(GPLL)，以支持不同的数据速率	PLL 重配置	II - VI

表 1 注释：

(1) 您可以使用 PLL 重配置模式来重配置收发器 PLL(MPLL 或者 GPLL)，为发射器和接收器通道提供时钟以实现非 2 倍数的数据速率重配置。

(2) 要了解详细信息，请参考 *Cyclone IV 器件手册的 Volume 2*。

(3) 对于某些协议，可能需要对模拟控制进行调整。

ALTGX 实例代表由 ALTGX MegaWizard™ 插件管理器生成的收发器实例。 当对各种输入、输出以及与收发器通道的连接进行解释时，会用到这一术语。

ALTGX_RECONFIG 实例代表由 ALTGX_RECONFIG MegaWizard 插件管理器生成的动态重配置控制器实例。利用 FPGA 资源对实例进行创建。

ALTPLL_RECONFIG 实例代表由 ALTPLL_RECONFIG MegaWizard 插件管理器生成的 PLL 动态重配置控制器实例。利用 FPGA 资源创建的实例，通过 ALGTX MegaWizard 插件管理器动态重配置例化的收发器 PLL。

存储器初始化文件（**.mif**）存储每一个 ALTGX 实例的设置以及收发器 PLL 设置，用户逻辑读取这些设置并分别送至 ALTGX_RECONFIG 和 ALTPLL_RECONFIG 控制器，以便对 ALTGX 实例进行重配置。



通道重配置模式与 PLL 重配置模式中的 **.mif** 文件是不同的。要了解详细信息，请参考 *Cyclone IV 器件手册第 2 卷* *Cyclone IV Dynamic Reconfiguration* 章节中的“Glossary of Terms”。

阶段 I：创建 ALTGX_RECONFIG 实例

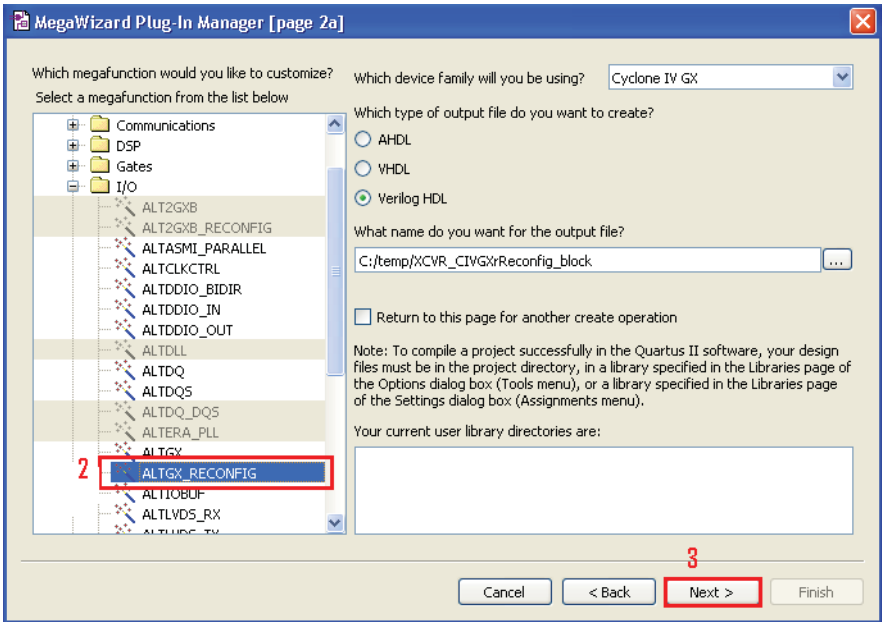
整个设置过程中 MegaWizard 插件管理器将指导您完成实例的创建。您也可以参考相关的章节对每一种模式进行设置。

请按照以下步骤来创建 ALTGX_RECONFIG 实例：

1. 打开 MegaWizard 插件管理器。
2. 选择 **ALTGX_RECONFIG**。
3. 单击 **Next**。

图 1 显示了 MegaWizard 插件管理器的第 2a 页，高亮显示了相应的步骤。

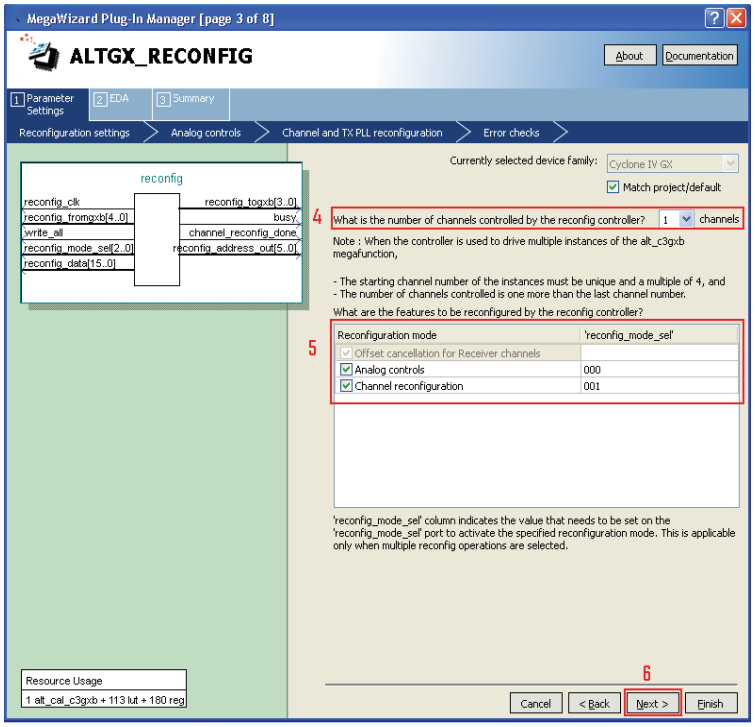
图 1. MegaWizard 插件管理器 [第 2a 页]



4. 选择由重配置控制器控制的通道数量。
5. 为您的设计选择重配置模式。您可以选择多种重配置模式。
6. 单击 **Next**。

图 2 显示了 MegaWizard 插件管理器的第 3 页，高亮显示了相应的步骤。

图 2. MegaWizard 插件管理器 [第 3 页，共 8 页]



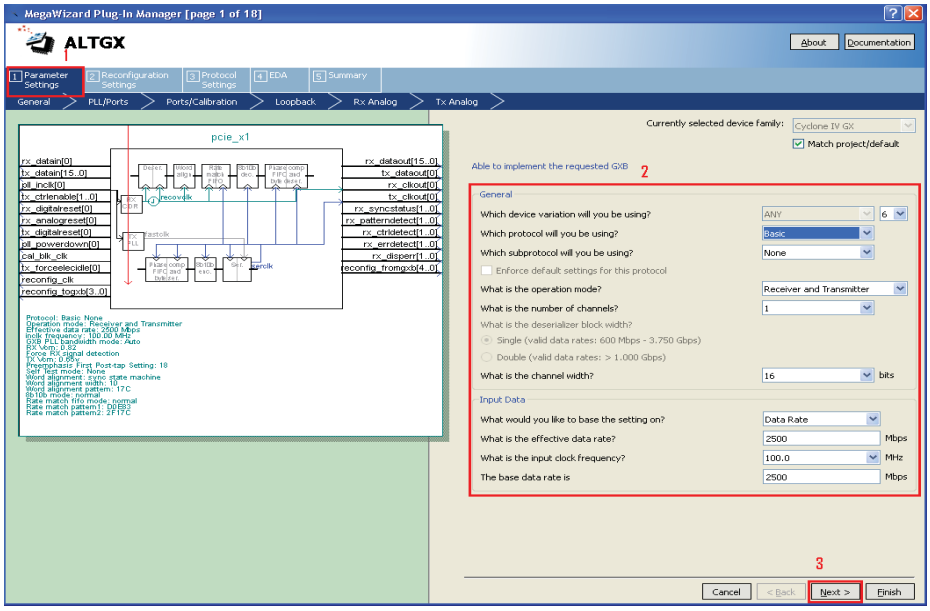
阶段 II：使能 ALTGX Megafunction 中的动态重配置

请按照下面步骤来使能 ALTGX megafunction 中的动态重配置：

1. 单击 **Parameter Settings** 标签。
2. 完成设计实现所要求的设置。在此标签上编译存储设置后，生成 **.mif** 文件。
3. 单击 **Next** 来动态配置 **Parameter Settings** 标签上剩余设置。

图 3 显示了 MegaWizard 插件管理器的第 1 页，高亮显示了相应的步骤。

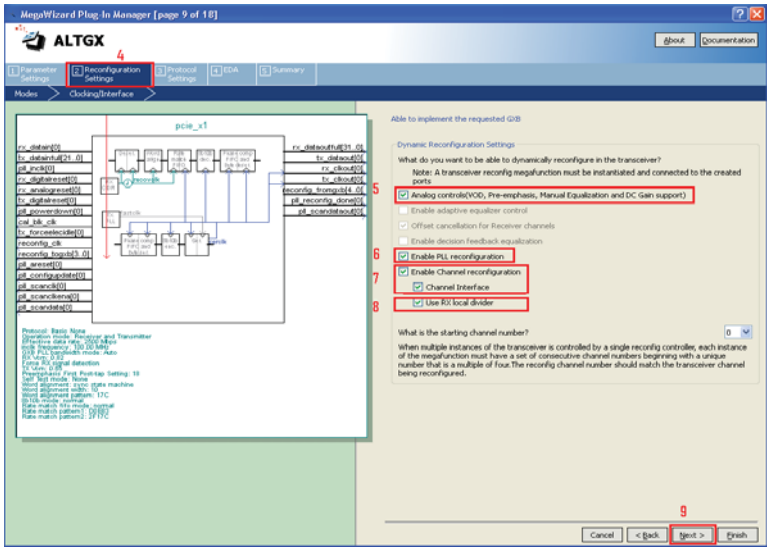
图 3. MegaWizard 插件管理器 [第 1 页，共 8 页]



4. 完成 **Parameter Settings** 标签上的所有设置后，单击 **Reconfiguration Setting** 标签。
5. 如果要重配置 PMA 模拟设置，请勾选 **Analog controls**。
6. 如果要用不同的数据速率重配置 MPLL/GPLL，请勾选 **Enable PLL reconfiguration**。重配置操作将改变 PLL 设置以匹配不同的数据速率。
7. 如果要将收发器通道重配置为其他功能模式，请勾选 **Enable Channel reconfiguration**。如果要重配置 FPGA 架构收发器接口信号，请勾选 **Channel Interface**。
8. 如果要重配置接收器通道来支持 2 的倍数的数据速率，请勾选 **Use RX local divider**。可以通过使用硬件特征 (RX PMA 模块中的 RX 本地分频器 (/2)) 来实现。
9. 单击 **Next**。

图 4 显示了 MegaWizard 插件管理器的第 9 页，高亮显示了相应的步骤。

图 4. MegaWizard 插件管理器 [第 9 页，共 18 页]

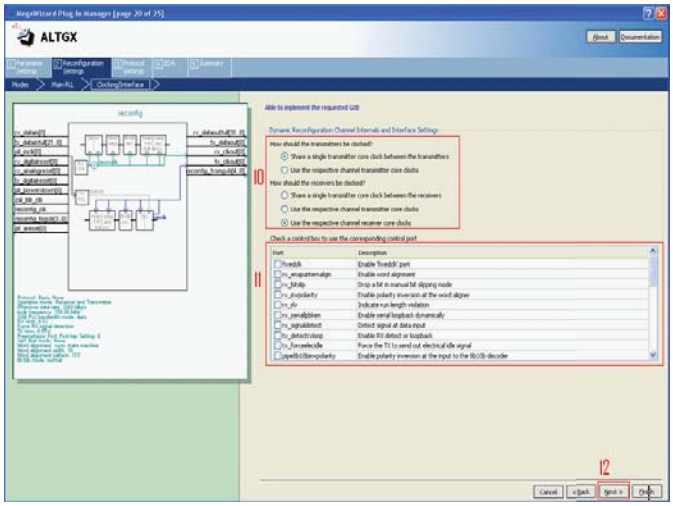


10. 为发射器和接收器选择时钟方案。
11. 检查指定协议所需要的接口信号。当使能 **Channel Interface** 选项（步骤 7）以支持新协议需要的接口信号时，可以使用该选项。
12. 单击 **Next**，退出 **Reconfiguration Settings**。

要了解关于 Reconfiguration Settings 标签的详细信息，请参考 *Cyclone IV 器件手册第 2 卷中的 Dynamic Reconfiguration* 章节。

图 5 显示了 MegaWizard 插件管理器的第 13 页，高亮显示了相应的步骤。

图 5. MegaWizard 插件管理器 [第 13 页，共 18 页]



阶段 III：创建 ALTPLL_RECONFIG 实例

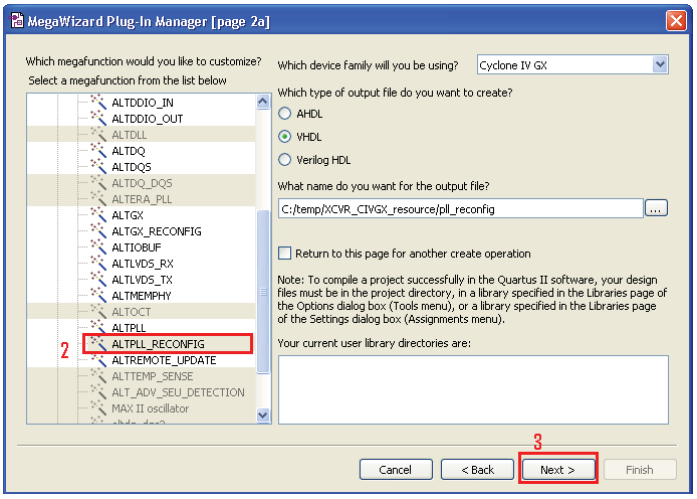
如果要动态重配置 Cyclone IV GX 器件中的收发器 PLL(MPLL/GPLL)，必须例化 ALTPLL_RECONFIG 控制器，这样才能进行收发器 PLL 的动态重配置。可以通过在收发器 PLL 上写入 **.mif** 文件内容以及改变 PLL 输出频率以支持收发器通道上的不同数据速率来实现。

请按照下列步骤创建 ALTPLL_RECONFIG 实例：

1. 打开 MegaWizard 插件管理器。
2. 选择 **ALTPLL_RECONFIG**。
3. 单击 **Next**。

图 6 显示了 MegaWizard 插件管理器的第 2a 页，高亮显示了相应的步骤。

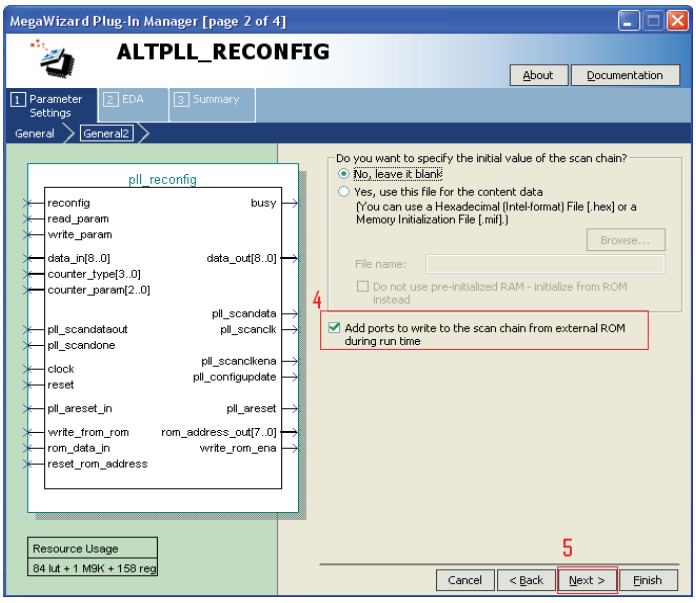
图 6. MegaWizard 插件管理器 [第 2a 页]



4. 使能 **Add ports to write to the scan chain from external ROM during run time** 选项以使用外部 ROM 存储多个 **.mif** 文件。使用 ALTPLL_RECONFIG 控制器一次读取一个存储在外部 ROM 的 **.mif** 文件。
5. 单击 **Next**。
6. 按照第 5 页 “ 阶段 II：使能 ALTGX Megafunction 中的动态重配置 ” 中的步骤 1 到步骤 8，在重配置设置中设定 ALTGX megafunction。

图 7 显示了 MegaWizard 插件管理器的第 4 页，高亮显示了相应的步骤。

图 7. ALTPLL_RECONFIG MegaWizard 管理器插件 [第 4 页，共 6 页]



在 Cyclone IV GX 器件中，请使用 ALTPLL_RECONFIG 控制器来动态重配置收发器 PLL，而不要使用 ALTGX_RECONFIG 控制器。

要了解关于 ALTPLL_RECONFIG megafunction 的详细信息，请参考 *Phase-Locked Loops Reconfiguration (ALTPLL_RECONFIG) Megafunction User Guide*。

阶段 IV：连接 ALTGX、ALTGX_RECONFIG 与 ALTPLL_RECONFIG 实例的时钟端口

执行通道重配置之前，请连接 ALTGX 与 ALTGX_RECONFIG 实例的 reconfig_clk 与 fixed_clk（仅适用于 PCI Express® [PCIe®]）端口，如图 8 所示。

图 8. ALTGX 和 ALTGX_RECONFIG 实例的时钟端口连接 *（注释 1）*

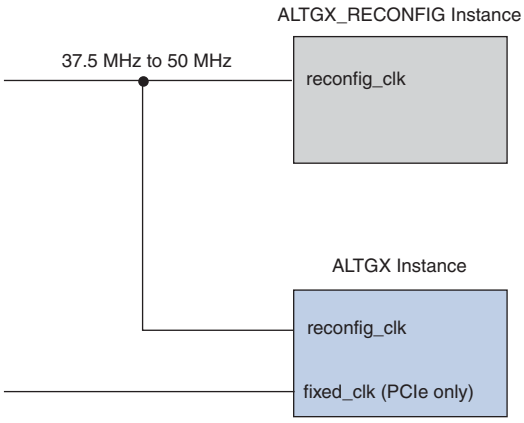


图 8 注释：

(1) 对于 **Transmitter only** 模式，ALTGX 和 ALTGX_RECONFIG 实例的频率范围是在 2.5 MHz 到 50 MHz 之间。Altera 建议使用全局时钟资源驱动 reconfig_clk 信号。

当使用 ALTPLL_RECONFIG 控制器来重配置 MPLL/GPLL 时，请连接频率范围为 5 MHz 到 100 MHz 的 ALTPLL_RECONFIG 控制器 clock 端口。

图 9 显示了 ALTGX 与 ALTPLL_RECONFIG 实例的时钟端口连接情况。

图 9. ALTGX 和 ALTPLL_RECONFIG 实例的时钟端口连接

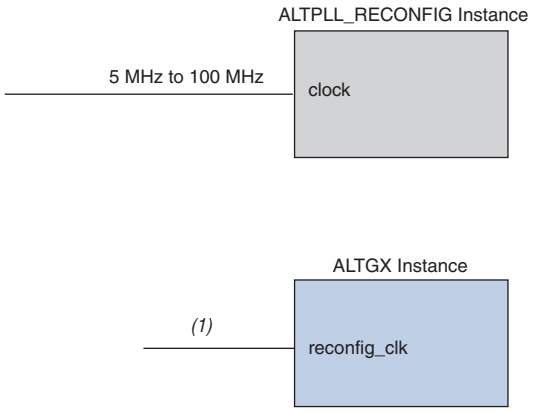


图 9 注释：

(1) 如果您的设计需要偏移校准并且已使能通道重配置模式，那么你必须使用相同的时钟源来连接 ALTGX 和 ALTGX_RECONFIG 控制器的 reconfig_clk 端口。

对于在 **Receiver only** 或者 **Duplex** 模式中配置的通道，您必须使用相同的时钟源来连接 ALTGX 实例的 reconfig_clk 端口与 ALTGX_RECONFIG 实例的 reconfig_clk 端口。这样可以确保接收通道的偏移校准过程能够正确地执行。对于 reconfig_clk 端口，允许的频率范围是 37.5 MHz 到 50 MHz。



要了解关于连接 PLL 重配置控制器模块的详细信息，请参考第 20 页采用 PLL 重配置模式实现自动速率协商的设计实例。

阶段 V：分别为通道重配置模式与 PLL 重配置模式生成一个 .mif 文件

这一部分介绍了如何分别为通道重配置模式与 PLL 重配置模式生成 **.mif** 文件。

为通道重配置模式生成 .mif 文件

请执行下列步骤为通道重配置模式生成 **.mif** 文件：

1. 在 Quartus® II 软件的 Assignments 菜单中，选择 **Settings**（图 10）。
2. 选择 **Fitter Settings**，然后点击 **More Settings**（图 11）。
3. 在 **More Fitter Settings** 页面上的 **Option** 对话框中，根据已使能的动态重配置模式将 **Generate GXB Reconfig MIF** 选项设置为 **On**（图 12）。
4. 点击 **OK**。

图 10 到图 12 显示了为通道重配置模式生成 **.mif** 文件所需要的步骤。

图 10. 为通道重配置模式生成 .mif 文件 [1/3]

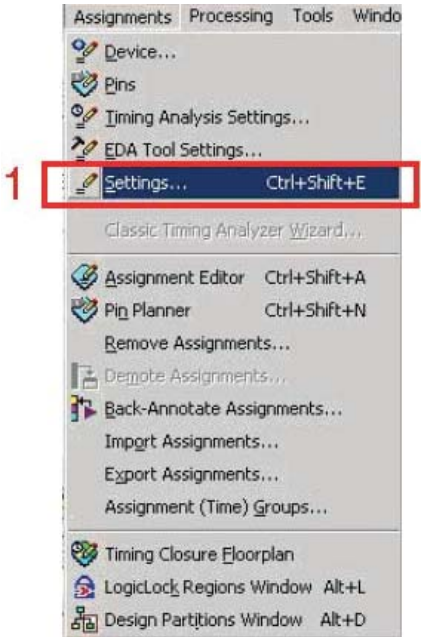


图 11. 为通道重配置模式生成 .mif 文件 [2/3]

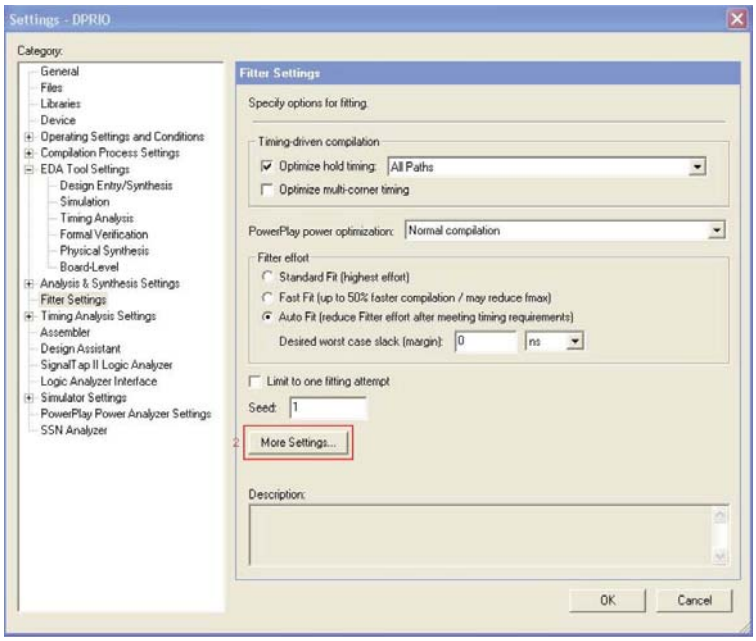
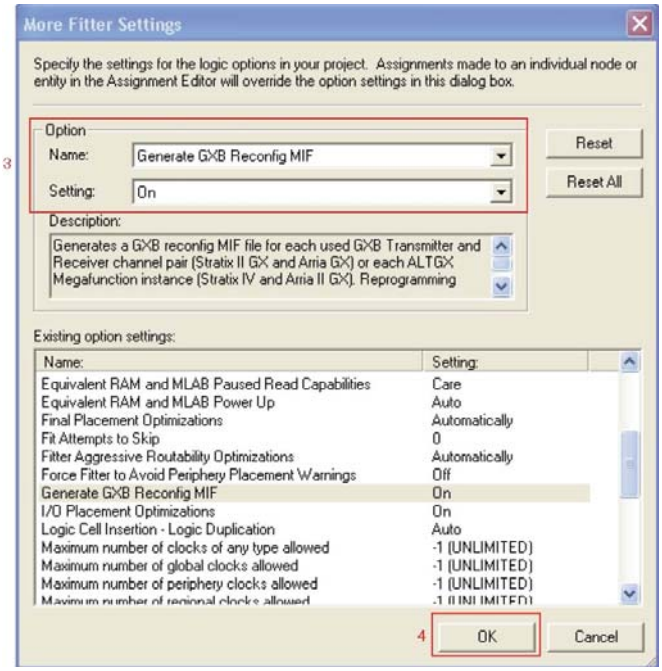


图 12. 为通道重配置模式生成 .mif 文件 [3/3]



对于设计或者设置上的变更，Quartus II 软件完成布局布线 (Fitter) 阶段之后，才开始装配 (assembler) 阶段。

.mif 文件位于 **<Project_DIR>/reconfig_mif** 文件夹中。文件的命名基于 ALTGX 实例名 (**<instance name>.mif**)。一个设计可以有多个 **.mif** 文件，可以使用一个 **.mif** 文件来重配置多个通道。

通过下面其中的一个的方法（未使用管脚位置约束），可以有效地生成多个 **.mif** 文件。

方法 1:

1. 创建一个能够快速编译的简单设计。
2. 生成第一个 **.mif** 文件。
3. 更换配置更新 ALTGX 实例。
4. 对设计进行编译以生成第二个 **.mif** 文件。

方法 2:

1. 在设计顶层，对需要 **.mif** 文件的所有配置进行 ALTGX 实例例化。
2. 连接所有 ALTGX 实例的相应时钟输入端口。
3. 生成用于所有的 ALTGX 配置的 **.mif** 文件。

为 PLL 重配置模式生成 .mif 文件

.mif 文件在 Fitter 阶段之后自动生成，位于 **<Project_DIR>** 文件夹中。文件的命名基于 ALTGX 实例名（**<instance name>.mif**）。一个设计可以有存储在多个 ROM 中的多个 **.mif** 文件。通过改变 ALTGX 设置以及打开 **Enable PLL reconfiguration** 选项来生成多个 **.mif** 文件。

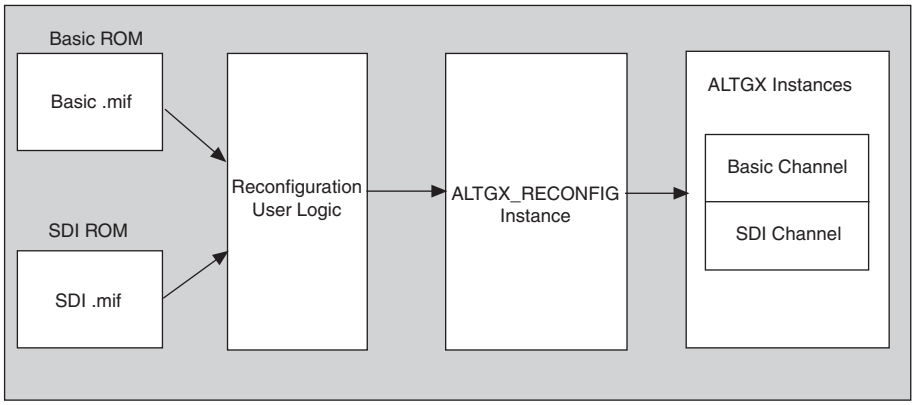
生成的 **.mif** 文件有不同的 PLL 参数设置，用来生成不同的输出频率。 文件大小为 144 × 1 比特，由此对比特进行串行移位，从最低位 LSB 到最高位 MSB 对比特逐一进行移位。

阶段 VI：分别为通道重配置模式与 PLL 重配置模式创建单端口 (1-Port)ROM

这一部分介绍了如何通过创建单端口 ROM 将收发器通道从 Basic 模式重配置成串行数字接口（SDI）模式。

图 13 显示了重配置收发器通道以支持不同的协议。

图 13. 支持不同协议的收发器通道重配置



在片内或者片外存储器上存储 **.mif** 文件，并与动态重配置控制器相连接，如图 13 所示。

当在用户设计中应用 .mif 文件时，一定要做到以下几点：

1. 使用 ROM:1-PORT 宏功能来例化存储器模块，存储容量如表 2 所示。

表 2. ALTGX 配置存储器容量

ALTGX 配置	存储器容量
双工 Duplex）	48 × 16 比特
仅接收器 Receiver only	37 × 16 比特
仅发射器 Transmitter only	13 × 16 比特
PLL 重配置 PLL Reconfiguration	144 × 1 比特

2. 根据生成的 **.mif** 文件的大小来选择存储器模块的容量。
3. 在存储器模块中调用 **.mif** 文件。

4. 创建用户逻辑以读取 ROM 上单独的 **.mif** 文件。

只要在通道上应用 **.mif** 文件，那么这个通道的 PMA 模拟控制就会被设定为在 ALTGX 实例中默认设置。

动态重配置持续时间

当 ALTGX_RECONFIG 或者 ALTPLL_RECONFIG 动态重配置控制器执行写传输、读传输、接收器通道的偏差校验、发射器通道的重配置，或者 MPLL/GPLL 的重配置时，动态重配置持续时间就是 busy 信号置位的周期数。

PMA 控制重配置持续时间

以下部分介绍了在 PMA 控制重配置使用第 17 页 “ 方法 1: PMA 控制重配置持续时间 ” 或者 “ 方法 2 或者 3: PMA 控制重配置持续时间 ” 期间，busy 信号置位的 reconfig_clk 时钟周期数的评估。

要了解关于 PMA 控制重配置方法的详细信息，请参考 *Cyclone IV 器件手册第二卷中的 Dynamic Reconfiguration* 章节。

方法 1: PMA 控制重配置持续时间

对于方法 1，使用了 logical_channel_address 端口。读写传输持续时间在接下来部分有所介绍。

写传输持续时间

当写入值到以下 PMA 控制时，对于每一个 PMA 控制，busy 信号置位 196 个 reconfig_clk 时钟周期：

- tx_preemp（预加重控制 first post-tap）
- tx_vodctrl（差分输出电压）
- rx_eqctrl（均衡器控制）
- rx_eqdcgain（均衡器 DC 增益）

读传输持续时间

当读取下列 PMA 控制的现有值时，对于每一个 PMA 控制，busy 信号置位 135 个 config_clk 时钟周期。data_valid 信号在 busy 信号变低后被置位。

- tx_preemp_out（预加重控制 first post-tap）
- tx_vodctrl_out（差分输出电压）
- rx_eqctrl_out（均衡器控制）
- rx_eqdcgain_out（均衡器 DC 增益）

方法 2 或者 3：PMA 控制重配置持续时间

对于方法 2 和 3，没有使用 logical_channel_address 端口。读写传输持续时间在接下来的部分有所介绍。

写传输持续时间

当写入值到下列 PMA 控制时，对于每一个 PMA 控制，busy 信号置位每个通道 196 个 reconfig_clk 时钟周期：

- tx_preemp（预加重控制第一个 post-tap）
- tx_vodctrl（差分输出电压）
- rx_eqctrl（均衡器控制）
- rx_eqdcgain（均衡器 DC 增量）

读传输持续时间

当读取下列 PMA 控制的现有值时，对于每一个 PMA 控制，busy 信号置位每个通道 135 个 reconfig_clk 时钟周期：

- tx_preemp_out（预加重控制第一个 post-tap）
- tx_vodctrl_out（差分输出电压）
- rx_eqctrl_out（均衡器控制）
- rx_eqdcgain_out（均衡器 DC 增量）

通道与 PLL 重配置的动态重配置持续时间

表 3 列出了动态重配置控制器对收发器通道以及 MPLL/GPLL 的各个部分进行重配置时所需要的 reconfig_clk 时钟周期数。

表 3. 收发器通道与 PLL 重配置的动态重配置持续时间

重配置下的收发器部分	reconfig_clk 周期数
发射通道重配置	1,505
接收通道重配置	5,021
发射与接收通道重配置	6,517
MPLL/GPLL 重配置	311 *(注释 1)*
RX 本地分频器 (/2)	2,161

表 3 注释：

(1) 这里的时钟周期取决于到 ALTPLL_RECONFIG 控制器 clock 端口的时钟供给。这一持续时间包括从 ROM 写入到 ALTPLL_RECONFIG 宏功能的扫描缓存时间（146 个时钟周期）以及重配置收发器 PLL 需要的持续时间（165 个时钟周期）。您可以分别参考第 26 页图 19 和第 27 页图 20。

PLL 重配置模式的动态重配置持续时间

PLL 重配置模式的总持续时间为 311 个时钟周期，取决于到 ALTPLL_RECONFIG 控制器的 clock 端口的时钟供给。您可以连接 5 MHz 到 100 MHz 的时钟源。

要了解关于PLL重配置连接的详细信息，请参考第20页“采用PLL重配置模式实现自动速率协商的设计实例”。

已使能动态重配置功能的收发器通道共享收发器模块

通过分配通道的 tx_dataout 和 rx_datain 管脚到相同的收发器模块，您可以让设计中的收发器通道共享相同的物理收发器模块。

必要条件

当使能动态重配置功能时，Quartus II 软件对于将多个收发器通道共享相同的物理收发器模块有一定的要求：

- 用于共享相同收发器模块的所有通道在 ALTGX MegaWizard 插件管理器的 **Reconfiguration Settings** 标签中必须有相同的已使能选项。例如，当使能 **Analog controls (V_{OD}, pre-emphasis, equalization and DC gain)** 选项时，您必须对所有其它共享的通道使能相同的选项。
- 当 **Transmitter only** 通道与 **Receiver only** 通道共享同一物理通道时，即使只对发射器或者接收器进行了重配置，也要让这两个通道都经历相应的复位流程。
- 通道的共享不会影响共享通道的逻辑通道地址。例如，通道共享之前，logical_channel_address 0 是一个 **Transmitter only** 通道，logical_channel_address 4 是一个 **Receiver only** 通道。通道共享之后，虽然它们物理上是同一通道，但地址保持不变。
- 所有的通道必须由同一个ALTGX_RECONFIG(动态重配置控制器)实例来控制。与多个ALTGX_RECONFIG 实例相连接的收发器通道不能共享相同的物理收发器模块，即便它们配置成同一功能模式和数据速率。

含有模拟控制的设计实例

下面的范例显示一个含有 ALTGX_RECONFIG 实例的可能拓扑图，通过使用第 16 页“方法 1：PMA 控制重配置持续时间”来控制多个 ALTGX 实例。

与多个 ALTGX 实例相连接的重配置控制器

请考虑下面的设计：

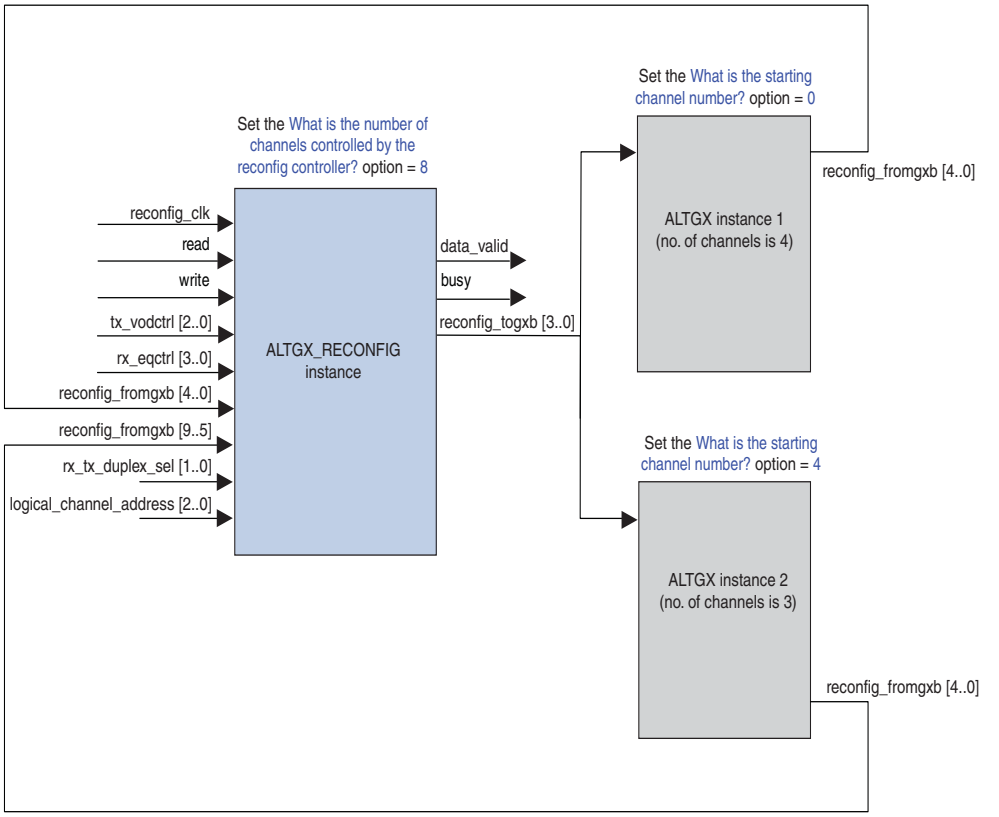
- ALTGX_RECONFIG 实例
- 含有四个通道的 ALTGX 实例 1
- 含有三个通道的 ALTGX 实例 2

为该实例假设下列情况：

- ALTGX 实例 1 和实例 2 不能放到同一物理收发器模块。
- 一个动态重配置控制器控制这两个 ALTGX 实例。
- 打算动态重配置ALTGX实例1第一个通道的传输V_{OD} PMA控制（tx_vodctrl）以及ALTGX实例 2 第 2 个通道的接收器均衡 PMA 控制（rx_eqctrl）。
- 使用 ALTGX 宏功能中的逻辑通道寻址功能。

图 14 显示了与 ALTGX 实例 1 和实例 2 相连接的 ALTGX_RECONFIG 实例。

图 14. PMA 控制重配置的实例 1



请按照下列步骤对动态重配置过程进行设置：

设置 ALTGX 实例

请按照下列步骤对 ALTGX 实例进行设置：

1. 为两个 ALTGX 实例设置逻辑通道寻址。
2. 使能 ALTGX MegaWizard 插件管理器 **Reconfig** 标签上的 **Analog controls (V_{OD}, pre-emphasis, equalization and DC gain)** 选项。

设置 ALTGX_RECONFIG 实例

请按照下列步骤对 ALTGX_RECONFIG 实例进行设置：

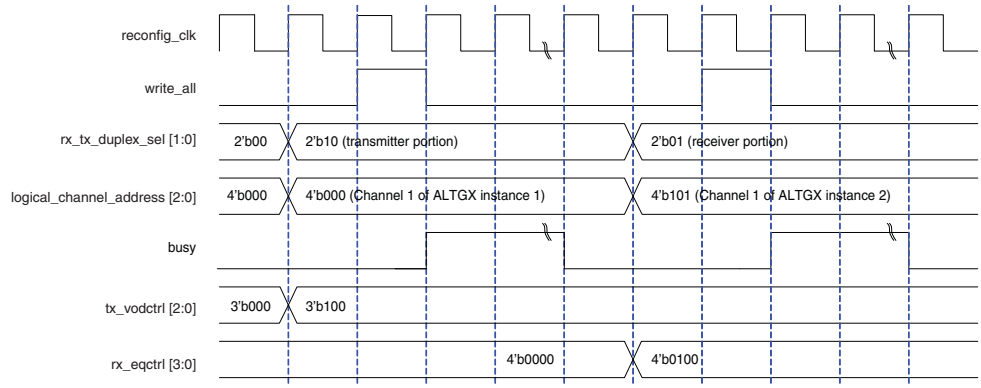
1. 为 ALTGX_RECONFIG 实例设置逻辑通道控制。
2. 在 ALTGX_RECONFIG MegaWizard 插件管理器 **Error checks** 标签上选择 rx_tx_duplex_sel [1..0] 端口。
3. 选择 tx_vodctrl 和 rx_eqctrl 控制，分别为 3 位宽和 4 位宽。

ALTGX 实例与 ALTGX_RECONFIG 实例连接

请参考第 3 页 “ 阶段 I：创建 ALTGX_RECONFIG 实例 ” 来连接 ALTGX 实例与 ALTGX_RECONFIG 实例。

图 15 显示了写传输波形。

图 15. 写传输波形



使用 PLL 重配置模式与通道重配置模式的设计实例（使用 RX 本地分频器）

以下部分提供了一个设计实例，通过采用 PLL 重配置模式实现三重标准 SDI 模式在接收通道上的自动速率协商。

采用 PLL 重配置模式实现自动速率协商的设计实例

对于采用 PLL 重配置模式的三态 SDI 模式，该设计实例显示了接收通道上自动速率协商的概念性实现。

请考虑以下情况：

- 器件含有八个普通收发器通道，来自高收发器模块 GXBL1 以及低收发器模块 GXBL0。
- 有四个 MPLL 和两个 GPLL 用于为收发器通道提供时钟。

- 打算通过重配置使得**Transmitter only**或者**Receiver only**通道实现三重标准SDI模式。
- 所有的 **Transmitter only** 和 **Receiver only** 通道均可单独重配置。

例如，假设您想在下面两个模式之间进行切换：

模式 1:

- 四个运行在 2.97 Gbps 的发射通道，由 GPLL1 和 GPLL2 提供时钟。
- 四个运行在 2.97 Gbps 的接收通道，由 MPLL5、MPLL6、MPLL7 和 MPLL8 提供时钟。
- 所有的输入参考时钟连接到 148.5 MHz 时钟源。
- 发射器和接收器将运行在 2.97 Gbps(3G-SDI 模式）。

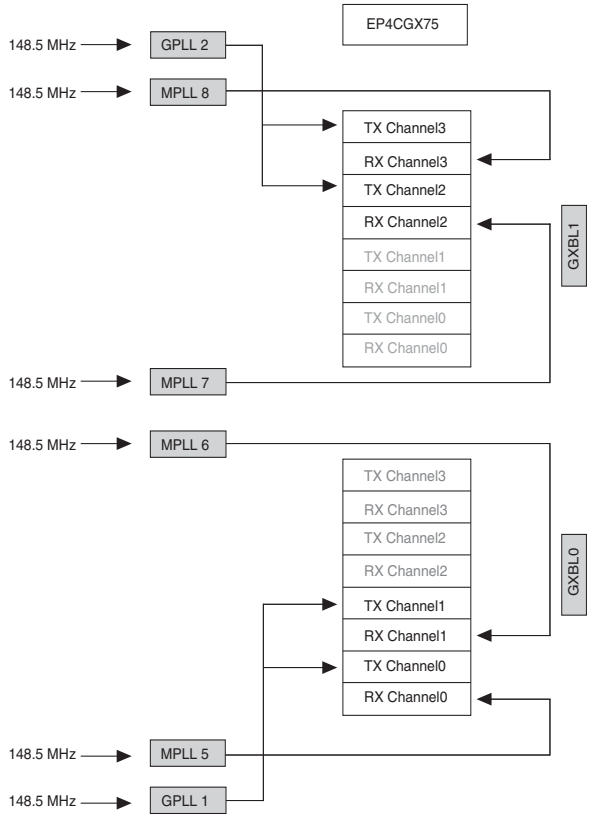
模式 2:

- 四个运行在 2.97 Gbps 的发射通道，由 GPLL1 和 GPLL2 提供时钟。
- 四个运行在 1.485 Gbps 的接收通道，由 MPLL5、MPLL6、MPLL7 和 MPLL8 提供时钟。每个接收通道可能会在不同的时间间隔切换到不同的数据速率。
- 所有的输入参考时钟连接到 148.5 MHz 时钟源。
- 发射器将以 2.97 Gbps (3G-SDI) 的速率传输数据，而接收器将以 1.485 Gbps (HD-SDI) 的速率接收数据（不同的接收器通道在不同的时间间隔切换速率）。

☞ 在这个实例中，您需要实现 FPGA 内核中的过采样逻辑以便对传输数据进行过采样。

图 16 显示了器件中可用收发器 PLL(MPLL/GPLL) 的可能连接，为收发器通道提供时钟以实现特定的应用。

图 16. 使用 EP4CGX75 器件中的 PLL 重配置模式实现接收通道的自动速率协商



在这个实例中，您想要重配置器件的接收通道，以支持 2.97 Gbps 数据速率的 3G-SDI 以及 1.485 Gbps 数据速率的 HD-SDI。

假设步骤1到3适用于配置低收发器模块。 重复步骤1到3来配置高收发器模块以得到相同数量的 **Receiver only** 和 **Transmitter only** 通道。

在 Quartus II 软件中，执行下列步骤：

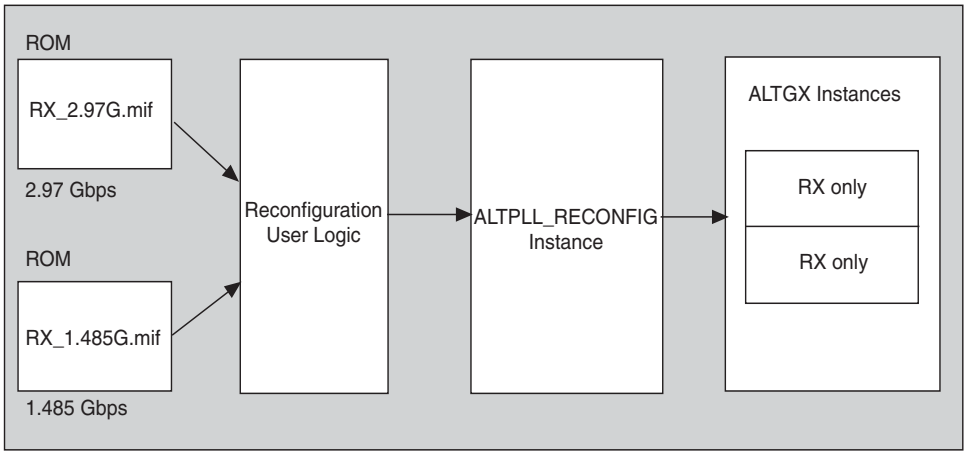
1. 选择 **Transmitter only** 模式来创建一个 ALTGX MegaWizard 实例。选择 **Two** 作为通道数。数据速率配置为 **2.97 Gbps**。
2. 选择 **Receiver only** 模式来创建两个独立的 ALTGX MegaWizard 实例。选择 **one** 作为每个实例的通道数。数据速率配置为 **2.97 Gbps**。
3. 将所有实例的输入参考时钟设置为 **148.5 MHz**。
4. 根据器件中的收发器通道位置来对通道的位置进行设置。依照图 16 中的建议来对收发器进行位置约束。

要了解关于管脚的详细信息，请参考 *Cyclone IV Device Pin-Out Files*。

5. 在 **Netlist Viewer** 下的 RTL 查看器中添加收发器 PLL 位置约束。双击实例，跳转到 ALTGX MegaWizard 插件管理器中已例化的 ALTPLL。根据图 16 来定位收发器 PLL。
6. 例化 ALTPLL_RECONFIG MegaWizard 插件管理器实例，如第 8 页 “ 阶段 III：创建 ALTPLL_RECONFIG 实例 ” 中所解释的，以执行 PLL 重配置。
7. 在 ALTGX 图形界面的 **Reconfiguration setting** 标签下，点选 **Enable PLL Reconfiguration** 选项，如第 5 页 “ 阶段 II：使能 ALTGX Megafunction 中的动态重配置 ” 中所解释的，**.mif** 文件会自动生成。
8. 编译设计。生成三个基于三个 ALTGX 实例的 **.mif** 文件。
   - 其中一个生成的 **.mif** 文件用于 **Transmitter only** 通道。在此设计实例中，没有使用这一 **.mif** 文件。在 SDI 模式中，当数据速率从 2.97 Gbps 切换到 1.485 Gbps 时，您不必重配置发射通道速率。
   - 另外两个生成的 **.mif** 文件用于 **Receiver only** 通道，该通道是在两个独立的 ALTGX 实例中配置的。这两个文件是基于 PLL 运行在 2.97 Gbps 的设置生成的。当您想重配置接收通道以接收 2.97 Gbps（重配置前为 1.485 Gbps）的数据速率时，请仅使用其中的一个 **.mif** 文件。
9. 创建另一个 **.mif** 文件以使 **Receiver only** 通道模式能够运行在 1.485 Gbps。通过例化其中的一个 **Receiver only** 模式通道并且设定 **Effective data rate** 选项为 **1.485 Gbps** 来完成这一 **.mif** 文件的创建。通过运行布局布线器来生成 **.mif** 文件。当您想重配置接收通道以接收 1.485 Gbps（重配置前为 2.97 Gbps）的数据速率时，请使用这一 **.mif** 文件。
10. 根据第 15 页 “ 阶段 VI：分别为通道重配置模式与 PLL 重配置模式创建单端口 (1-Port)ROM”，创建一个外部 ROM 用来存储 **.mif** 文件，将接收通道数据速率从 2.97 Gbps 重配置成 1.485 Gbps。必须有两个外部 ROM 实例，每一个 ROM 实例都需要连接到每一个 ALTPLL_RECONFIG 控制器。

图 17 显示了实现 PLL 重配置模式。

图 17. 实现 PLL 重配置模式



在这个实例中，最多可以有四个 **Transmitter only** 和四个 **Receiver only** 通道，在这里接收通道可以独立切换数据速率。表 4 列出了实现 PLL 重配置模式（如图 17 所示）所需资源。

表 4. 实现 PLL 重配置模式所需资源

资源	详细信息
收发器 PLL	四个 MPLL 和两个 GPLL 为四个 **Receiver only** 和四个 **Transmitter only** 通道提供时钟： ■ 使用MPLL5和MPLL6分别为低收发器模块的RX Channel0和RX Channel1 提供时钟。 ■ 使用MPLL7和MPLL8分别为高收发器模块的RX Channel2和RX Channel3 提供时钟。 ■ 使用 GPLL1 分别为低收发器模块的 TX Channel0 和 TX Channel1 提供时钟。 ■ 使用 GPLL2 分别为高收发器模块的 TX Channel2 和 TX Channel3 提供时钟。
输入参考时钟	■ 在所有的 ALTGX 实例中，将收发器 PLL 的输入参考时钟设置为 148.5 MHz。 ■ 正如步骤 8 所介绍，生成三个 **.mif** 文件。然而，您只能使用其中的两个；例如，**配置成** 2.97 Gbps 的 **Receiver only .mif** 文件和配置成 1.485 Gbps 的 **Receiver only .mif** 文件，反之亦然。

在接收通道切换数据速率之前，必须创建重配置用户逻辑来控制 ALTPLL_RECONFIG 控制器，从而对接收通道进行动态重配置。

图 18 显示了 Quartus II 软件设计中一个 ALTPLL_RECONFIG 实例与一个 ALTGX 实例的连接。

图 18. ALTPLL_RECONFIG 与 ALTGX 实例的连接范例

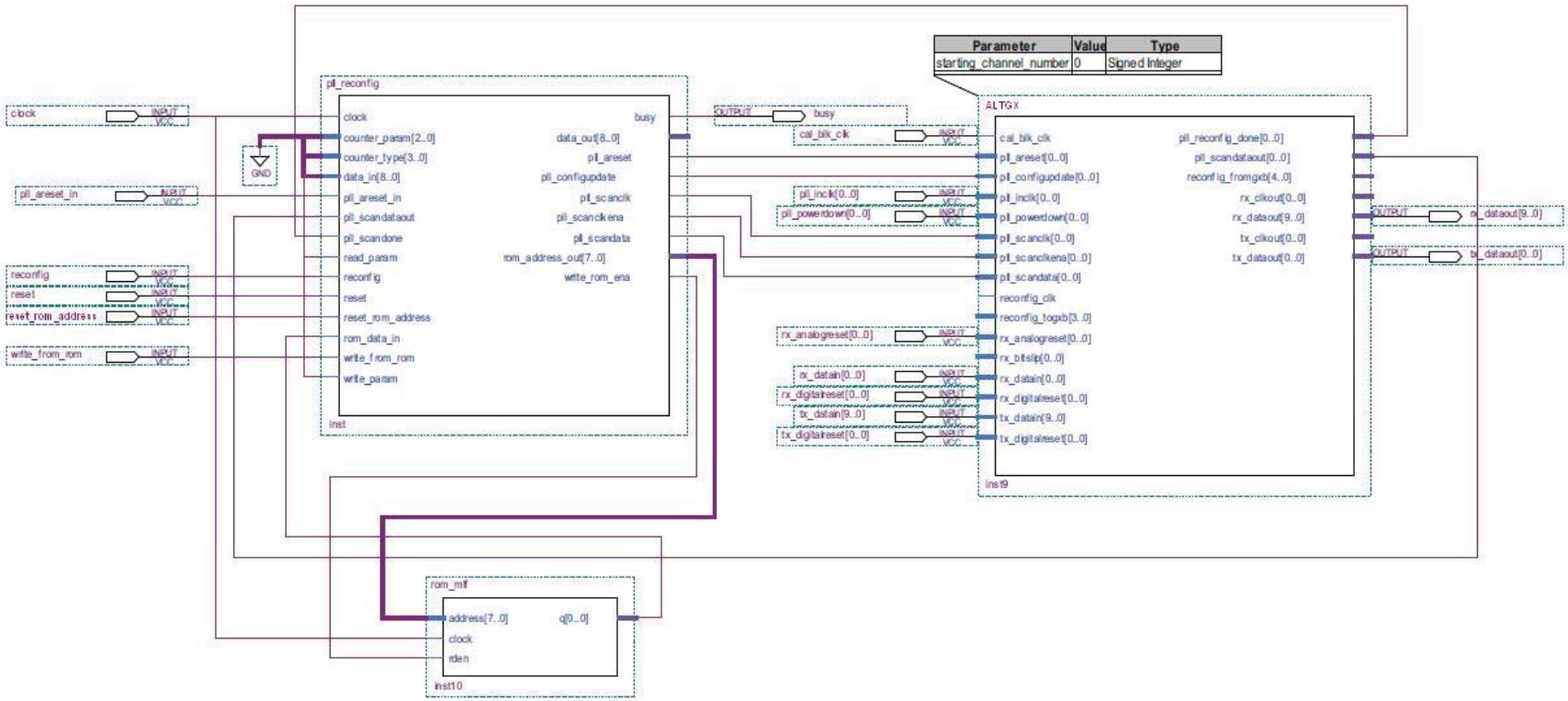


图 19 显示了从 ROM 写入到 ALTPLL_RECONFIG 控制器的扫描缓存的仿真结果（146 个时钟周期）。

图 19. 从 ROM 写入到 ALTPLL_RECONFIG 控制器的扫描缓存的仿真结果（146 个时钟周期）

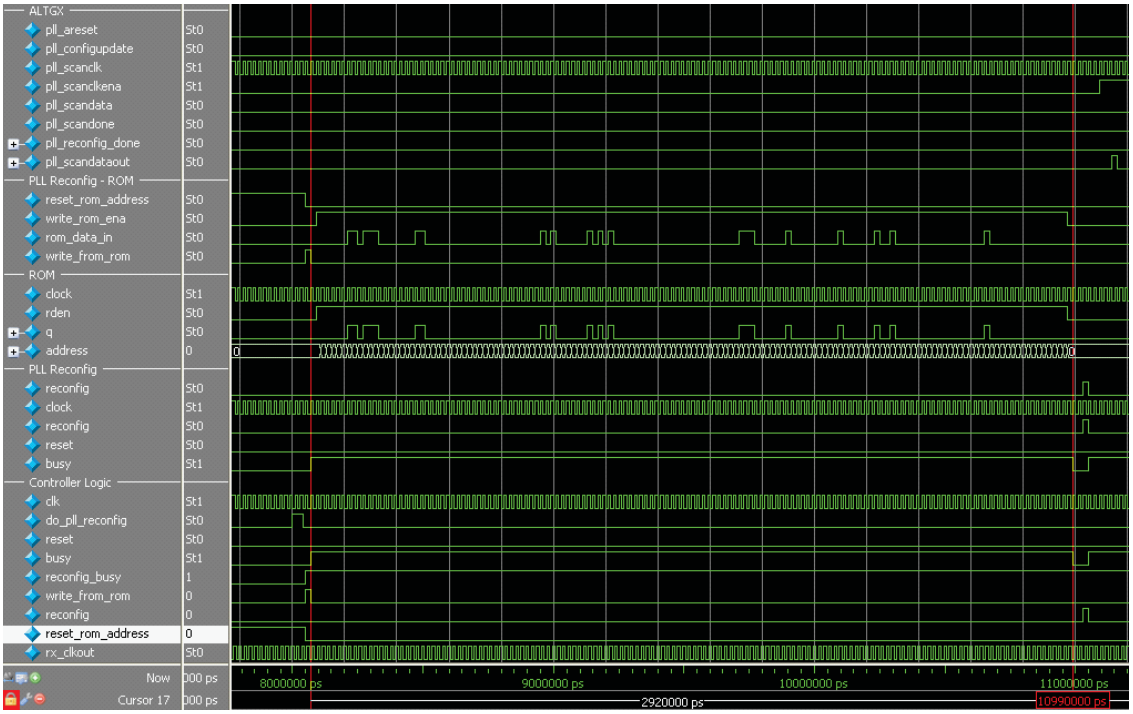
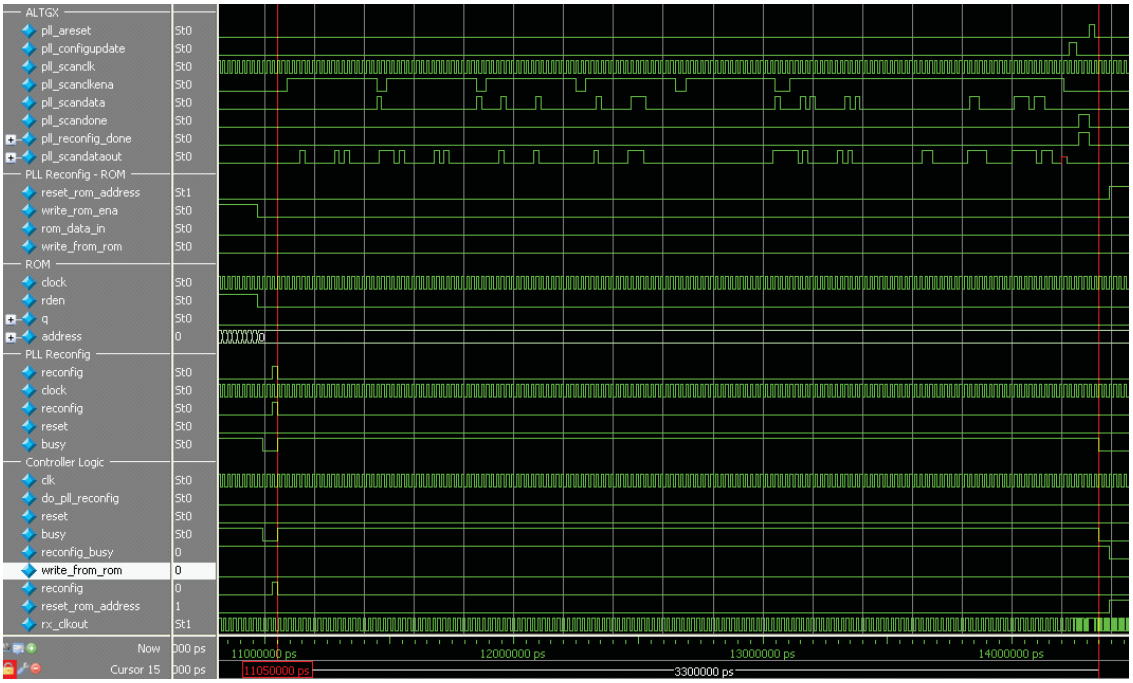


图 20 显示了收发器 PLL 重配置的仿真结果（165 个时钟周期）。

图 20. 收发器 PLL 重配置的仿真结果（165 个时钟周期）



通过通道重配置模式来实现自动速率协商应用的设计实例（使用 RX 本地分频器）

这一部分提供了一个概念性设计实例，通过使用 Cyclone IV GX 收发器通道中的 RX 本地分频器 (/2) 来实现三重标准 SDI 模式到自动协商模式，以满足接收通道上的数据速率变化 (2 的倍数)。

要了解关于 RX 本地分频器的详细信息，请参考 *Cyclone IV 器件手册第二卷中的 Cyclone IV Transceiver Architecture* 章节。

请考虑第 20 页 “ 采用 PLL 重配置模式实现自动速率协商的设计实例 ” 中的相同实例， 这里您想通过接收通道实现三标准 SDI 模式来自动协商数据速率，以满足输入端接收到不同视频格式的需要。

这一部分中，采用相同的场景以及模式将数据速率 2.97 Gbps 重配置成 1.485 Gbps。然而，您也可以选择采用通道重配置模式，该模式使用接收通道中的 RX 本地分频器 (/2)。

RX 本地分频器 (/2) 是 Cyclone IV GX 器件的一个硬件特性。它在 EP4CGX30 (F484 封装)、P4CGX50 以及 EP4CGX75 器件中可用。EP4CGX15、EP4CGX22、 EP4CGX30 (F169 和 F324 封装) 以及 EP4CGX150 器件不支持这一硬件特性。

请考虑相同的场景：

- 器件有八个普通收发器通道，来自高收发器模块 GXBL1 和低收发器模块 GXBL0。
- 将用四个 MPLL 和两个 GPLL 为收发器通道提供时钟。
- 打算通过重配置使得所有 **Transmitter only** 或者 **Receiver only** 的通道都能够实现为三重标准 **SDI** 模式。
- 所有的 **Transmitter only** 和 **Receiver only** 通道均可独立重配置。

例如，假设您打算在下面两个模式间进行切换：

模式 1:

- 四个分别位于高低收发器模块的发射通道，运行在 2.97 Gbps，分别由单独的 GPLL1、 GPLL2、 MPLL6 和 MPLL7 提供时钟。
- 四个分别位于高低收发器模块的接收通道，运行在 2.97 Gbps，由两个独立的 MPLL5 和 MPLL8 提供时钟。
- 所有输入参考时钟连接到 148.5 MHz 参考时钟源。
- 发射器和接收器将运行在 2.97 Gbps(3G-SDI 模式)。

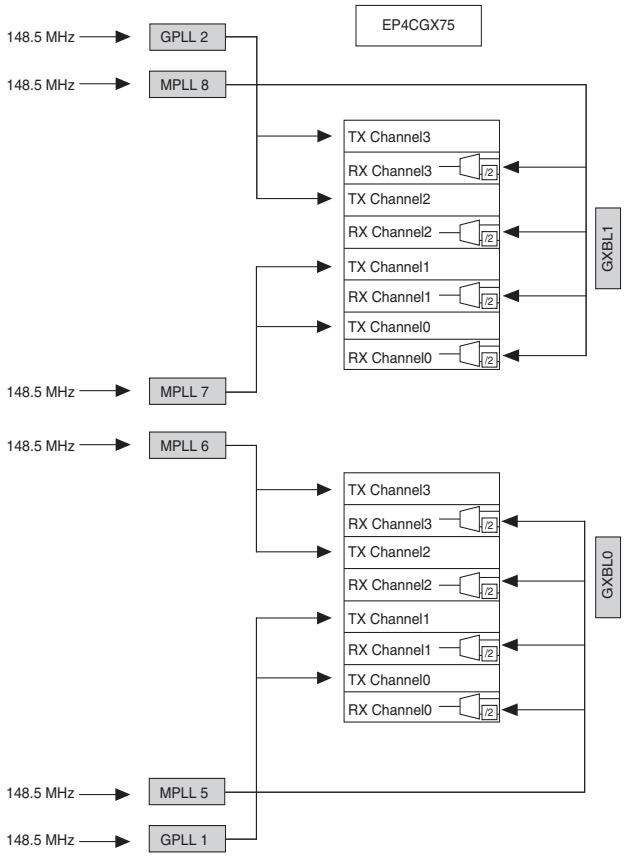
模式 2:

- 四个分别位于高低收发器模块的发射通道，运行在 2.97 Gbps，分别由单独的 GPLL1、 GPLL2、 MPLL6 和 MPLL7 提供时钟。

- 四个分别位于高低收发器模块的接收通道，运行在 1.485 Gbps，由两个独立的 MPLL5 和 MPLL8 提供时钟。每个接收通道可能会在不同的时间间隔切换到不同的数据速率。
- 所有输入参考时钟连接到 148.5 MHz 参考时钟源。
- 发射器将以 2.97 Gbps（3G-SDI）的速率传输数据，而接收器将以 1.485 Gbps（HD-SDI）的速率接收数据（不同的接收通道在不同的时间间隔切换速率）。

图 21 显示了器件中可用收发器 PLL(MPLL/GPLL) 的可能连接，为收发器通道提供时钟以实现特定的应用。

图 21. 使用 EP4CGX75 器件中通道重配置模式以实现接收通道的自动速率协商



在这一实例中，通过重配置接收通道来支持运行在 2.97 Gbps 数据速率的 3G-SDI 以及运行在 1.485 Gbps 数据速率的 HD-SDI。

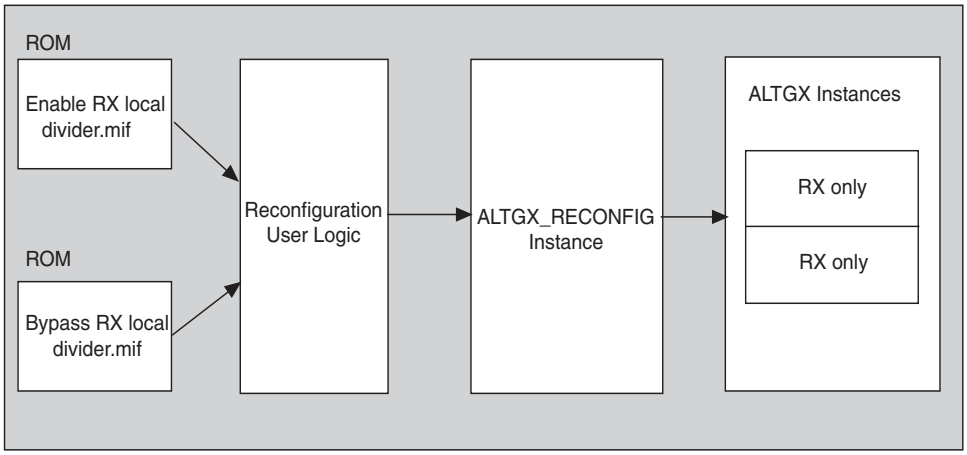
假设步骤 1 到 3 适用于配置低收发器模块。重复步骤 1 到 3，配置高收发器模块以得到相同数量的 **Receiver only** 和 **Transmitter only** 通道。

您需要在 Quartus II 软件中执行以下步骤：

1. 在已选择的 **Transmitter only** 模式下创建两个独立的 ALTGX MegaWizard Plug - In Manager 实例。选择 **two** 作为每个实例的通道数。总共有四个 **Transmitter only** 通道，它们由两个不同的收发器 PLL 提供时钟。数据速率配置为 **2.97 Gbps**。
2. 在已选择的 **Receiver only** 模式下创建一个 ALTGX MegaWizard Plug - In Manager 实例。选择 **four** 作为通道数。总共有四个 **Receiver only** 通道，它们由同一 PLL 提供时钟。数据速率配置为 **2.97 Gbps**。
3. 所有的输入参考时钟设置为 **148.5 MHz**。
4. 根据器件中收发器通道位置来设置通道的位置。根据图 21 对收发器通道进行位置约束。要了解关于管脚的详细信息，请参考 *Cyclone IV Device Pin-Out Files*。
5. 在 **Netlist Viewer** 下的 RTL 查看器中指定收发器 PLL 位置。双击实例，跳转到由 ALTGX MegaWizard Plug - In Manager 例化的 ALTPLL。根据图 21 来定位收发器 PLL。
6. 连接 ALTGX_RECONFIG MegaWizard Plug - In Manager 实例（如阶段 I：创建 ALTGX_RECONFIG 实例中所解释的）来执行通道重配置。
7. 在打开的 ALTGX 图形界面 **Reconfiguration setting** 标签下 **Enable Channel Reconfiguration** 选项。打开 **Use RX local divider** 选项以使能本地分频器，来支持 2 的倍数的输入数据速率。
8. 对于通道重配置，通过打开 Quartus II setting 中的 **Generate GXB Reconfig MIF** 选项来生成 **.mif** 文件。请按照阶段 V：分别为通道重配置模式与 PLL 重配置模式生成一个 .mif 文件中所介绍的步骤执行。
9. 编译设计。分别使能或者禁止 RX 本地分频器，**Receiver only** 通道配置 ALTGX 实例将分别生成两个 **.mif** 文件。
   - 其中一个生成的 **.mif** 文件用于 **Receiver only** 通道，该通道使能了 **Use RX local divider** 选项。这一 **.mif** 文件使能了 RX 本地分频器 (/2) 的路径。数据速率被进一步分成接收数据速率的一半。
   - 另外一个生成的 **.mif** 文件也用于 **Receiver only** 通道，但该通道没有使能 **Use RX local divider** 选项。在这一 **.mif** 文件中，旁路了 RX 本地分频器 (/2) 并且接收器数据路径按照预想速率接受数据。
10. 根据第 15 页中 “阶段 VI：分别为通道重配置模式与 PLL 重配置模式创建单端口 (1-Port)ROM”，创建一个外部 ROM 以存储 **.mif** 文件，通过使用 **.mif** 文件将接收通道数据速率从 2.97 Gbps 重配置成 1.485 Gbps。需要有两个外部 ROM 连接到每一个 ALTGX_RECONFIG 控制器，每一个外部 ROM 存储其中一个已生成的 **.mif** 文件（如步骤 9 中所介绍）。

图 22 显示了实现通道重配置模式。

图 22. 实现通道重配置模式



在这一实例中，最多可以有八个 **Transmitter only** 通道和八个 **Receiver only** 通道，这些通道支持接收通道在 2.97 Gbps 和 1.485 Gbps 数据速率之间独立地进行切换。表 5 列出了用于实现通道重配置模式的资源，如图 22 所示。

表 5. 用于实现通道重配置模式的资源

资源	详细信息
收发器 PLL	四个 MPLL 和两个 GPLL 为八个 **Receiver only** 通道和八个 **Transmitter only** 通道提供时钟： ■ 使用 MPLL5 为器件低收发器模块的四个 **Receiver only** 通道提供时钟。 ■ 使用 MPLL8 为器件高收发器模块的四个 **Receiver only** 通道提供时钟。 ■ 使用 MPLL7 分别为器件高收发器模块的 **Transmitter only** 通道 0 和通道 1 提供时钟。 ■ 使用 GPLL1 分别为器件低收发器模块的 **Transmitter only** 通道 0 和通道 1 提供时钟。 ■ 使用 MPLL6 分别为器件低收发器模块的 **Transmitter only** 通道 2 和通道 3 提供时钟。 ■ 使用 GPLL2 分别为器件高收发器模块的 **Transmitter only** 通道 2 和通道 3 提供时钟。
输入参考时钟	■ 在所有的 ALTGX 实例中，将收发器 PLL 的输入参考时钟设置为 148.5 MHz。 ■ 使用两个在步骤 9 中生成的 **.mif** 文件来动态重配置接收通道，使其能够在 2.97 Gbps 和 1.485 Gbps 数据速率之间进行切换。

重要考量

这一部分对相关的设计考量作了描述。

概要

下面是涉及到的一般设计考量：

- 只能有一个 ALTGX_RECONFIG 实例与一个收发器模块相连接。
- 不支持的特性：
  - 动态使能 / 禁止 PRBS 或者 BIST
  - 在 **Receiver only** 通道和 **Transmitter only** 通道之间进行切换
  - 在 ×1 模式和 bonded ×4 模式之间进行切换
- 当 busy 信号为高电平时，请不要运行或者重配置 ALTGX 实例。
- 所有重配置模式中，write_all 和 read 信号的置位仅为一个 reconfig_clk 周期。

接收通道的偏移校准

下面是与接收通道的偏移校准相关的一些考虑的因素：

- 只要设计中有接收通道，就需要偏移校准并且默认为使能状态。
- 偏移校准过程改变了收发器复位流程。
- 无论 ALTGX_RECONFIG 实例的用户输入是什么，偏移校准将自动执行。
- 在偏移校准期间，一定不要置位 gxb_powerdown 信号。
- 您必须例化并连接 ALTGX_RECONFIG 实例的所有端口至 ALTGX 实例。

PMA 模拟控制

在 PMA 模拟控制中同时进行读写操作是不允许的。

文档修订历史

表 6 列出了本应用笔记的修订历史。

表 6. 文档修订历史

日期	版本	修订内容
2010 年 12 月	2.0	■ Quartus II 软件版本 10.1 发布的更新。 ■ 更新了表 1。 ■ 更新了“设置指南”，“动态重配置持续时间”，“已使能动态重配置功能的收发器通道共享收发器模块”，“使用 PLL 重配置模式与通道重配置模式的设计实例（使用 RX 本地分频器）”。 ■ 更新了图 5、图 7、图 15 和图 18。 ■ 增加了图 19 和图 20。
2010 年 7 月	1.0	首次发布。